

Circuit Library #1

High Speed Level Shifter

Basic Information

設計者	陳亮宇(電機 26)	版本	1.0
狀態	已測試	日期	2025/08/24
摘要	高速邏輯電位轉換器，differential 輸入。		

Design Idea

一般的邏輯電位轉換器是使用 common-emitter configuration (如 figure 1)，僅需要一顆電晶體和一顆電阻。雖然這樣所需零件最少，其速度會被上拉電阻所限制。把上拉電阻的數值調小可以增加速度，但是會讓靜態電流同時增加。

本設計中的高速邏輯電位轉換器採用 class-B 輸出級，在提高運作速度的同時保持較低的靜態電流。此外，class-B 輸出級可以有很小的輸出阻抗，並且可以提供更高的峰值電流，適合拿來驅動 MOSFET。

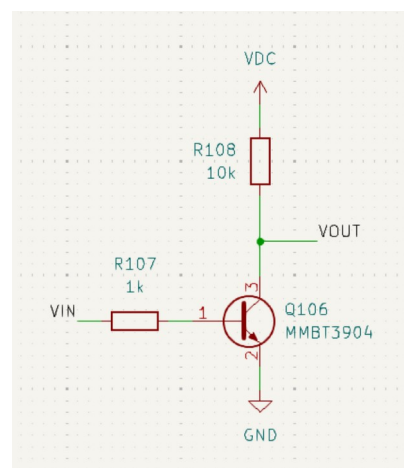


Figure 1: 一般的 common-emitter 邏輯電位轉換器。

Schematic

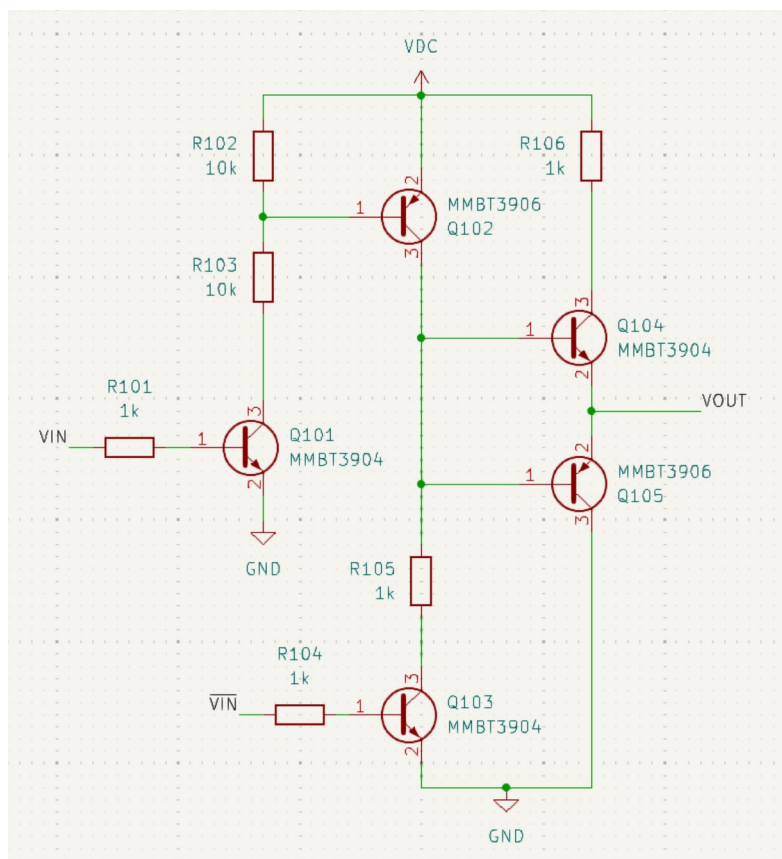


Figure 2: 本設計中高速邏輯電位轉換器的電路圖。

本設計需要兩個反相的輸入，分別驅動兩顆 2N3904 NPN 電晶體。Q101 控制 Q102，與 Q103 推拉控制 Q104 和 Q105 的 base。

由 Q104 和 Q105 輸出的 VOUT 會和 VIN 同相。

R105 和 R106 的作用是限制切換時的內部峰值的短路電流。

本電路在 VIN 為高電位時，會有靜態電流，由 R102 與 R103 控制。

建議在 figure 2 的電路之外再放一顆 decoupling capacitor，穩定 VDC 到 GND 的電壓，建議的容值是 100nF。

Test Results

測試時，電位轉換器的輸出接到 AO3401 P-channel MOSFET 的 gate，其 gate capacitance 為 645pF。藍色訊號為輸入的方波 VIN，頻率為 100kHz。黃色訊號為輸出，輸出測的供電為 20V。



Figure 3: 高速邏輯電位轉換器測試之波形。

在這個測試情境下，上升與下降的時間低於 1µs。但是，在輸出下降的時候，會有 1.6µs 的 propagation delay。

由於輸出級採用 class-B 架構，最終輸出的電壓不會到達 20V 和 0V，大約會有 0.5V 的電壓差。

Future Improvements

透過調整限流電阻，希望可以降低 propagation delay。

考慮更換輸出架構為 class-AB，可以讓輸出與理想值的差距減小，不過會造成較大的靜態電流。

References

1. [High voltage level shifter – StackExchange](#)
2. [Amplifier output stages - Electronics Tutorial](#)