

Problem 1.

(a)

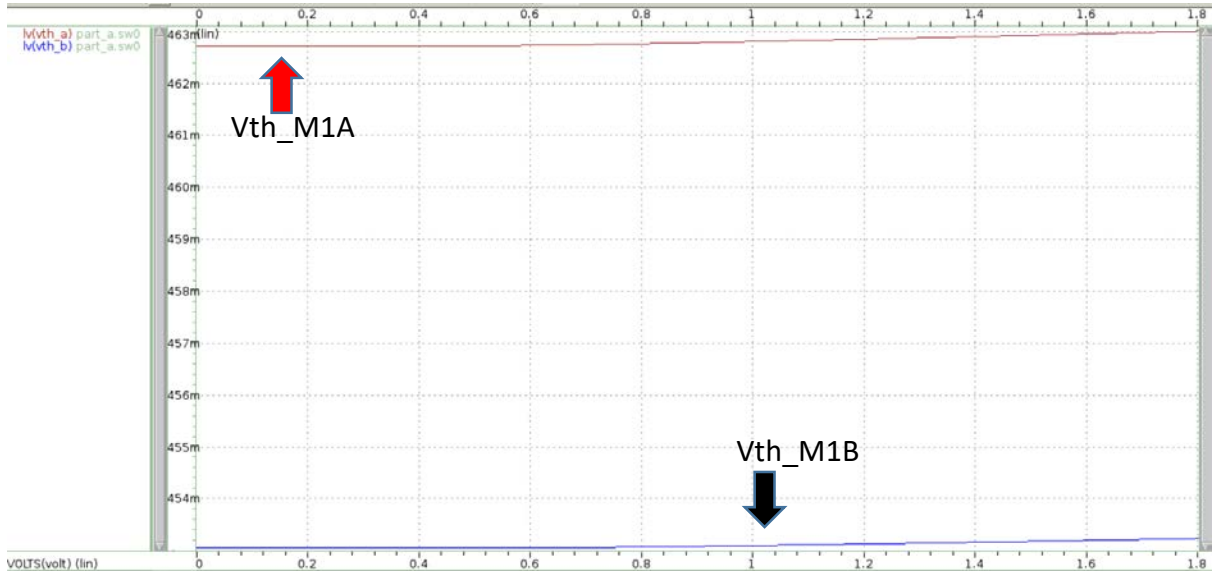


圖 1。縱軸：Vth (單位：V) 橫軸：Vg (單位：V)

兩者的 Vth 對於 Vg 會有微幅的上升，推測是當 Vg 上升的時候，也影響了 channel length 的濃度，導致 Vth 有變化。另外，可看出 M1A 的變化比 M1B 大，可能是 doping 本身就產生了  $\Delta L$  的誤差，且因為 M1A 的 length 比 M1B 的還小，所以  $\Delta L$  對於 M1A 的影響會比較大，同時也造成了兩者 Vth 約 10mV 的誤差。

(b)

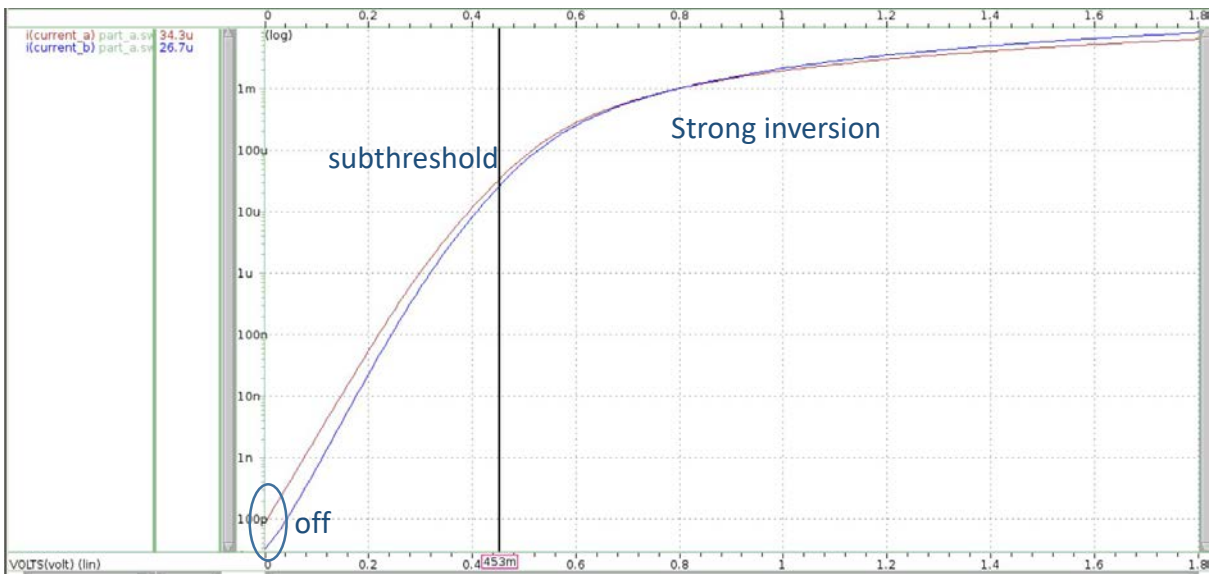


圖 2。紅線是 A，藍線是 B。縱軸：log(Id) (單位：log(A)) 橫軸：Vg (單位：V)

Strong inversion:  $V_{gs} > V_{th}$ 。但是因為  $V_{th\_A} > V_{th\_B}$ ，所以 M1A 的  $I_d$  略小於 M1B 的  $I_d$

Subthreshold: 當  $V_{gs} < V_{th}$  且  $V_{gs} \approx V_{th}$  時，MOS 並不會馬上 turn off，仍然能夠觀察到有有電流在流動，並且電流會隨著  $V_{gs}$  的降低而降低

Off:  $V_{gs} \approx 0$  的時候電流不完全等於 0，仍然可以觀察到 leakage current 的存在。

(c)

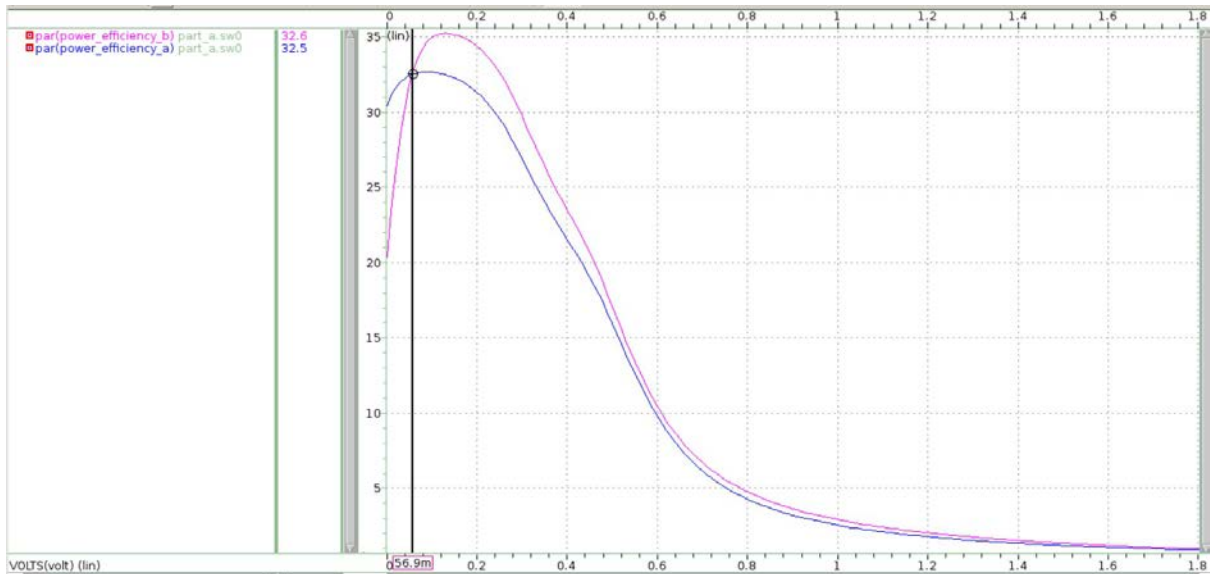


圖 3。紅線是 B，藍線是 A。縱軸： $g_m / I_d$  (單位： $\Omega^{-1} \times A^{-1}$ ) 橫軸： $V_g$  (單位：V)

1.  $0 < V_g < 0.0569V$ : 由於兩者的  $I_d$  都很小。且由圖 2 看出在這個區間 A 的  $dI_d/dV_g$  (斜率) 比 B 的還大，所以 A 的  $g_m$  比 B 的還大。因此 A 的  $g_m/I_d$  比 B 還大。
2.  $0.0569 < V_g < V_{th} (0.465V)$ : 根據圖 2，B 的  $I_d < A$  的  $I_d$ ，且 B 的  $g_m$  比 A 大，所以 B 的  $g_m/I_d$  比 A 還大
3.  $V_g > V_{th}$ : 根據圖 2，兩者的  $I_d$  差不多，但 B 的  $g_m$  比 A 的稍為大一點點(圖 2 的斜率)，所以 B 的  $g_m/I_d$  還是比 A 還大

(d)

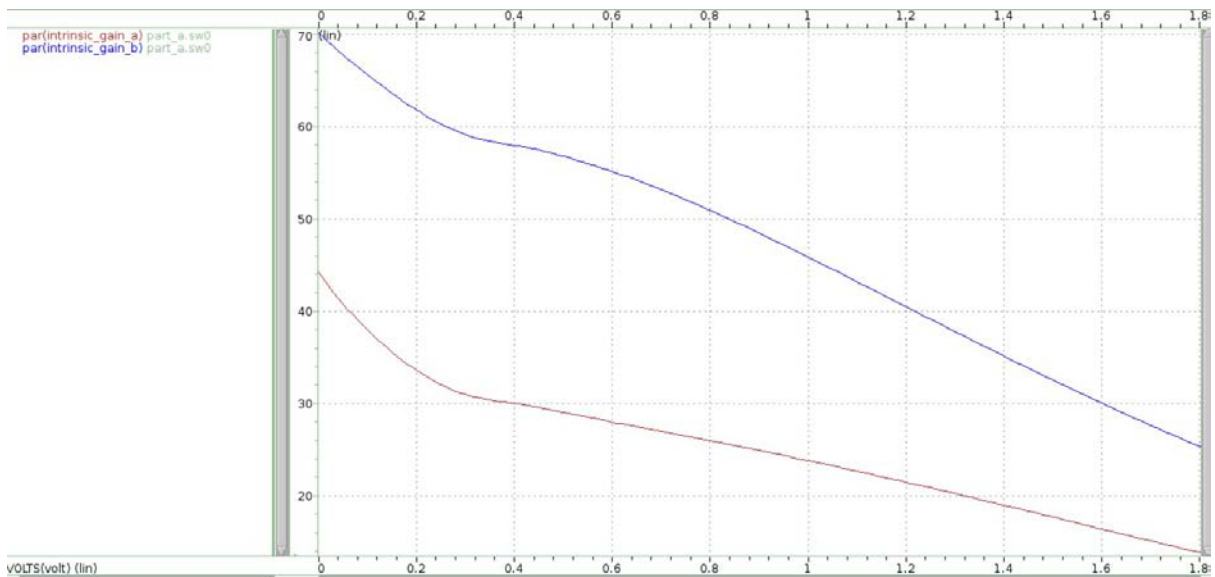


圖 4。紅線是 A，藍線是 B。縱軸： $g_m \cdot r_o$  (單位：無) 橫軸： $V_g$  (單位：V)

$$r_o = \frac{1}{\lambda I_d}, \quad g_m = \frac{2I_d}{V_{gs} - V_{th}}. \quad \text{所以 } g_m \cdot r_o = \frac{2}{\lambda(V_{gs} - V_{th})}, \quad \text{又 } \lambda \text{ 正比於 } 1/L, \quad L \text{ 為 MOS 的}$$

channel length。所以 A 的  $\lambda$  比 B 的還大，在  $(V_{gs} - V_{th})$  差不多的情況下，A 的 intrinsic gain 比 B 的還小。並且因為  $V_{gs}$  在分母，所以兩者 intrinsic gain 曲線皆會隨著  $V_g$  的增加而逐漸下降。

(e)

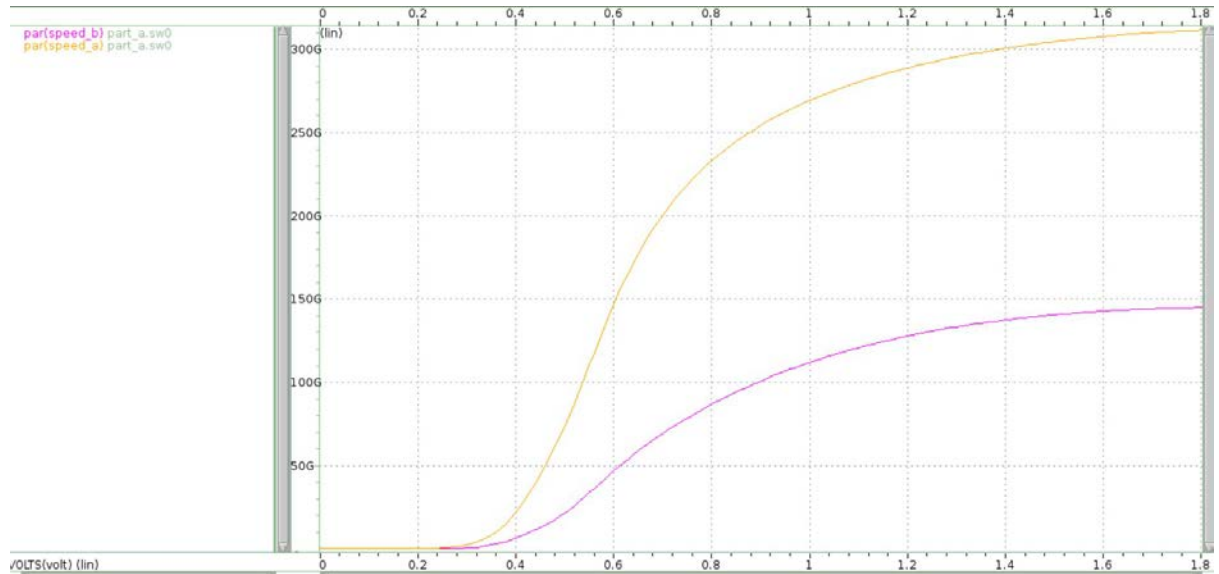


圖 5。橘線是 A，紫線是 B。縱軸：gm/Cg (單位： $\Omega^{-1} * F^{-1}$ ) 橫軸：Vg (單位：V)

$$gm/Cg = \frac{\mu_n C_{ox} \frac{w}{L} (V_{GS} - V_{th})}{C_{ox} w L} = \frac{\mu_n (V_{gs} - V_{th})}{L^2}$$

首先可以觀察 gm/Cg 中只有 Vgs 會變，所以當 Vg 增加時，兩條曲線 gm/Cg 也會跟著增加。並且因為 A 的 length 為 B 的 0.5 倍，所以 A:B 的 gm/Cg = 4:1。但 hspice 跑出來的波型圖兩者差不多是 2:1。因為  $LX18 = CGS + CGD + CGB$ ，除了 gate-body 的電容之外，還包刮了 gate-source 及 gate-drain 的電容。並且因為 B 並聯了 4 個 MOS，A 並聯了 2 個，所以 B 受到的影響比較大，才会有最後 2:1 的結果。

## Problem 2.

(a)

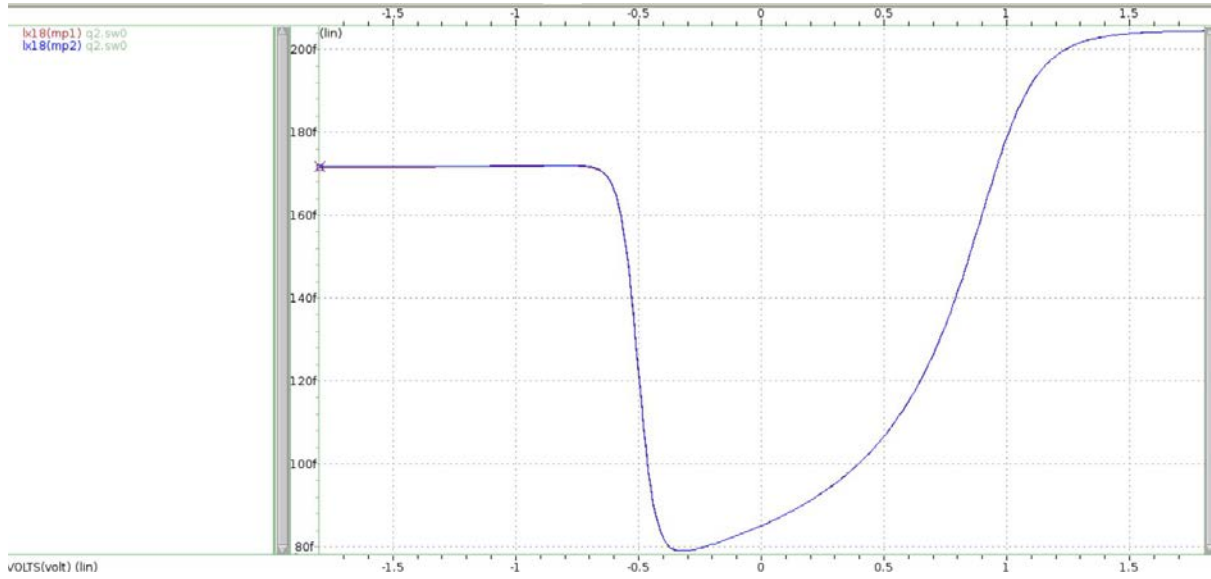


圖 6。PMOS1, PMOS2 的曲線重合。縱軸： $C_g$  (單位：F) 橫軸： $V_{sg}$  (單位：V)

PMOS1:  $W/L = 10\mu\text{m}/0.5\mu\text{m}$ ,  $m=5$ ; PMOS2:  $W/L = 50\mu\text{m}/0.5\mu\text{m}$ ,  $m=1$ 。所以 PMOS2 可以當作是 5 個 PMOS1 的並聯，兩者的面積是一樣的 ( $50\mu\text{m} * 0.5\mu\text{m}$ )，所以  $C_g$  的變化也會相同。

$V_{sg} < -0.5$  V (Accumulation): 圖 6 的最左邊  $V_{sg} = -1.8$ ，所以  $V_g = 3.6$ ，因此對下方 NWell 的電子產生強烈的吸引而達到穩定的狀態，所以  $C_g$  幾乎維持不變。

$-0.5 < V_{sg} < V_{th}$ :  $V_g$  開始下降，逆向偏壓降低，所以在 depletion region 被吸引的電子變少，因此  $C_g$  開始下降。

$V_{sg} > V_{th}$ : 又足夠吸引足夠的 electric holes 到 channel 之間，所以  $C_g$  逐漸回升  
最後  $V_{sg} > 1.5$  V 之後，電荷的分布飽和後，慢慢地不再受到  $V_{sg}$  的影響而呈現定值。

(b)

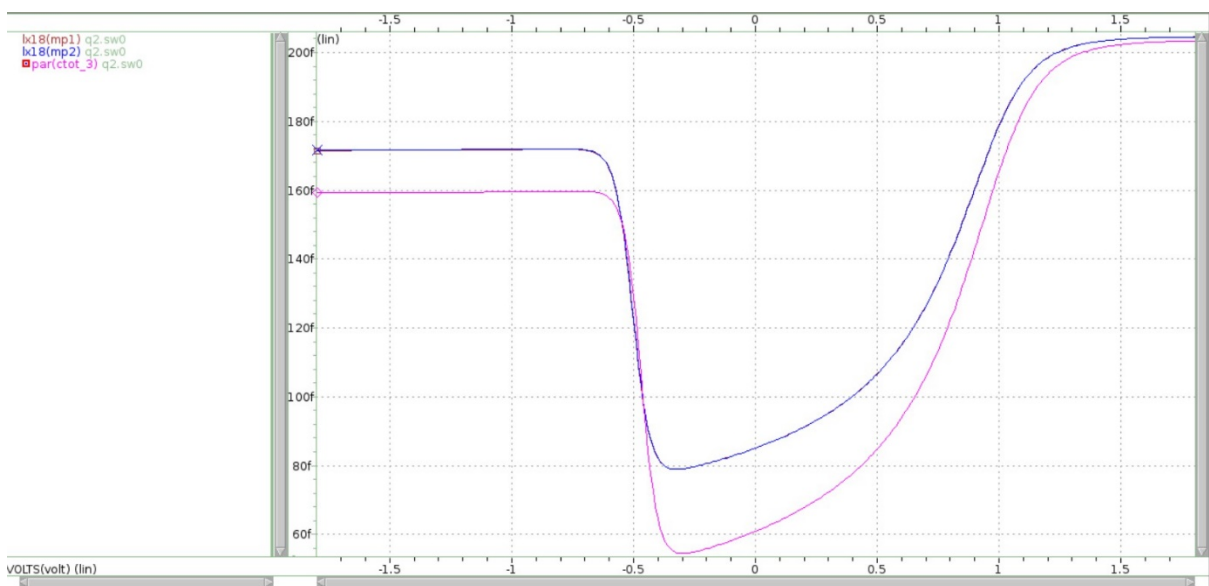


圖 7。PMOS1, PMOS2 曲線重合 (上方)，PMOS3 為下方紫色曲線。縱軸： $C_g$  (單位：F) 橫軸： $V_{sg}$  (單位：V)

由於電容與面積成正比，又 PMOS3 的面積 ( $5\mu\text{m} * 5\mu\text{m}$ )  $<$  PMOS1 & PMOS2 的面積 ( $50\mu\text{m} * 0.5\mu\text{m}$ )，所以確實可以從圖 7 中觀察到 PMOS3 的曲線一直都位在下方。但三者趨勢皆非常相似，理由在 2\_(a) 分析過了

### Problem 3.

(a)

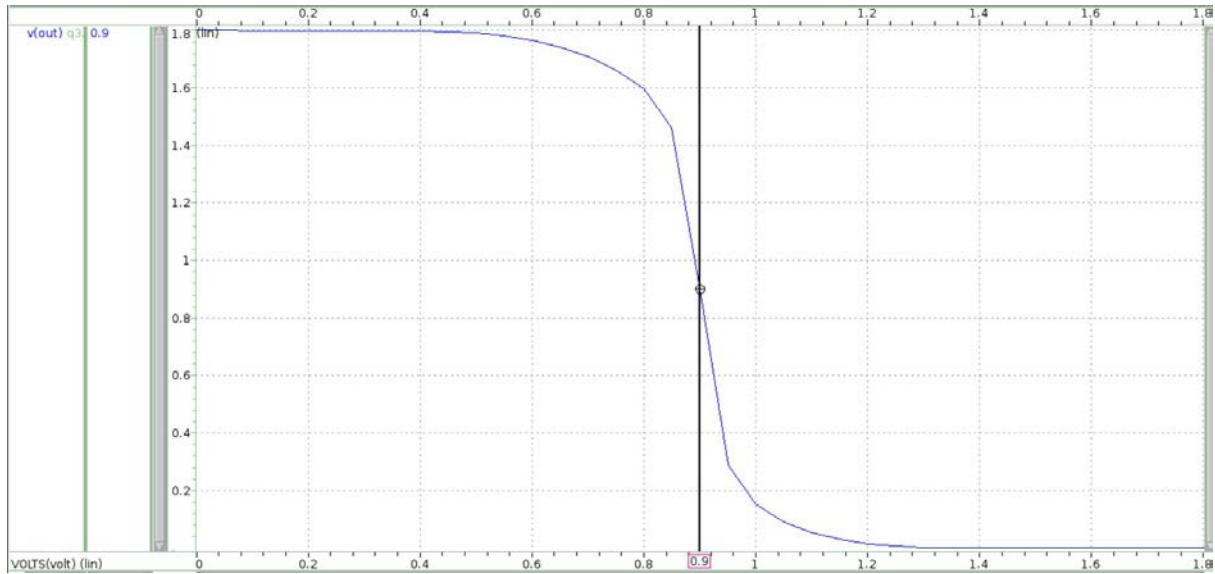


圖8。以 .DC SWEEP 所找到PMOS在TT corner 25度適合的Width = 3.15um 畫出來的 input-output DC transfer curve。(解釋在下方Hspice code problem 3的部分)

(b)

	SS	SF	TT	FS	FF
-40°C	3.646	0.889	3.575	2.543	3.419
25°C	3.105	0.759	3.15	2.271	3.04
125°C	2.562	0.627	2.68	1.959	2.604

表 1 在各個不同溫度與 corner 之下，每個 PMOS 最適合的 width (unit: um)

#### Comment:

首先看溫度對於 PMOS width 的影響，可以觀察到不管在哪一種 corner 之下，當溫度提高的時候適合的 PMOS width 會下降。這是因為一般來說當溫度上升  $I_d$  會下降(因為增加粒子間碰撞的機會)，又 Width 跟  $I_d$  成正比，所以當溫度上升，適合的 width 也就跟著  $I_d$  一起下降。

再來看各種 corner 之間的差別。會有各種不同的 corner 是因為 process variation 的影響，S 表示 slow，也就是 mobility 比較低，F 表示 fast，也就是 mobility 比較高，T 則表示 typical，mobility 位在前兩者之間。比較不同 corner 之間的差異，選擇比較 SS, TT, FF 比較可以看出關聯(因為這些情況下 process variation 對於 NMOS 和 PMOS 的影響是一樣的)。確實可以從表 1 發現在同一個溫度之下，這 3 個 corner 的值相近而且與 SF 和 FS 的值相差蠻多的。

另外可以看到在 SF corner，所需要的 width 都特別低，這是因為 slow NMOS & fast PMOS 造成 NMOS 跟 PMOS 差不多強 (NMOS 的 mobility 本來就 > PMOS 的)，所以 PMOS 的 width 不須太高(相較於 TT 25°C)即可達成要求。

## Problem 4.

	AB	BC	CD	DE
MP	linear	linear	linear	saturation
MN	cutoff	saturation	linear	linear

表 2 不同區段 PMOS、NMOS 的操作區域

Comment:

AB: NMOS:  $V_{gs} < V_{th}$ , NMOS turn off, cutoff

PMOS: always on,  $V_{ds} = V_{out} - V_{DD} \approx 0$

$< |V_{gs}| - |V_{th}|$ , linear.

BC: NMOS:  $V_{gs} > V_{th}$ , NMOS turn on,  $V_{ds} = V_{out} > V_{in} - V_{th}$ ,  
saturation

PMOS: always on,  $|V_{ds}| = V_{DD} - V_{out} < |0 - V_{DD}| = V_{DD} - 0$ ,  
linear.

CD: NMOS:  $V_{gs} > V_{th}$ , NMOS turns on.  $V_{ds} = V_{out} < V_{gs} (V_{in}) - V_{th}$ , linear

PMOS: always on,  $|V_{ds}| = V_{DD} - V_{out} < |0 - V_{DD}| (V_{gs}) - V_{th}$ ,  
linear

DE: NMOS:  $V_{gs} > V_{th}$ , NMOS turns on,  $V_{ds} < V_{gs}(V_{in}) - V_{th}$ ,  
linear

PMOS:  $|V_{ds}| = V_{DD} - V_{out} > |V_{gs} - V_{th}| = V_{DD} - V_{th}$ ,  
saturation.

Hspice code:

\*\*\*\*\*Problem 1\*\*\*\*\*

.prot

.lib "cic018.1" TT

.unprot

.option post captab

+ABSTOL = 0.1u reltol=0.1u accurate=1

M1A Vdd Vin gnd gnd n\_18 w = 5u l = 0.18u m = 2

M1B Vdd Vin gnd gnd n\_18 w = 5u l = 0.36u m = 4

v1 Vdd 0 1.8

v2 gnd 0 0

v3 Vin 0 0

.DC v3 0 1.8 0.01

.plot Vth\_A = vth(M1A)

.plot Vth\_B = vth(M1B)

.plot current\_A = I(M1A)

.plot current\_B = I(M1B)

.plot power\_efficiency\_A = par(' gmo(M1A)/current\_A' )



```
.plot power_efficiency_B = par(' gmo(M1B)/current_B' )  
.plot intrinsic_gain_A = par(' gmo(M1A)/gdso(M1A)' )  
.plot intrinsic_gain_B = par(' gmo(M1B)/gdso(M1B)' ) $dgsd = 1/ro  
.plot speed_A = par(' gmo(M1A)/LX18(M1A)' )  
.plot speed_B = par(' gmo(M1B)/LX18(M1B)' )  
.end
```

\*\*\*\*\*Problem 2\*\*\*\*\*

```
.prot  
.lib "cic018.1" TT  
.unprot  
.option post
```

```
MP1 gnd Vg VDD VDD p_18 w = 10u l = 0.5u m = 5
```

```
MP2 gnd Vg VDD VDD p_18 w = 50u l = 0.5u m = 1
```

```
MP3 gnd Vg VDD VDD p_18 w = 5u l = 5u m = 1
```

```
v1 gnd 0 0
```

```
v2 Vg 0 0
```

```
v3 VDD 0 1.8
```

```
.DC v2 0 3.6 0.01
```



```
.probe DC ctot_1 = par("1x18(MP1)")  
.probe DC ctot_2 = par("1x18(MP2)")  
.probe DC ctot_3 = par("1x18(MP3)")  
.probe DC Vsg = par("-1x2(MP1)")  
.end
```

\*\*\*\*\*Problem 3\*\*\*\*\*

```
.prot  
.lib "cic018.1" TT  
.unprot  
.optio post  
.temp 25  
.param width = 3.15u
```

```
MP OUT VIN VDD VDD p_18 w = 'width' l = 0.18u m = 1
```

```
MN OUT VIN GND GND n_18 w = 1u l = 0.18u m = 1
```

```
C1 OUT 0 0.3p
```

```
v1 Vin 0 0
```

```
v2 VDD 0 1.8
```

```
v3 GND 0 0
```

```
.DC v1 0 1.8 0.05 $SWEEP width 0.25u 10u 0.1u
```

本來應該寫” .DC v1 0 1.8 0.05 SWEEP width 0.25u 10u 0.1u” 畫出多條 Vout 對 Vin 的曲線，並且找到當  $V_{in} = V_{out} = 0.9V$  時 PMOS 適當的 width。但因為為了畫出當  $V_{in} = V_{out} = 0.9$  在  $T_T 25^{\circ}C$  情況下的曲線，就直接把 PMOS 的 width 設成當初找到的  $3.15\mu m$ ，並且把 SWEEP 的部分註解。

```
.alter
```

```
.lib "cic018.1" SS
```

```
.alter
```

```
.lib "cic018.1" SF
```

```
.alter
```

```
.lib "cic018.1" FS
```

```
.alter
```

```
.lib "cic018.1" FF
```

```
.end
```