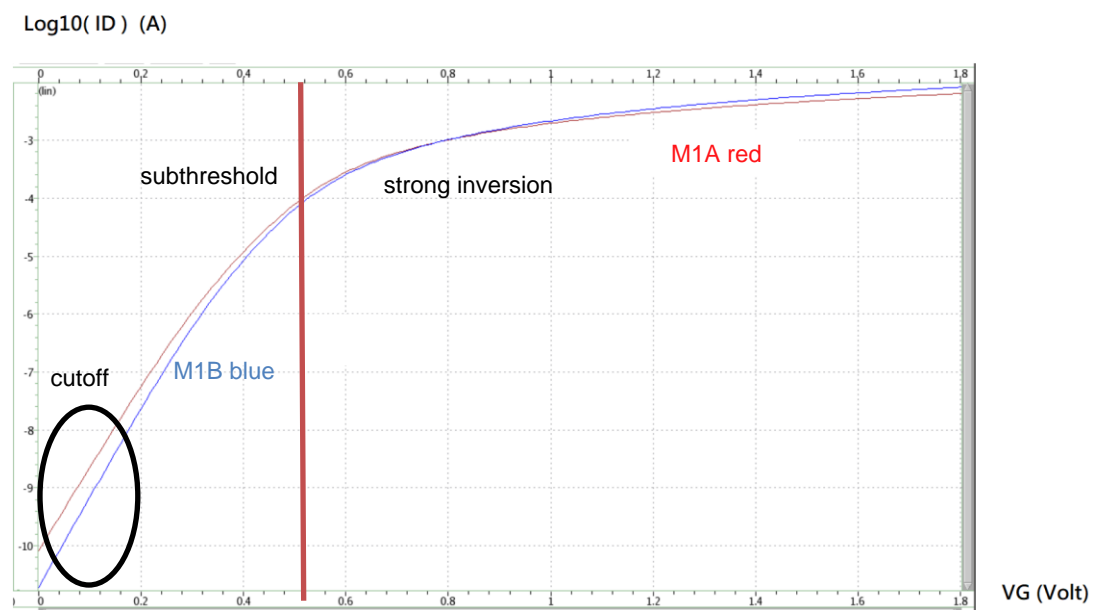


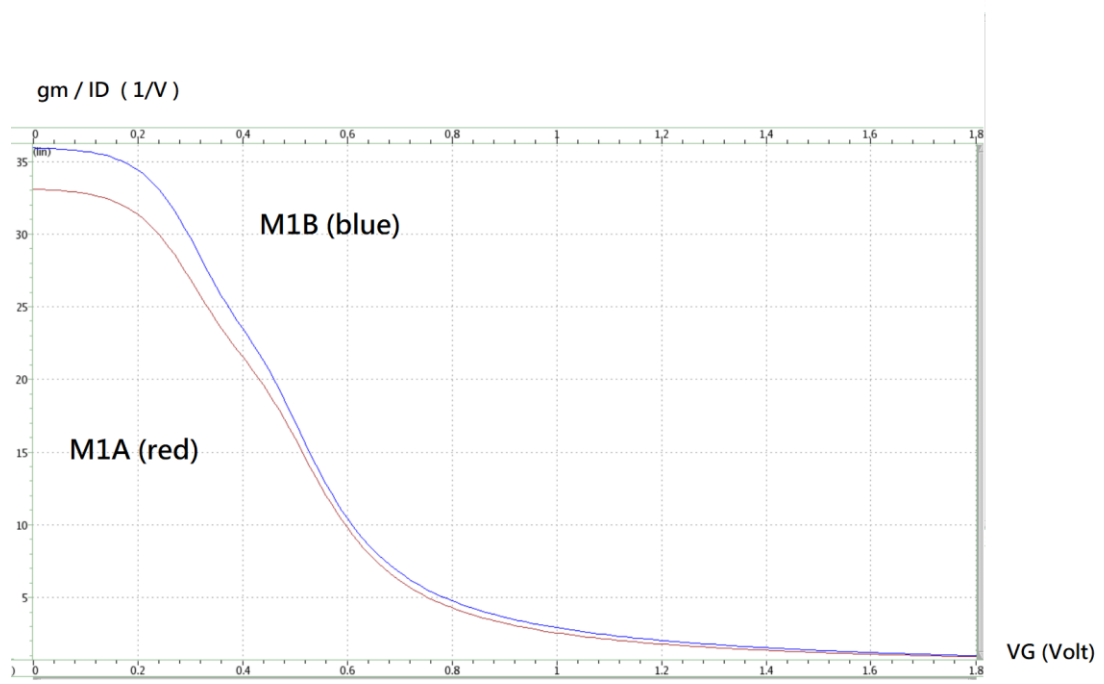
1.
(a)



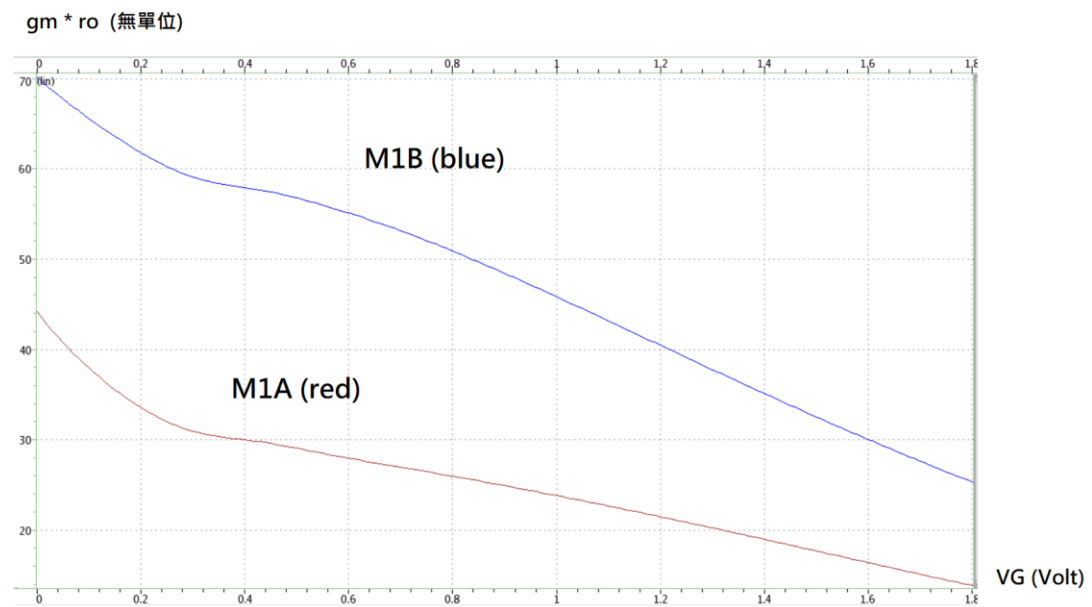
(b)



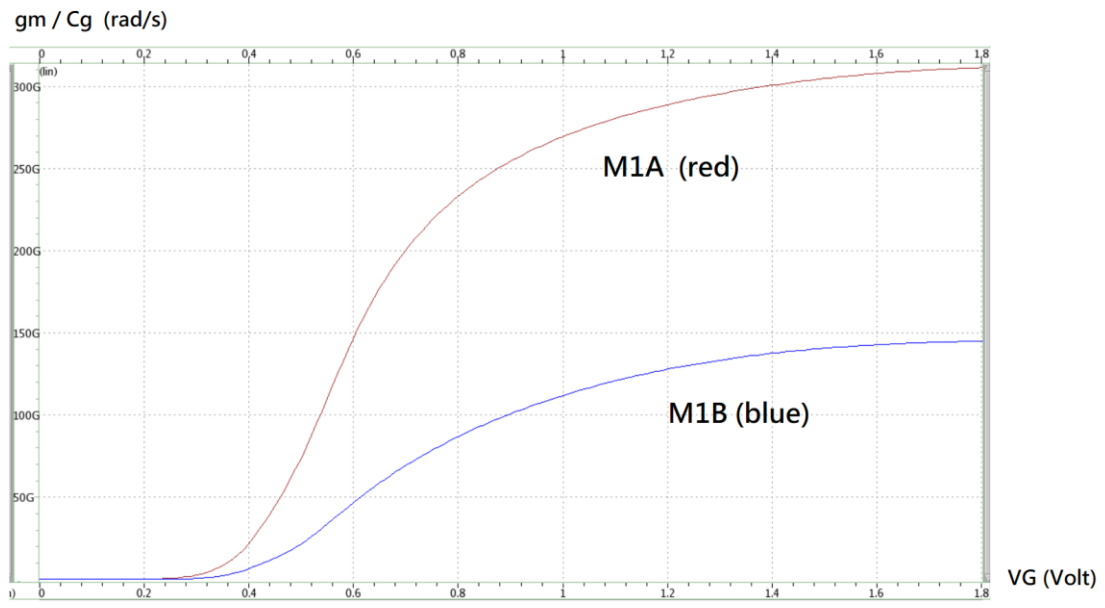
(c)



(d)



(e)



(a) V_{TH} 定義

V_{TH} 為 Threshold Voltage, 定義為, 為了使 substrate 裡產生高濃度的 Minority carrier 以形成 channel 和 inversion layer 的臨界電壓, 此電壓施加在 Mos 的 gate 端。

兩元件的比較

比較兩元件的波形, 相同的點在於兩元件的 V_{TH} 幾乎不隨 V_G 的增加而改變, 從 V_{TH} 的計算式: $V_{TH} = V_{FB} + 2\phi_F + \frac{\sqrt{2\epsilon_s q N_A (2\phi_F + V_{SB})}}{C_{ox}}$ 可知受電壓影響只有 V_{SB} , 而此題 V_{SB} 為 0

然而比較兩元件的 V_{TH} , 可以明顯發現存在大約 10mV 的落差, 這是由於兩元件的 L 值不同, 推測可能有其他公式被用進 hspice 的模擬中, 好比臨界電壓偏移

$$\Delta V_{TH} = \frac{q N_A W_m Y_j}{C_{ox} L} \left[\sqrt{1 + \frac{2W_m}{Y_j}} - 1 \right] \rightarrow \text{可看出 } L \text{ 不同將造成不同的 } \Delta V_{TH}$$

L 值不同, 將產生元件長短通道效應的顯著與否, 使得通道近似為長方形或梯形, 改變 V_{TH} 。

(b) I_D 定義

I_D 為 drain current, 會因為 Mos 在不同的 operation region 而影響 I_D 的大小, I_D 形成的原因是 Mos 內的 inversion layer channel 導通, 以 nMos 而言, 電子由 source 端流向 drain 端, 使得電流從 drain 端流向 source 端。

兩元件比較

從波形圖上可觀察出, 波形前段由於 I_D 數值過小, 大約在 100pA ~ 100nA 之間, 稱為 off region; 波形中段在大約 100nA ~ 10uA 之間, 約呈線性關係, 稱為 Subthreshold region; 在圖形 0.4 ~ 0.5V 開始出現轉折, 為 V_{TH} 附近, 並且在此之後圖形進入 Strong inversion region, 線段不具有線性關係。

$$\text{在 } I_D \text{ 的計算方面, } I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] \text{ (at Triode region)}$$
$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \text{ (saturation region)}$$

此題 $V_{DS} = 1.8V$, $V_{GS} = 0 \sim 1.8V$, $V_{TH} = M1A = 0.4626(V)$, $M2B = 0.4531(V)$, 因此當 $V_{GS} - V_{TH} \geq 0$ 且 $V_{GS} - V_{TH} < V_{DS}$, Mos 進入 saturation region, 即 V_G 約為 0.45 ~ 0.46 (V) 之後直到波形尾端。

取 $V_G = 0.8V$ 分別計算 M1A, M1B 所對電壓, $I_{DM1A} = \frac{1}{2} \times 8.21 \times 10^{-3} \times 324 \times 10^{-4} \times \frac{2 \times 5}{2.18} \times (0.8 - 0.4626)^2 \div 8.4115 \times 10^{-4}$, 取 $\log I_{DM1A} = -3.075$; $I_{DM1B} = \frac{1}{2} \times 8.21 \times 10^{-3} \times 324 \times 10^{-4} \times \frac{4 \times 5}{0.36} \times (0.8 - 0.4531)^2 \div 8.8919 \times 10^{-4}$
取 $\log I_{DM1B} = -3.051$, $\log I_{DM1A}$ 和 $\log I_{DM1B}$ 與波形大致吻合。

又取 $V_G = 1.8V$ 分別計算 M1A, M1B 所對電壓, $I_{DM1A} = \frac{1}{2} \times 8.21 \times 10^{-3} \times 324 \times 10^{-4} \times \frac{2 \times 5}{2.18} \times (1.8 - 0.4626)^2 \div 0.01322$, 取 $\log I_{DM1A} = -1.8728$; $I_{DM1B} = \frac{1}{2} \times 8.21 \times 10^{-3} \times 324 \times 10^{-4} \times \frac{4 \times 5}{0.36} \times (1.8 - 0.4531)^2 \div 0.01340$, 取 $\log I_{DM1B} = -1.8729$, 大致符合 $I_{DM1B} > I_{DM1A}$ 在波形後段的趨勢, 若考慮 channel length Modulation, 則將更明顯。此外在 $V_G < V_{TH}$ 的波形, 理論上為 Cutoff region, 但圖形中卻有數值, 判斷為漏電流的產生。

c) g_m/I_D 的代表意義

g_m/I_D 與 overdrive Voltage 有類似的意義，因為 $V_{od} = \frac{2I_D}{g_m} = (V_{GS} - V_{TH})$ 表達 V_{GS} 與 I_D 之間的換算關係，而 $\frac{g_m}{I_D} = \frac{\frac{\partial I_D}{\partial V_{GS}}}{I_D} = \frac{\partial \ln I_D}{\partial V_{GS}}$ 亦傳達相同訊息，此外由於 intrinsic gain = $g_m \cdot r_o$ ， $\frac{g_m}{I_D}$ 也同時可理解為，多少 Drain Current 可以得到多少 gain，在幫助電路設計上有很大的作用。

兩元件比較

由於 $g_m = \frac{\partial I_D}{\partial V_{GS}} = \underbrace{\mu_n C_{ox} \frac{W}{L}}_{\text{under saturation region}} (V_{GS} - V_{TH}) = \frac{2I_D}{V_{GS} - V_{TH}}$ ，因此 $\frac{g_m}{I_D} = \frac{\frac{2I_D}{V_{GS} - V_{TH}}}{I_D} = \frac{2}{V_{GS} - V_{TH}}$ ，我們取一點位在 saturation region，取 $V = 0.8$ ，分別代入計算 M1A, M1B 的 $\frac{g_m}{I_D}$ ，M1A: $\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_{TH}} = \frac{2}{(0.8 - 0.4626)} = 5.928$ ；M1B: $\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_{TH}} = \frac{2}{(0.8 - 0.4531)} = 5.7653$ 。雖然呈現出當 V_{GS} 增加到最後 $\frac{g_m}{I_D}$ 逐漸減少的趨勢，但手算結果 M1A > M1B，卻與模擬結果 M1B > M1A 相反，推測是因為手算結果利用到小訊號的假設，且忽略許多元件參數，如 λ (channel length Modulation) 因此與模擬結果不同。

d) $g_m \cdot r_o$ 的意義

$g_m \cdot r_o$ 為 intrinsic gain，意思為 Mos 能提供最大的 gain，且在無其他負載之下。導入小訊號定義，且在 saturation 的條件下，可以將 $g_m \cdot r_o$ 寫成以下算式：

$$g_m \cdot r_o = \left(\frac{\partial I_D}{\partial V_{GS}} \right) \cdot \left(\frac{\partial I_D}{\partial V_{GS}} \right)^{-1} = \frac{2I_D}{V_{GS} - V_{TH}} \times \frac{1}{\lambda I_D} = \frac{2}{\lambda (V_{GS} - V_{TH})}$$

由於 λ 假設為定值，故 $g_m \cdot r_o$ 將隨 V_{GS} 上升而下降，也與圖中趨勢相符。

兩元件比較

依照上面所述 $g_m \cdot r_o = \frac{2}{\lambda (V_{GS} - V_{TH})}$ ，當 V_{GS} 設為定值比較 M1A 和 M1B 在 saturation region 下的相對關係，可由式中推得， V_{TH} 值愈小， $g_m \cdot r_o$ 也愈小；若 V_{TH} 愈大，則 $g_m \cdot r_o$ 也愈大，因此 gain (M1A) > gain (M1B)。然而波形圖卻顯示相反的結果。推測由於算式是基於小訊號模型做出的推導，實際上 hspice 模擬出的元件更加貼近真實情況，造成計算與模擬間的誤差。

e) g_m/c_g 的定義

g_m/c_g 稱為 transit frequency $= \omega_T = 2\pi f_T = \frac{g_m}{C_{gs} + C_{gd}} = \frac{g_m}{C_g}$ ，定義為小訊號 short circuit 的 current gain of MOS 降為 1 的頻率。

而 ω_T 的運算式如下：
$$\omega_T = \frac{3}{2} \frac{\mu(V_{gs} - V_{th})}{L^2} \approx \frac{3}{2L} \sqrt{\frac{2\mu I_D}{C_{ox} WL}} \quad (\text{In strong Inversion})$$

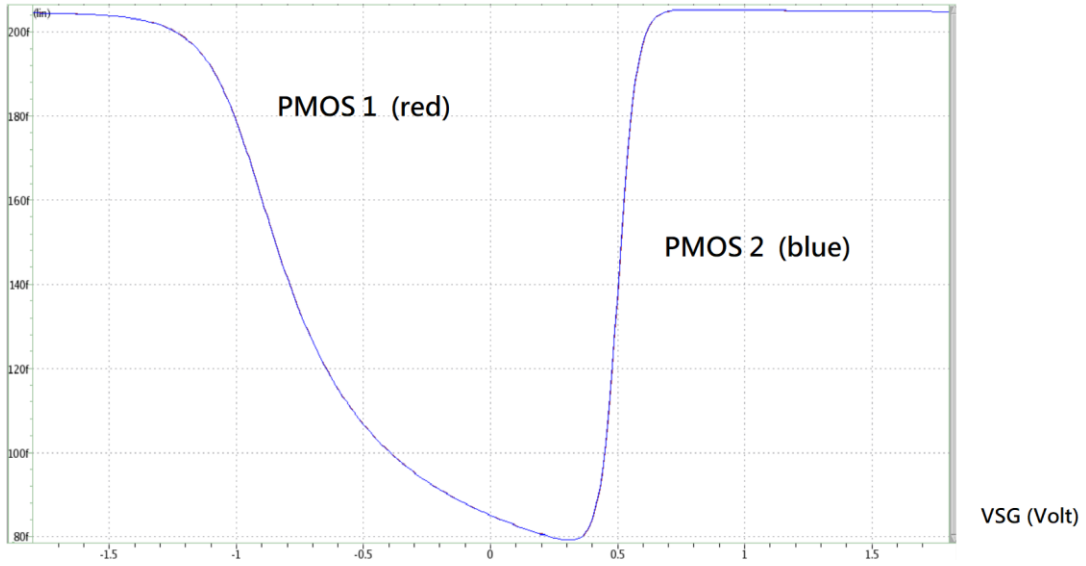
兩元件比較

由 $\omega_T = \frac{3}{2L} \sqrt{\frac{2\mu I_D}{C_{ox} WL}}$ 可判斷，當取兩元件都在 saturation region 時，因為 (b) 顯示兩元件電流差異微小，所以影響 ω_T 的因素為 L 的大小， L 愈大， ω_T 愈小， $\omega_T(M1A) > \omega_T(M1B)$ 與波形圖相吻合，且波形後段兩者 ω_T 的比值也趨近於 L 的比值 (2 倍)。

2.

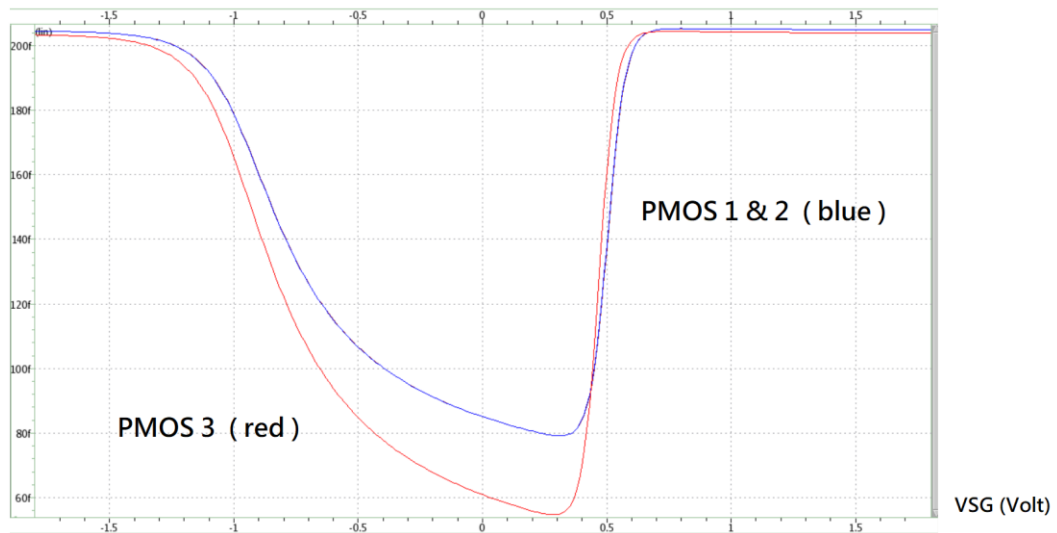
a)

C (capacitance) (unit : F)



(b)

c (capacitance) (unit : F)



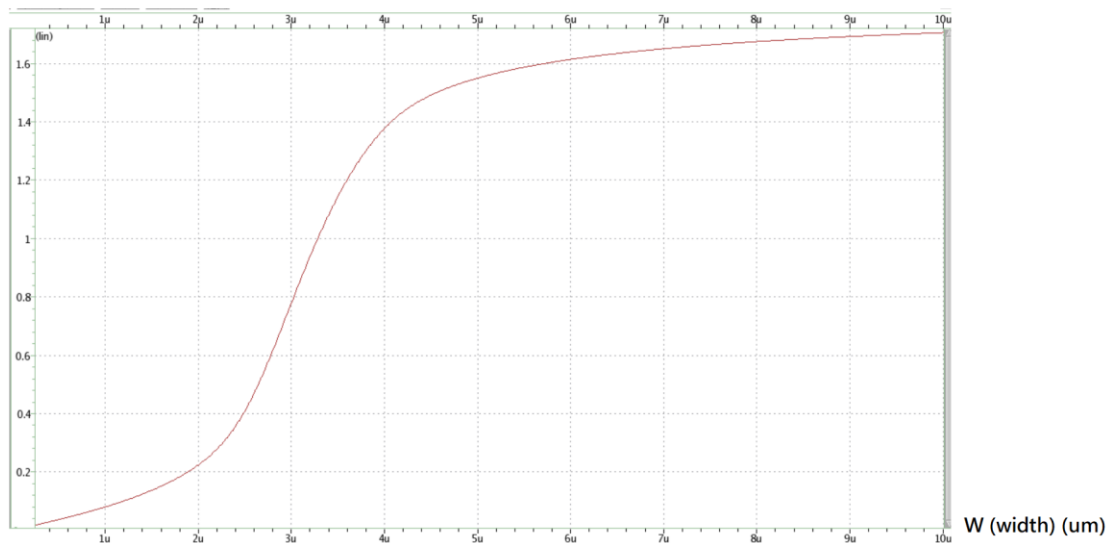
2. (a) 分析圖中波形，可將線段分為三種區域，分別為 Accumulation、Depletion、strong inversion。其中 Accumulation 的形成是當 $V_{SG} > V_{FB} > 0$ 時 (V_{FB} 為 Flat Band Voltage)，由於 gate 端施加正電荷吸引 n -substrate 中的電子，使得電荷在流通前逐漸累積，電容值隨著逐漸上升，直到 n -substrate 的電子被慢慢吸附，最後剩下電子電洞相互抵消的空乏區留在 gate 與背板中間，稱為 Depletion，電容值持續下降至低點；若 gate 持續施予負電壓，使得 $V_{SG} < V_{TH} < 0$ ，電子電洞便會分離，形成 inversion layer，電洞從 n -substrate 中分離，電容值再度上升。

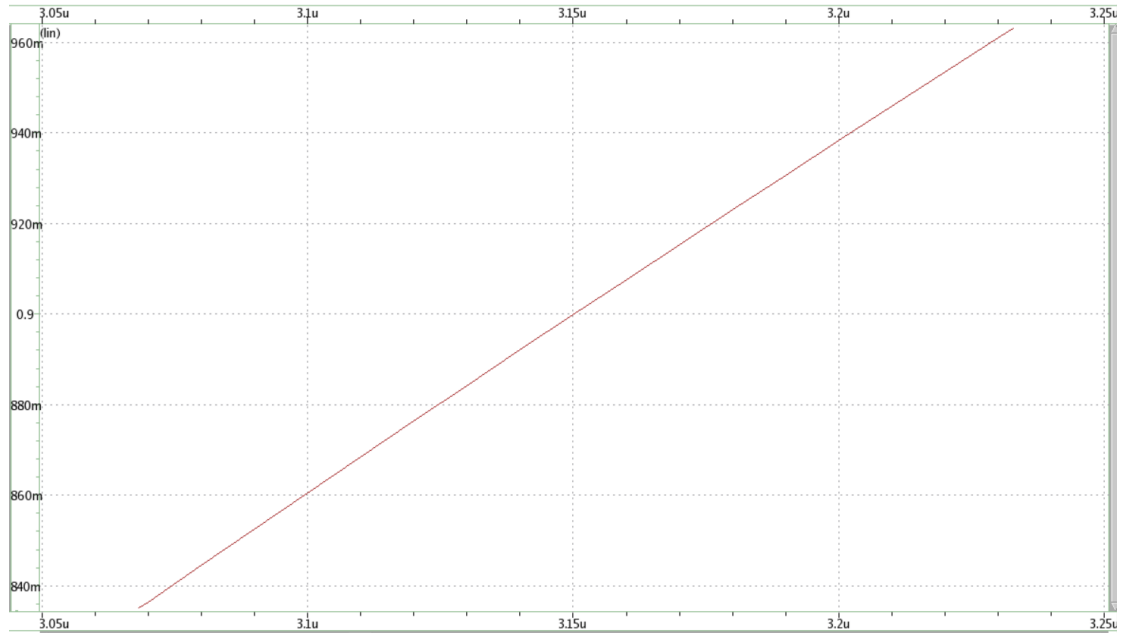
比較圖中的兩種規格 PMOS 的波形，可知兩者 $m \cdot \frac{W}{L}$ 的值相同，在電容的趨勢上亦相同。

(b) PMOS 3 的規格， W 的值 $<$ PMOS 1 & 2 W 的值，且 L 值 $>$ PMOS 1 & 2 的值，但是若將 $W \cdot L$ 考慮成是 Mos Capacitor 的電板面積，其乘積卻又和 PMOS 1 & 2 一致，推測這是 PMOS 1, 2, 3 的 Accumulation 和 strong inversion 的電容值接近的原因。另外在 depletion 區間，PMOS 3 的電容值小於 PMOS 1 & 2，推測是由於 $\frac{W}{L}$ 的比值 $\frac{5\mu m}{5\mu m} < \frac{5 \cdot 10\mu m}{0.5\mu m}$ ，才造成 depletion 的電容差異。

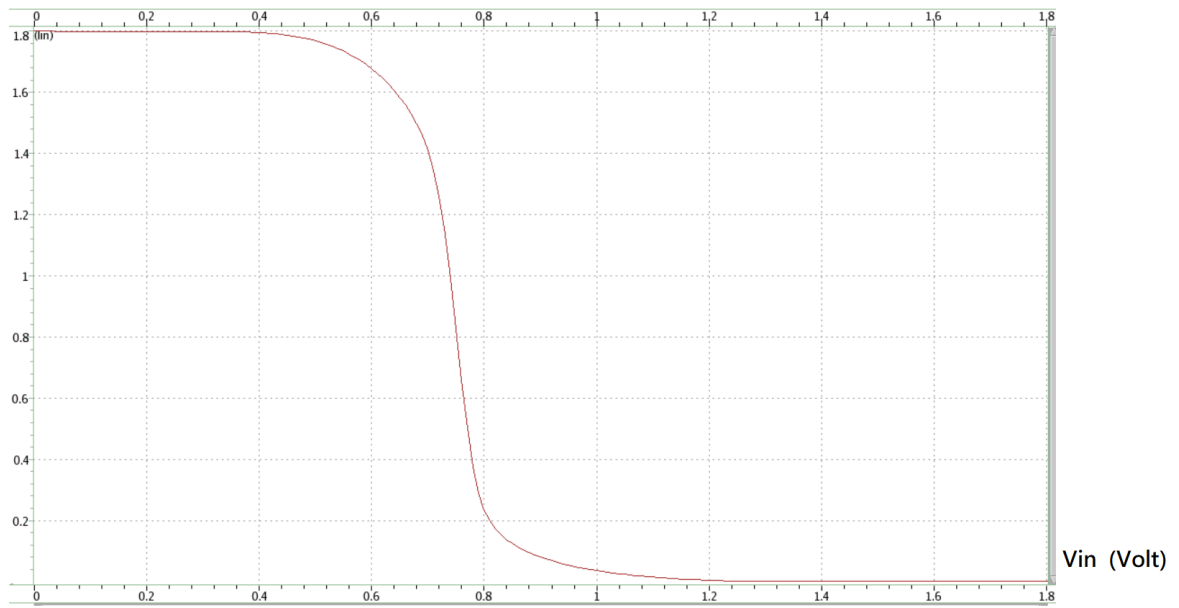
3.

Vout (Volt)





Vout (Volt)



3 (a) 從波形圖中可看出當 $W = 3.15 \mu$, $V_{in} = V_{out} = \frac{V_{pp}}{2} = 0.9$

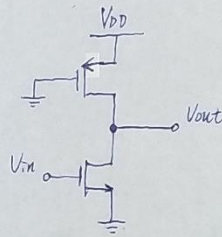
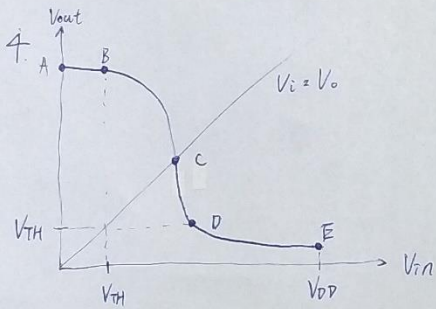
(b)

	SS	SF	TT	FS	FF
-40°C	3.65 μ	0.89 μ	3.57 μ	2.55 μ	3.44 μ
25°C	3.11 μ	0.76 μ	3.15 μ	2.27 μ	3.045 μ
125°C	2.56 μ	0.63 μ	2.68 μ	1.96 μ	2.605 μ

hspice 所模擬出的 5-corner Model: SS, SF, TT, FS, FF, 代表 Mos 的 process corner, 兩個英文字母前者代表 NMos, 後者代表 PMos; 而字母 T 意思為 Typical 表示驅動 Mos 的電流是一個平均值, F 的意思為 Fast, 指驅動電流是 Mos 的最大值, S 的意思則是 slow, 即 Mos 的馬區動電流為最小值, 從電子的流動下作解釋的話, 也可以解釋為 Carrier Mobility 的快慢。

而觀察波形圖所得到的表格數值, 5 種 type 的共通點為: 溫度愈低, 則要達到 $V_{out} = 0.9V$ 所需的 Width 愈大, 此效應並不令人訝異因為不論主要是以 drift current 或是 diffusion current, 都受溫度限制, 溫度愈低, 電子的 μ (Mobility) 愈小, 且 D (Diffusion constant) 也愈小, 造成要達到與更高溫相同的電流, 以產生相同跨壓所需的 channel Width 擴大。

此外, 比較不同 type 間的表格數值, 並不顯示 FF 或 SS type 一定有最大值或最小值的 width, 此 5 種 type 在各種參數下的模擬結果不盡相同, 實際上哪種 type 的表現符合需求, 仍需要從 .lis 檔中詳細評估。



region AB: ① 由於 NMOS 為 input 端，在 $V_{in} < B$ 點時，因為 NMOS $V_{gs} < V_{TH}$ 故 NMOS 為 cut-off。

② V_{out} 之前，PMOS 的 $V_D = V_{DD} \Rightarrow V_{DS} = V_D - V_S = 0 < (V_{SG} = V_S - V_G)$ 又 $V_{SG} > V_{TH}$ ，因此 PMOS 為 Linear。

region BC: ① $V_{gs} > V_{TH}$ ，且 $V_{DS} = V_{out} > V_{GS}$ ，NMOS 為 saturation。

② $V_{DS} = V_{out} - V_{DD} < 0$ ， $V_{SG} = V_{DD} > V_{DS}$ ，PMOS 為 Linear。

region CD: ① $V_{gs} > V_{TH}$ 且 $(V_{DS} = V_{out} - V_S) < V_{GS} \Rightarrow$ NMOS 為 Linear。

② $V_{DS} = V_{out} - V_{DD} < 0$ ， $V_{SG} > V_{TH}$ 且 $V_{SG} < V_{SD} + V_{TH}$ 為 saturation。

region DE: ① $V_{GS} - V_{TH} > V_{out} - V_S \Rightarrow$ NMOS 為 Linear。

② $V_{SD} + V_{TH} > V_{SG} \Rightarrow$ PMOS 為 saturation。

```
Code
*HW1_1
.prot
.lib'cic018.l'TT
.unprot

.option
+post
+captab
+ABSTOL=1e-7 ACCURATE=1

* Power Source
Vdd1 vd1 gnd 1.8
VG1 vg1 gnd 0
Vdd2 vd2 gnd 1.
VG2 vg2 gnd 0

* Circuit Topology *
M1A vd1 vg1 gnd gnd n_18 w=5u l=0.18u m=2
M1B vd2 vg2 gnd gnd n_18 w=5u l=0.36u m=4

* Analysis Statement *
.OP
.DC VG1 0 1.8 0.01
.DC VG2 0 1.8 0.01

* Output Control *
.probe Vth1 = LV9(M1A)
.probe ID1 = par('log(LX4(M1A))')
.probe PE1 = par('LX7(M1A)/LX4(M1A)')
.probe IG1 = par('LX7(M1A)/LX8(M1A)')
.probe SP1 = par('LX7(M1A)/LX18(M1A)')
```

```
.probe Vth2 = LV9(M1B)
.probe ID2 = par('log(LX4(M1B))')
.probe PE2 = par('LX7(M1B)/LX4(M1B)')
.probe IG2 = par('LX7(M1B)/LX8(M1B)')
.probe SP2 = par('LX7(M1B)/LX18(M1B)')
```

```
.end
```

```
*HW1_2
```

```
.prot
```

```
.lib'cic018.l'TT
```

```
.unprot
```

```
.option
```

```
+post
```

```
+captab
```

```
+ABSTOL=1e-7 ACCURATE=1
```

```
.param VSG1 = 0
```

```
.param VSG2 = 0
```

```
.param VSG3 = 0
```

```
* Power Source *
```

```
VDD1 vdd1 gnd 1.8
```

```
VG1 vg1 gnd '1.8-VSG1'
```

```
VDD2 vdd2 gnd 1.8
```

```
VG2 vg2 gnd '1.8-VSG2'
```

```
VDD3 vdd3 gnd 1.8
```

```
VG3 vg3 gnd '1.8-VSG3'
```

```
* Circuit Topology *
```

```
M1 vdd1 vg1 vdd1 vdd1 p_18 w=10u l=0.5u m=5
```

```
M2 vdd2 vg2 vdd2 vdd2 p_18 w=50u l=0.5u m=1
```

```
M3 vdd3 vg3 vdd3 vdd3 p_18 w=5u l=5u m=1
```


* Analysis Statement *

.OP

.DC VSG1 -1.8 1.8 0.01

.DC VSG2 -1.8 1.8 0.01

.DC VSG3 -1.8 1.8 0.01

* Output Control *

.probe DC ctot1 = par('LX18(M1)')

.probe DC ctot2 = par('LX18(M2)')

.probe DC ctot3 = par('LX18(M3)')

.end

HW1_3

.prot

.lib'cic018.l' TT

.unprot

.TEMP 25

.option

+post

+captab

+ABSTOL=1e-7 ACCURATE=1

.param width = 1u

* Power Source *

VDD vdd gnd 1.8

VDC vin gnd 0.9

* Circuit Topology *

MP vout vin vdd vdd p_18 w='width' l=0.18u m=1

MN vout vin gnd gnd n_18 w=1u l=0.18u m=1
C1 vout gnd 0.3p

* Analysis Statement *

.OP

.DC width 0.25u 10u 0.01u

* Output Control *

.probe Vout = LX3(MN)

.ALTER

.TEMP -40

.ALTER

.TEMP 125

.ALTER

.lib'cic018.l'FF

.ALTER

.TEMP 25

.ALTER

.TEMP -40

.ALTER

.lib'cic018.l'SF

.ALTER

.TEMP 25

.ALTER

.TEMP 125

.ALTER

.lib'cic018.l'SS

.ALTER

.TEMP 25

.ALTER

.TEMP -40

```
.ALTER  
.lib'cic018.l'FS  
.ALTER  
.TEMP 25  
.ALTER  
.TEMP 125  
  
.end
```