

HW1

1.

```
.protect
.lib 'cic018.' TT
.unprotect
.temp 25
.option post
.param vd=1.8 vg=0 vss=0 vsg=0

M1 Vdd Vg Vdd Vdd p_18 W=10u L=500.0n m=5
M2 Vdd Vg Vdd Vdd p_18 W=50u L=500.0n m=1
M3 Vdd Vg Vdd Vdd p_18 W=5u L=5u m=1

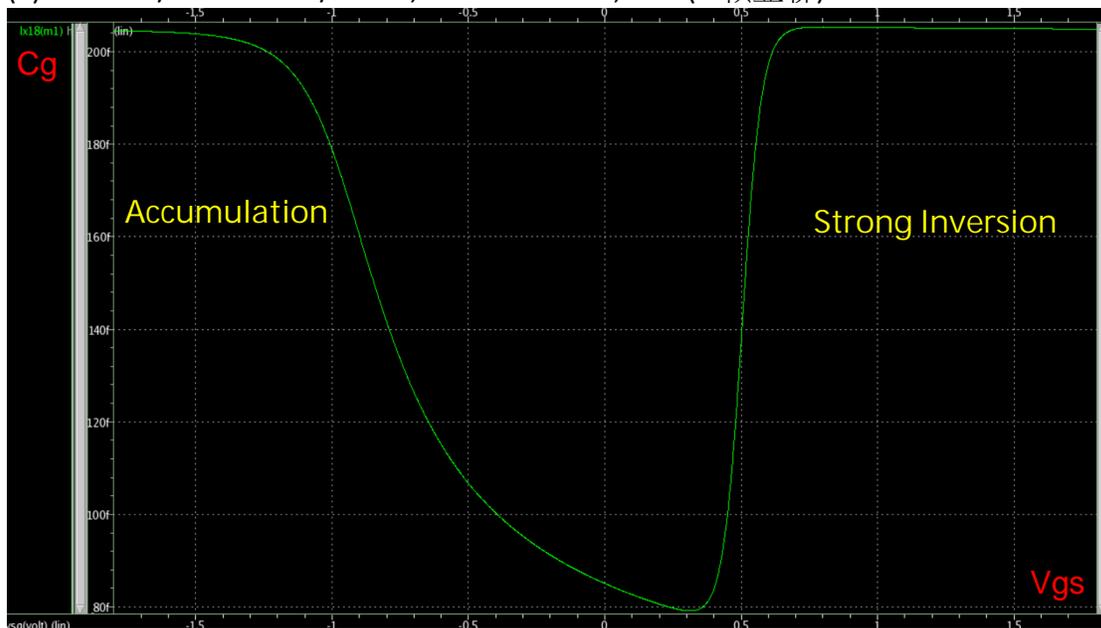
Vdd vdd 0 vd
Vss vss 0 vss

Vg vg vss 'vd-vsg'

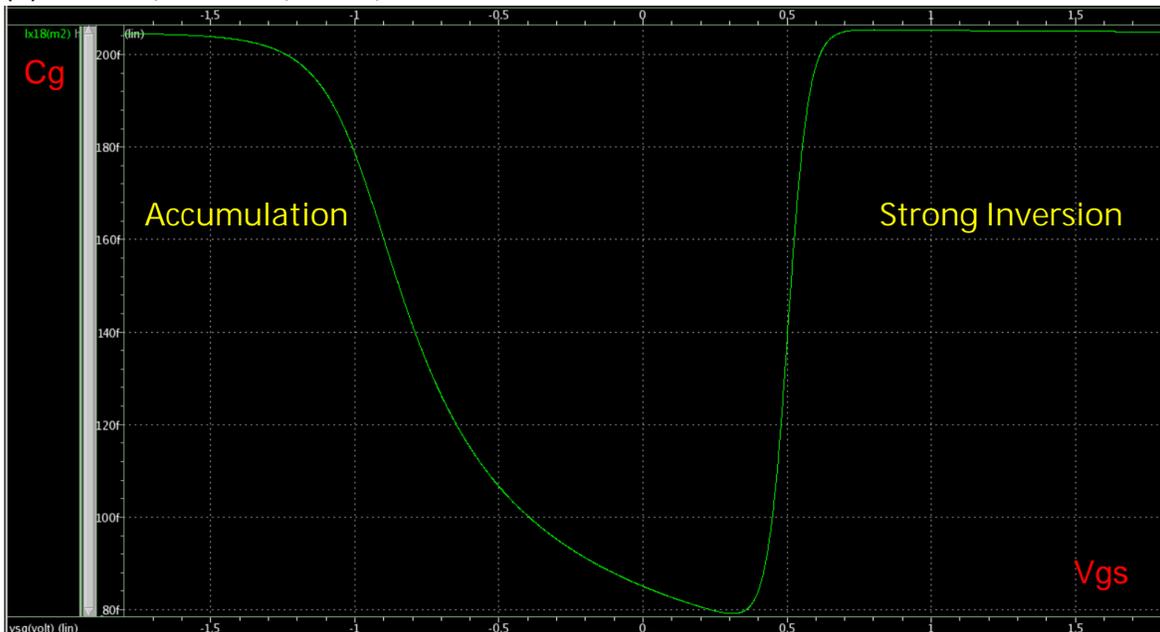
.dc vsg -1.8 1.8 0.001
.probe DC ctot=par("lx18(M1)")
.probe DC ctot=par("lx18(M2)")
.probe DC ctot=par("lx18(M3)")

.end
```

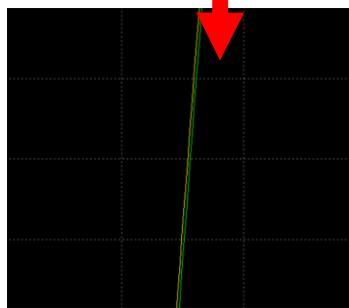
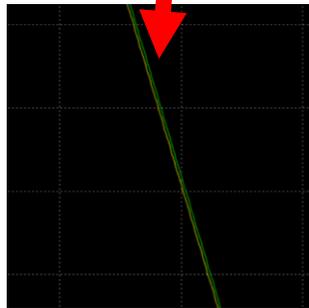
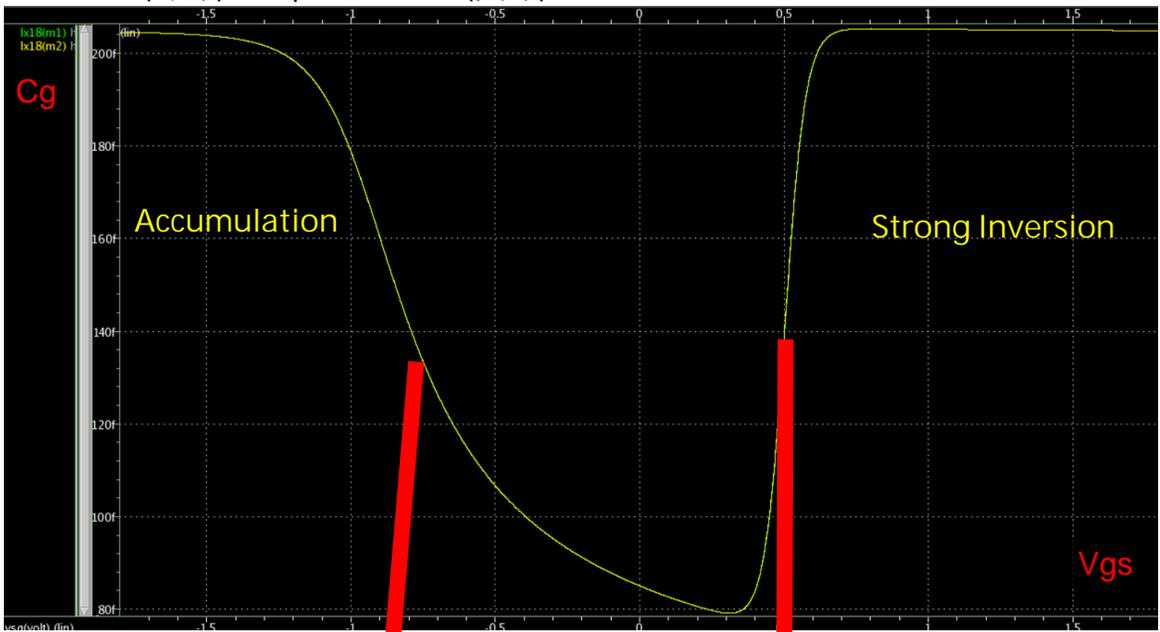
(a) M1 :  $W/L = 5 \times 10\mu\text{m}/0.5\mu\text{m}$ ,  $V_G = 0\text{V} \sim 3.6\text{V}$ ,  $m=5$ (5 顆並聯)



(b) M2 :  $W/L = 50\mu\text{m}/0.5\mu\text{m}$ ,  $V_G = 0\text{V} \sim 3.6\text{V}$



M2(綠線) Compare with M1(黃線)

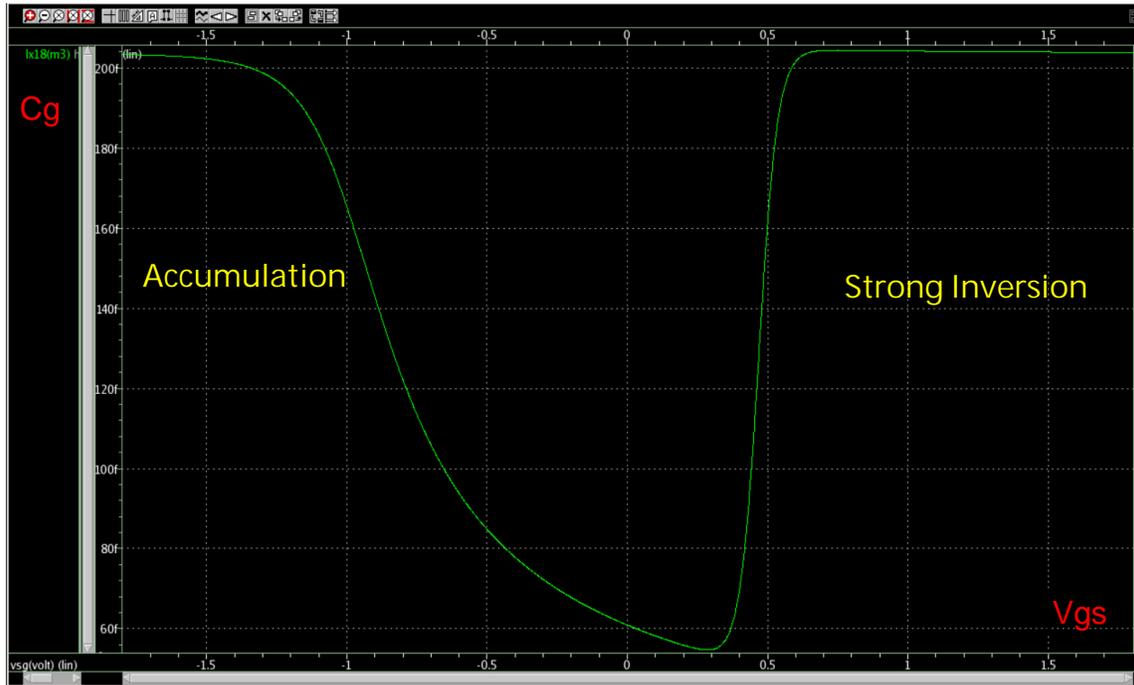


1(b)討論：

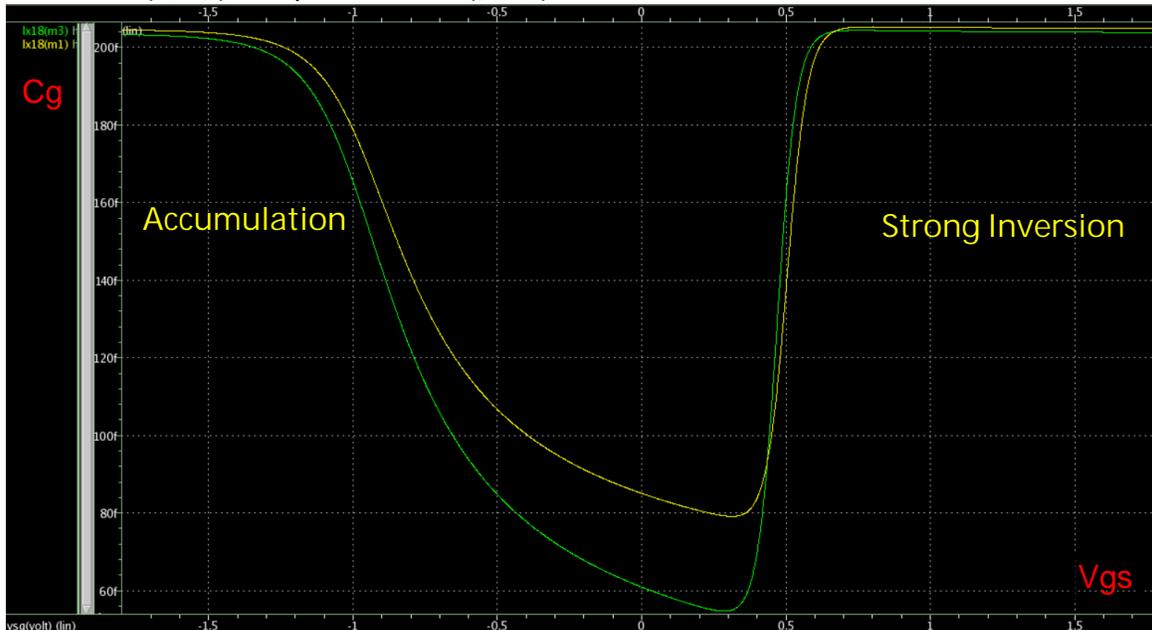
M1 跟 M2 的電容圖幾乎一樣，在  $V_{gs} < 0$  時 M1 略大於 M2；在  $V_{gs} > 0$  時 M2 略大於 M1。

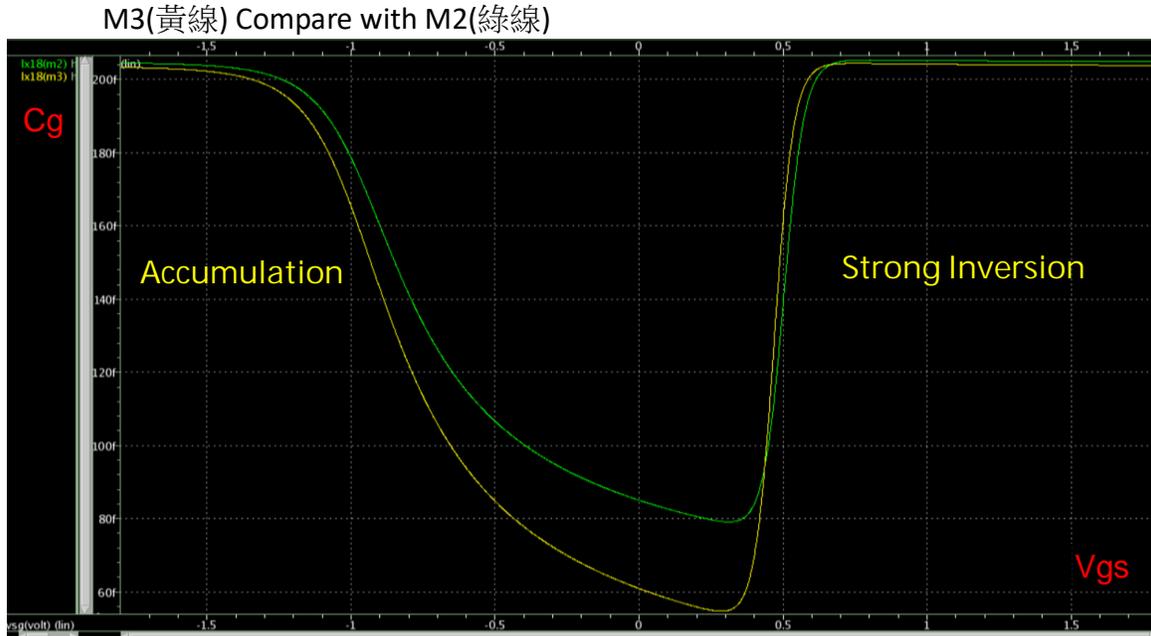
M1 與 M2 電容圖幾乎一樣的原因是，M1 是由 5 個  $W/L = 10\mu\text{m}/0.5\mu\text{m}$  的 PMOS 並聯，相當於  $W$  變成原本 mos 的 5 倍大，也相當於是 1 個  $W/L = 50\mu\text{m}/0.5\mu\text{m}$  的 PMOS (M2)，因此會產生這樣的結果。

(c) M3 :  $W/L = 5\mu\text{m}/5\mu\text{m}$ ,  $V_G = 0\text{V} \sim 3.6\text{V}$



M3(綠線) Compare with M1(黃線)





1(c)討論：

由於 M1 跟 M2 的電容圖幾乎一樣，因此我們就拿 M3 與 M2 的圖進行討論。由上圖可以發現，M3 的電容值基本上是小於 M2 的，那是因為 M3 的 W/L 值比 M2 來的小，也因此會有這樣的現象。

M3 的電容值在  $V_{gs} = (0.4, 0.6)$  區間中比 M2 來的大，也就是在 weak inversion 處發生此現象，是因為在 weak inversion，電容值與 Depletion Capacitance 有關，當  $W_{dep}$  越大， $C_{dep}$  就會越小， $W_{M2} > W_{M3}$ ，因此在此區域會發生  $C_{M3} > C_{M2}$  的現象。

2.

(a) M1 : W=20um, L=0.2um, m=1

```
hw1_2a
.protect
.lib 'cic018.l' TT
.unprotect
.temp 25
.option post
.param W=20u L=0.2u vd=1.8 vss=0 in=0.553

M1 Vout Vin vss vss N_18 W=10u L=0.2u m=1

Vdd vdd 0 vd
Vss vss 0 vss
Vin vin 0 in
Rd Vdd Vout 10K
```

\*\*\*\* small-signal transfer characteristics

v(vout)/vin = -9.1649  
 input resistance at vin = 1.000e+20  
 output resistance at v(vout) = 6.9148k

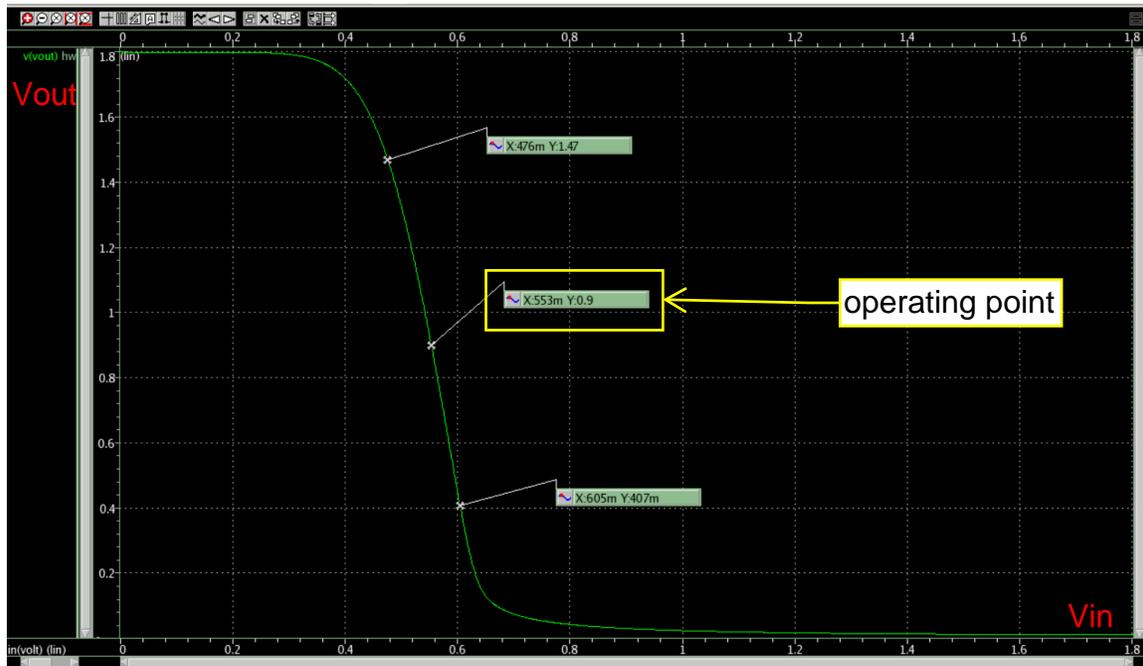
2(a)討論：

W=20um, L=0.2um, m=1 的 NMOS 在此電路圖中的

operating point : Input DC voltage = 0.553V, Output DC voltage = 0.9V

在 small-signal 情況下的 AC gain = -9.1649, |gain| = 9.1649 > 5

(b)M2 : W=20um, L=0.2um, m=1



2(b)討論：

此為 Vout-Vin 的作圖，W=20um, L=0.2um, m=1

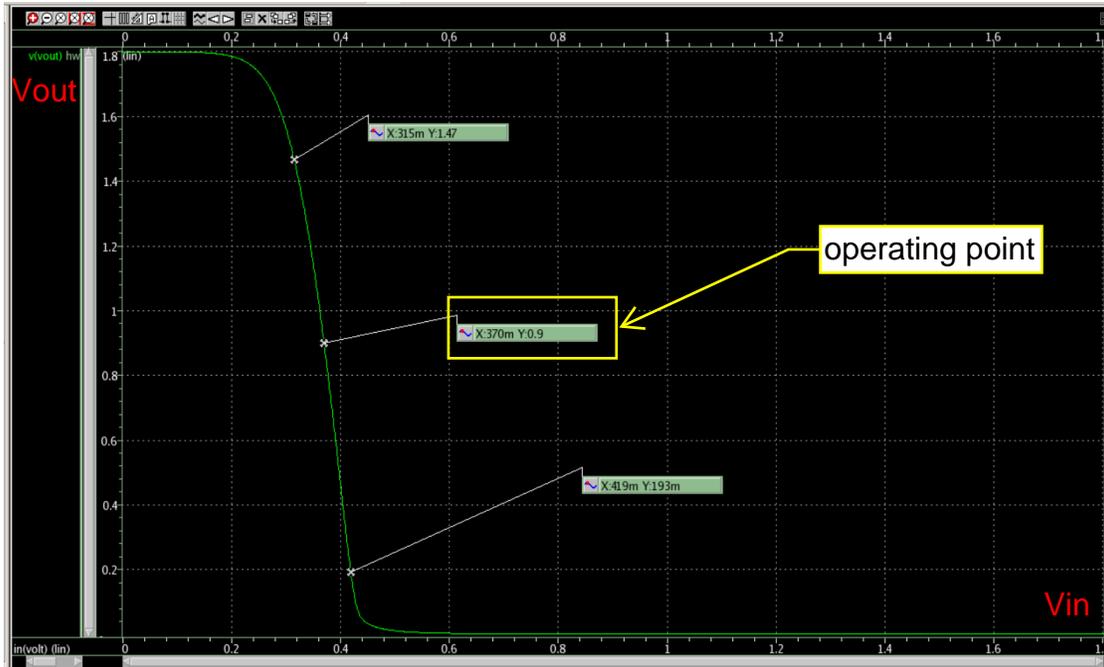
Linear range

Vin : 0.476~0.605V      Vout : 0.47~1.47V

(c) M3 : W=20u, L=0.2u, m=20

\*\*\*\* small-signal transfer characteristics

v(vout)/vin = -13.2920  
 input resistance at vin = 1.000e+20  
 output resistance at v(vout) = 5.8910k



2(c)討論：

此為  $V_{out}-V_{in}$  的作圖， $W=20\mu m$ ,  $L=0.2\mu m$ ,  $m=20$

operating point : Input DC voltage = 0.370V, Output DC voltage = 0.9V

在 small-signal 情況下的 AC gain = -13.2920

Linear range

$V_{in} : 0.315 \sim 0.419V$        $V_{out} : 0.193 \sim 1.47V$

(d)

先從 AC gain 討論起：

$gain = -G_m \cdot R_{out}$ ， $G_m$  又與  $W/L$  有關， $M_3$  為 20 顆  $M_2$  的並聯，相當於  $W_3$  是  $W_2$  的 20 倍大，因此  $M_3$  的  $|gain|$  會比  $M_2$  的  $|gain|$  來的大

再來討論 linear range：

從兩張圖可以發現  $M_3$  的  $\Delta V_{out}/\Delta V_{in}$  比  $M_2$  的  $\Delta V_{out}/\Delta V_{in}$  來的大，那是因為  $M_3$  的 gain 較大的原因。

還可以發現  $M_2$  的  $V_{in}$  operating points 比  $M_3$  的  $V_{in}$  operating points 來的大，那是因為  $W/L$  變大了，影響了  $V_{ov}$ ，為了維持相同的 Output DC 點， $V_{in}$  要降下來，讓  $M_3$  比  $M_2$  提早進入 Saturation region。

3.

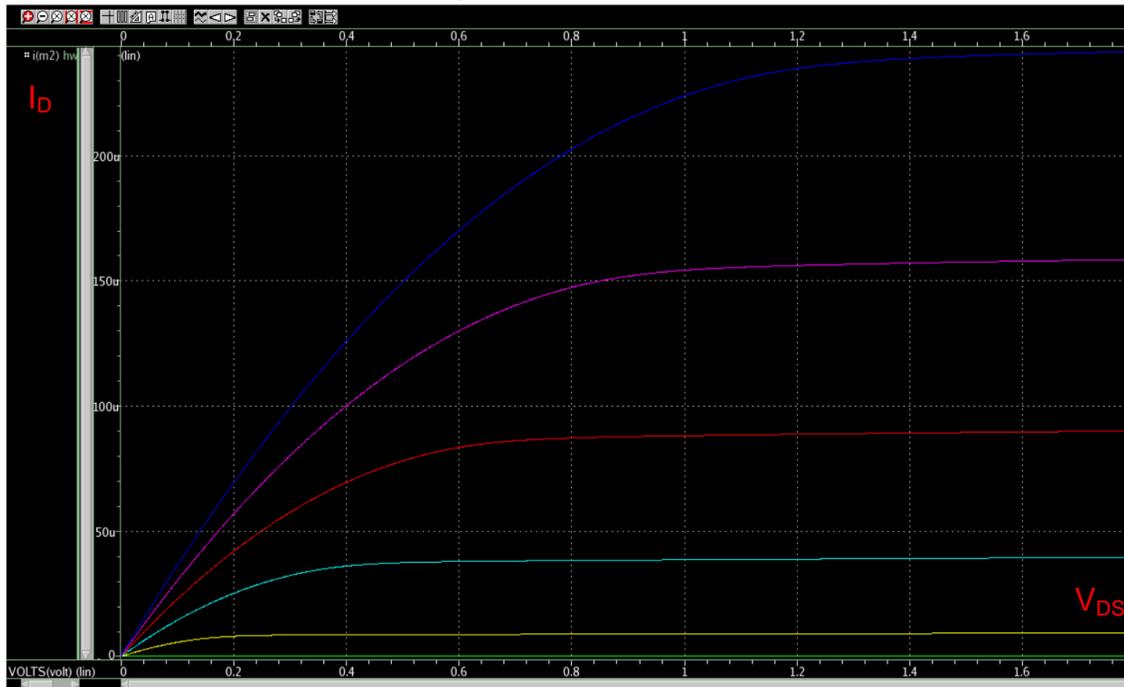
(a) Short-channel device: M1 :  $W/L = 3\mu\text{m}/0.3\mu\text{m}$

(七條曲線由上至下依序為  $V_{gs} = 1.8, 1.5, 1.2, 0.9, 0.6, 0.3, 0\text{V}$ )

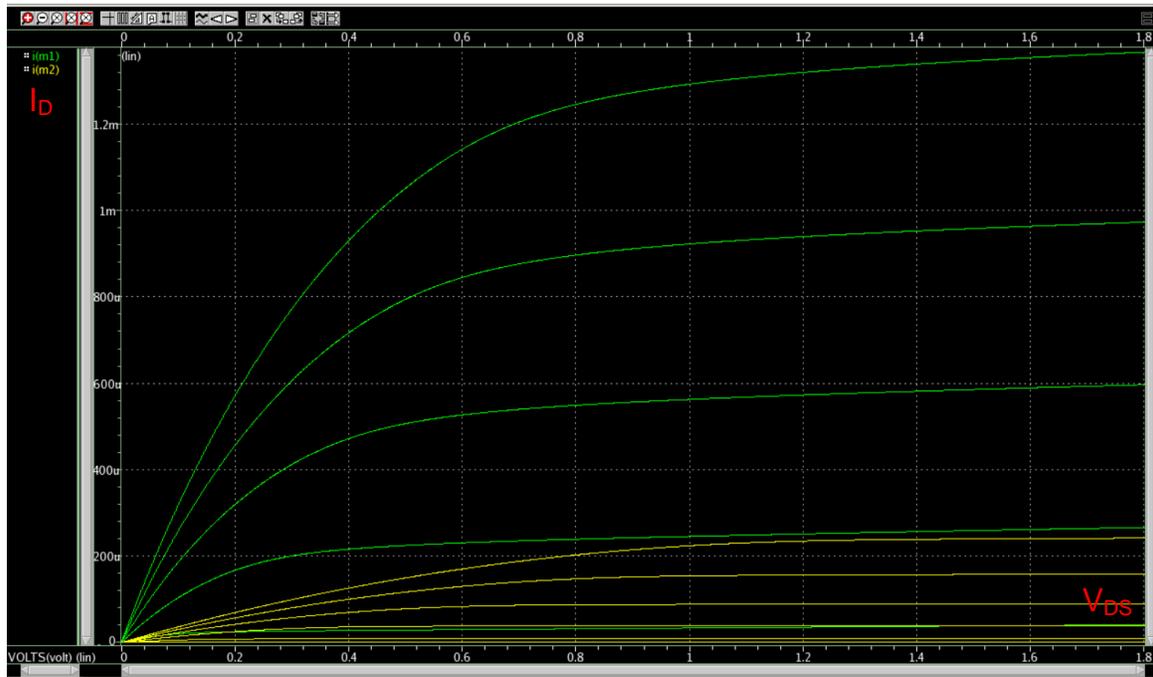


(b) Long-channel device: M2 :  $W/L = 3\mu\text{m}/3\mu\text{m}$

(七條曲線由上至下依序為  $V_{gs} = 1.8, 1.5, 1.2, 0.9, 0.6, 0.3, 0\text{V}$ )



M1(綠色)；M2(黃色)



討論：

- I. 由上圖 M1 和 M2 的比較圖發現，M1(Short-channel device)的  $I_D$ (drain current)比 M2(Long-channel device)的  $I_D$  來的大，因為 M1 的  $W/L = 3\mu\text{m}/0.3\mu\text{m}$  比 M2 的  $W/L = 3\mu\text{m}/3\mu\text{m}$  來的大，而  $I_D \propto \left(\frac{W}{L}\right)$ ，因此  $I_{D1} > I_{D2}$ 。
- II.  $V_{GS}$  越大， $I_D$  也就越大，因為  $I_D$  與  $V_{GS}$  呈現正相關。
- III. 受到 channel length modulation effect 的影響，channel length 越短( $W/L$  變大)，因此進入 saturation region 時， $I_D/V_{DS}$  曲線的斜率就越大。