



類比電路與設計一

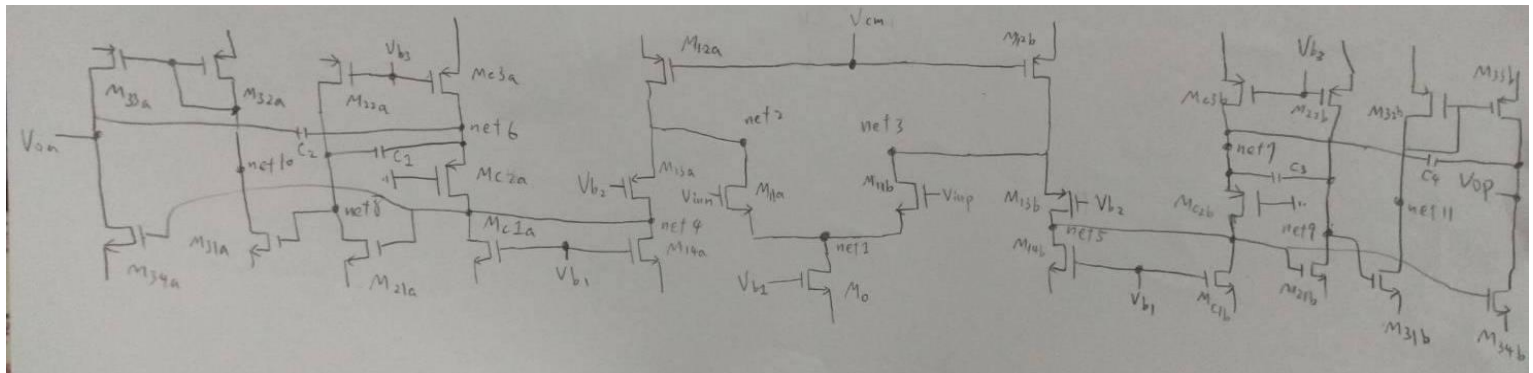
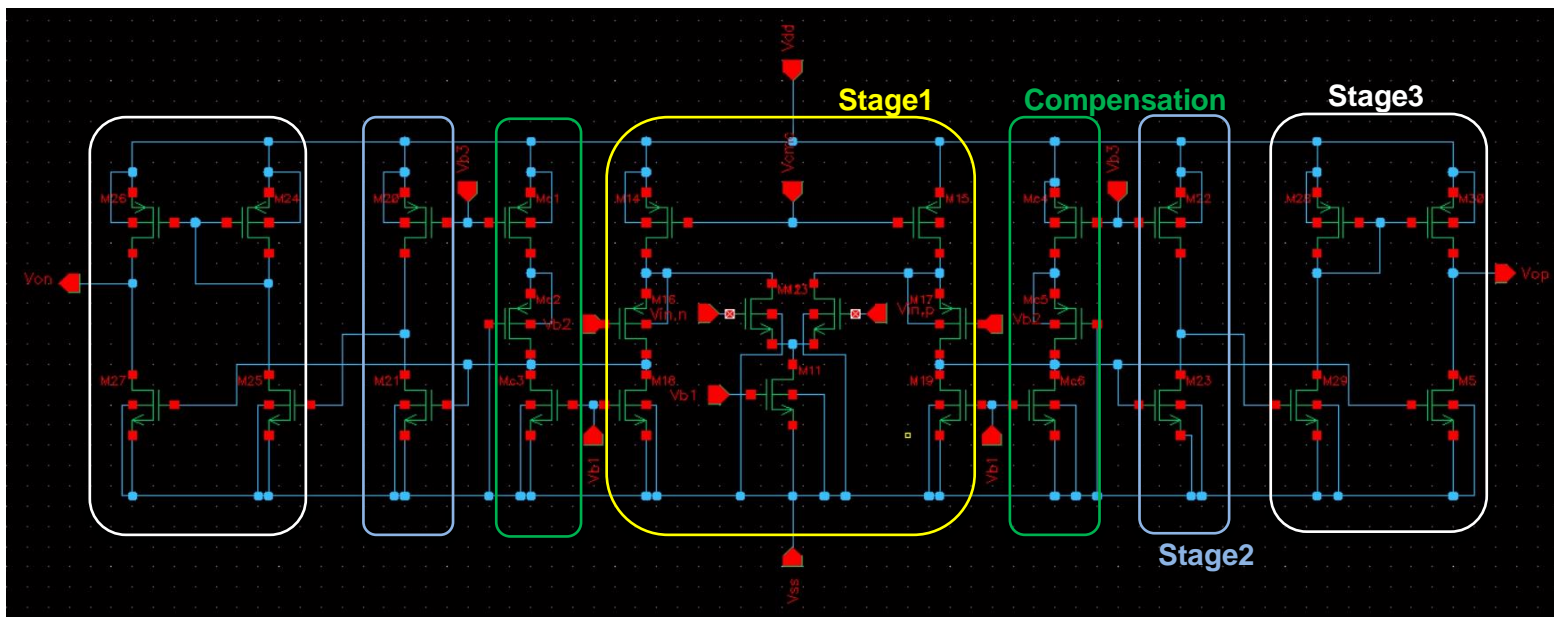
Final project report

105060012 張育菘

105060026 許博堯

A. Schematic

1. core amplifier



(以手繪的圖為主)

STAGE 1

M0 W=1u L=1u m=200

M11a/M11b W=1u L=0.5u m=100

M12a/M12b W=1u L=1u m=90

M13a/M13b W=1u L=1.3u m=140

M14a/M14b W=1u L=0.7u m=10

COMPENSATION

Mc1a/Mc1b W=0.8u L=0.8u m=19

Mc2a/Mc2b W=1u L=1.8u m=5

Mc3a/Mc3b W=1u L=1.8u m=5

STAGE II

M21a/M21b $W=1.2\mu$ $L=0.8\mu$ $m=20$

M22a/M22b $W=1\mu$ $L=2.2\mu$ $m=10$

STAGE III

M31a/M31b $W=1\mu$ $L=0.8\mu$ $m=10$

M32a/M32b $W=1\mu$ $L=1\mu$ $m=10$

M33a/M33b $W=0.9\mu$ $L=0.7\mu$ $m=250$

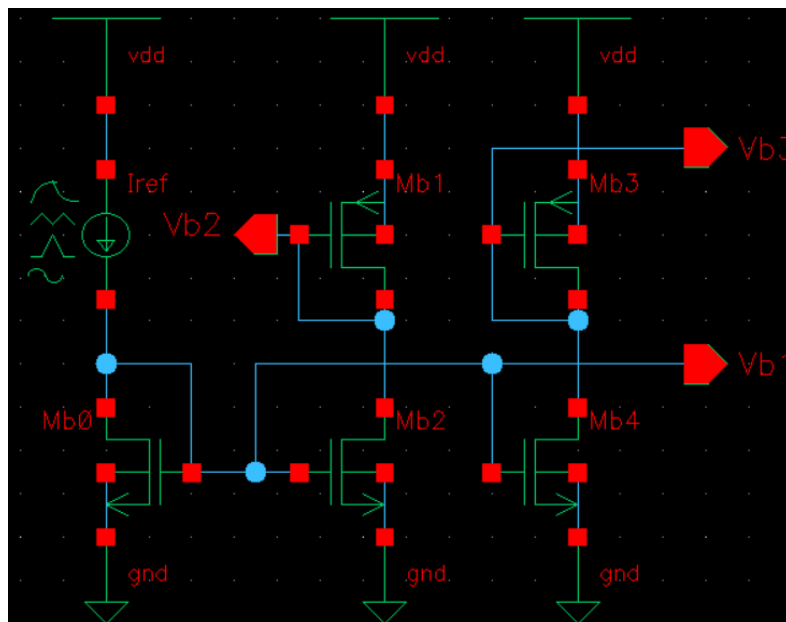
M34a/M34b $W=0.9\mu$ $L=0.7\mu$ $m=250$

C1 0.01p

C2 0.5p

C3 0.01p

C4 0.5p



2. Biasing Circuit

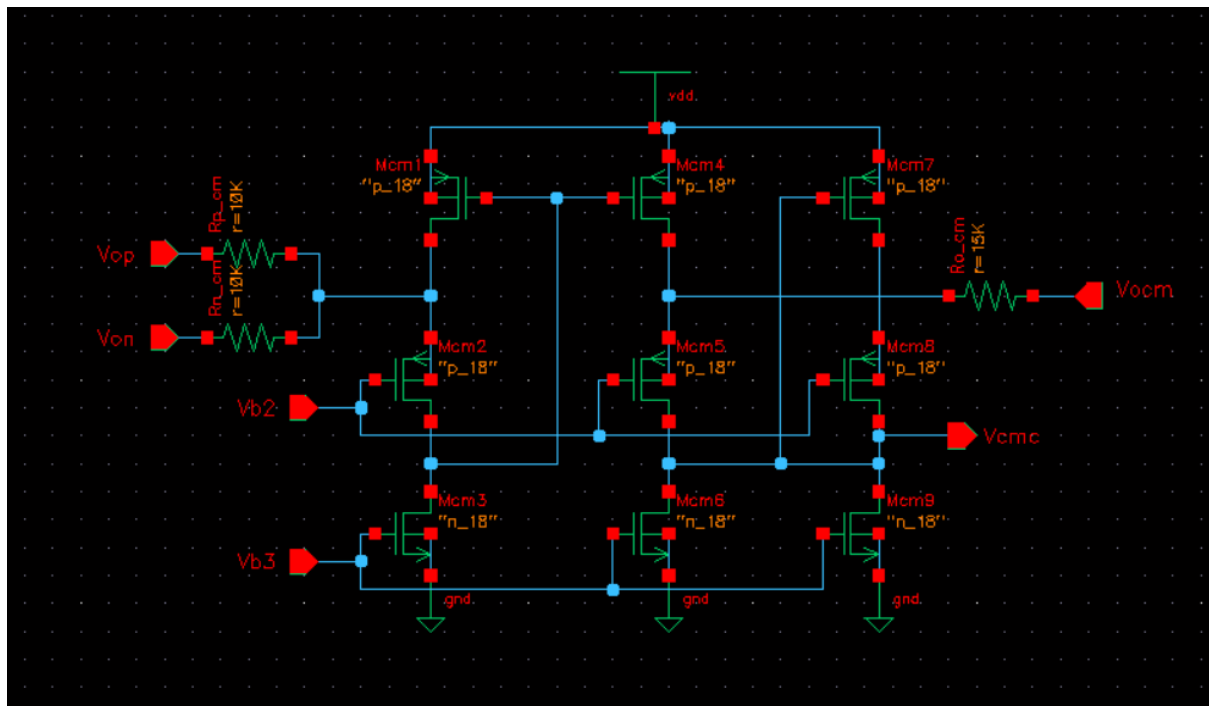
Mb0 $W=1.2\mu$ $L=1\mu$ $m=40$

Mb1 $W=1\mu$ $L=1\mu$ $m=30$

Mb2 $W=1.2\mu$ $L=1\mu$ $m=200$

Mb3 $W=1\mu$ $L=1\mu$ $m=50$

Mb4 $W=1.2\mu$ $L=1\mu$ $m=200$



3. Common_Mode_Feedback

Mcm1 W=1u L=0.8u m=4

Mcm2 W=1u L=0.8u m=30

Mcm3 W=1u L=1u m=4

Mcm4 W=2u L=0.8u m=8

Mcm5 W=1u L=0.8u m=50

Mcm6 W=1u L=1u m=8

Mcm7 W=1u L=1u m=22

Mcm8 W=1u L=1u m=90

Mcm9 W=1u L=1u m=40

Ro_cm 15K

Rn_cm 10K

Rp_cm 10K

B. Simulation result

1. Supply voltage : All 1.4V

2. Power<5mW

TT : total power=2.5169mW

```

**** voltage sources

subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000    0.          700.0000m  700.0000m  700.0000m
current  -1.6681m  1.4878m  0.         0.         14.7779u
power    2.3353m  0.          0.          0.         -10.3445u

total voltage source power dissipation= 2.3250m watts

**** current sources

subckt
element 0:iref
volts    937.1855m
current  55.0000u
power    -51.5452u

total current source power dissipation= -51.5452u watts

**** resistors

subckt
element 0:rload1  0:rload2  xop      xop      xop
r value 10.0000k  10.0000k  1:ro_cm  1:rn_cm  1:rp_cm
v drop  827.6296m 827.6259m 221.6689m -23.3298m -23.3335m
current  82.7630u 82.7626u 14.7779u  -2.3330u  -2.3333u
power    68.4971u 68.4965u 3.2758u  54.4280n  54.4451n

```

SS : total power=2.144mW

```

**** voltage sources

subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000    0.          700.0000m  700.0000m  700.0000m
current  -1.2233m  942.9679u  0.         0.         2.8509u
power    1.7126m  0.          0.          0.         -1.9956u

total voltage source power dissipation= 1.7106m watts

**** current sources

subckt
element 0:iref
volts    883.3712m
current  55.0000u
power    -48.5854u

total current source power dissipation= -48.5854u watts

**** resistors

subckt
element 0:rload1  0:rload2  xop      xop      xop
r value 10.0000k  10.0000k  1:ro_cm  1:rn_cm  1:rp_cm
v drop  1.3875    1.3875    42.7636m  1.5156m  1.5156m
current  138.7490u 138.7490u 2.8509u  151.5576n 151.5576n
power    192.5129u 192.5129u 121.9149n 229.6970p 229.6970p

```

SF : total power=2.5001mW

```

**** voltage sources

subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000    0.          700.0000m  700.0000m  700.0000m
current  -1.6551m  1.4686m  0.         0.         17.6832u
power    2.3171m  0.          0.          0.         -12.3782u

total voltage source power dissipation= 2.3048m watts

```

**** current sources

```
subckt
element 0:iref
volts 883.3712m
current 55.0000u
power -48.5854u
```

total current source power dissipation= -48.5854u watts

**** resistors

```
subckt
element 0:rload1 0:rload2 xop xop xop
1:ro_cm 1:rn_cm 1:rp_cm
r value 10.0000k 10.0000k 15.0000k 10.0000k 10.0000k
v drop 843.9634m 843.9647m 265.2478m -36.2342m -36.2329m
current 84.3963u 84.3965u 17.6832u -3.6234u -3.6233u
power 71.2274u 71.2276u 4.6904u 131.2920n 131.2826n
```

FS : total power=2.5089mW

**** voltage sources

```
subckt
element 0:vdd 0:vgnd 0:vinp 0:vinp 0:vocm
volts 1.4000 0. 700.0000m 700.0000m 700.0000m
current -1.6621m 1.4785m 0. 0. 17.0114u
power 2.3269m 0. 0. 0. -11.9080u
```

total voltage source power dissipation= 2.3150m watts

**** current sources

```
subckt
element 0:iref
volts 917.8063m
current 55.0000u
power -50.4793u
```

total current source power dissipation= -50.4793u watts

**** resistors

```
subckt
element 0:rload1 0:rload2 xop xop xop
1:ro_cm 1:rn_cm 1:rp_cm
r value 10.0000k 10.0000k 15.0000k 10.0000k 10.0000k
v drop 833.1195m 833.1197m 255.1712m -35.0104m -35.0102m
current 83.3120u 83.3120u 17.0114u -3.5010u -3.5010u
power 69.4088u 69.4088u 4.3408u 122.5727n 122.5715n
```

FF : total power=2.6655mW

**** voltage sources

```
subckt
element 0:vdd 0:vgnd 0:vinp 0:vinp 0:vocm
volts 1.4000 0. 700.0000m 700.0000m 700.0000m
current -1.8131m 1.6861m 0. 0. 30.3283u
power 2.5383m 0. 0. 0. -21.2298u
```

total voltage source power dissipation= 2.5171m watts

**** current sources

```
subckt
element 0:iref
volts 978.6917m
current 55.0000u
power -53.8280u
```

total current source power dissipation= -53.8280u watts

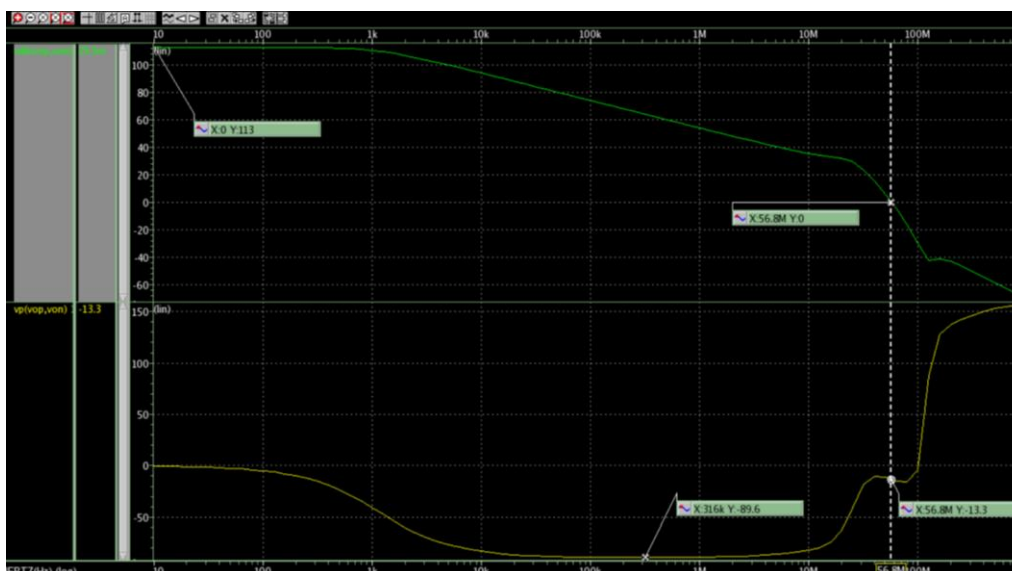
**** resistors

```
subckt
element 0:rload1 0:rload2 xop xop xop
1:ro_cm 1:rn_cm 1:rp_cm
r value 10.0000k 10.0000k 15.0000k 10.0000k 10.0000k
v drop 483.3455m 483.3479m 454.9245m -412.4525m -412.4501m
current 48.3345u 48.3348u 30.3283u -41.2452u -41.2450u
power 23.3623u 23.3625u 13.7971u 17.0117u 17.0115u
```

3. DC gain >90dB & Unity-GBW >40MHz & P.M. $60^\circ < PM < 100^\circ$

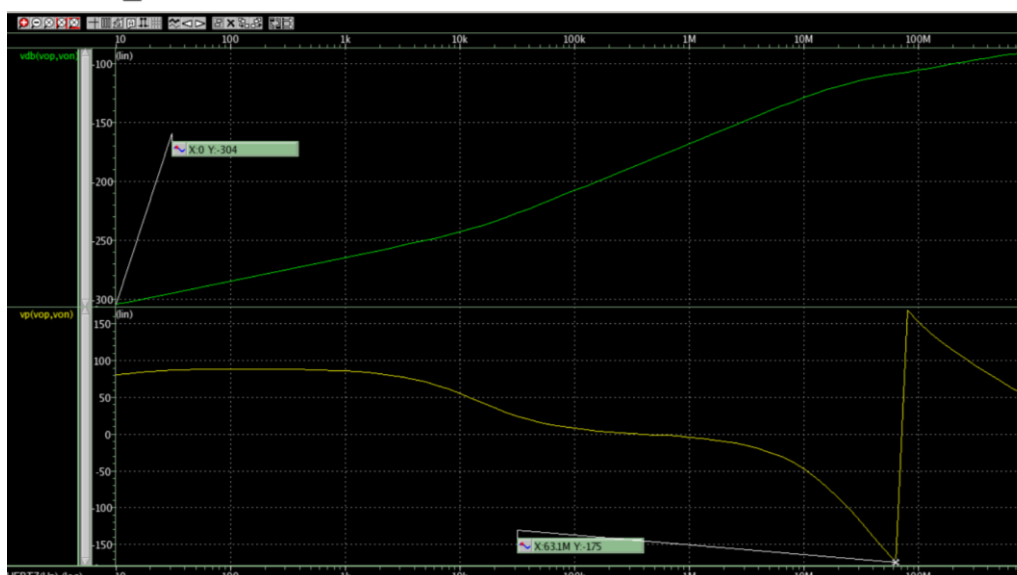
TT : DC gain =112.5963dB, Unity-GBW =57.2039MHz, P.M. =166.6701°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 112.5963      at= 10.0000
      from= 10.0000      to= 1.0000g
dcgain= 426.4002k      at= 10.0000
      from= 10.0000      to= 1.0000g
unity_frequency= 57.2039x
phase= -13.3299
phase_margin= 166.6701
```



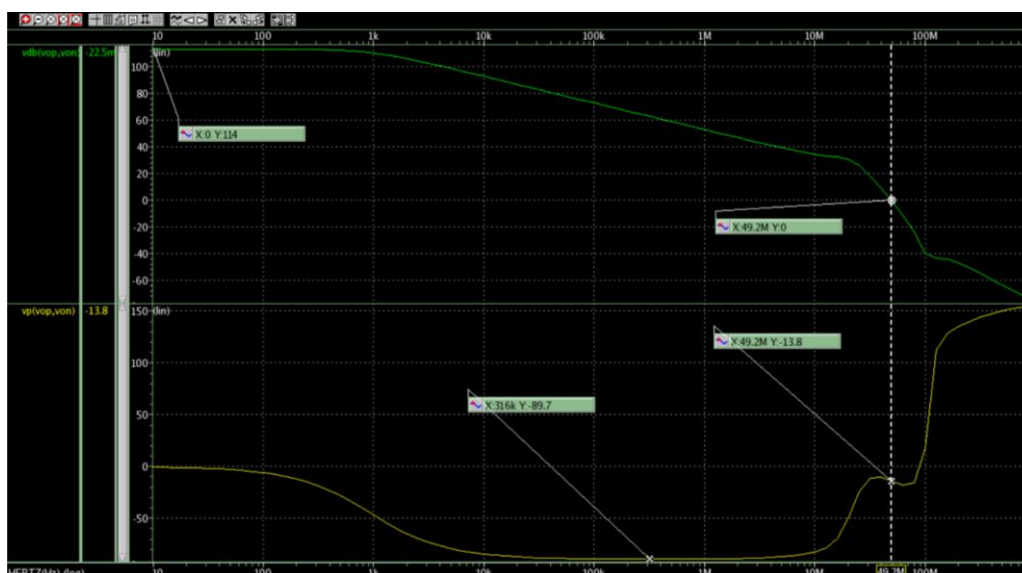
SS : DC gain =-90.0010dB, Unity-GBW =failed, P.M. =failed

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= -90.0010      at= 1.0000g
      from= 10.0000      to= 1.0000g
dcgain= 31.6190u      at= 1.0000g
      from= 10.0000      to= 1.0000g
unity_frequency= failed
phase= failed
phase_margin= failed
```



SF : DC gain =113.5391dB, Unity-GBW =49.2666MHz, P.M. =166.1738°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 113.5391 at= 10.0000
          from= 10.0000 to= 1.0000g
dcgain= 475.2857k at= 10.0000
          from= 10.0000 to= 1.0000g
unity_frequency= 49.2666x
phase= -13.8262
phase_margin= 166.1738
```



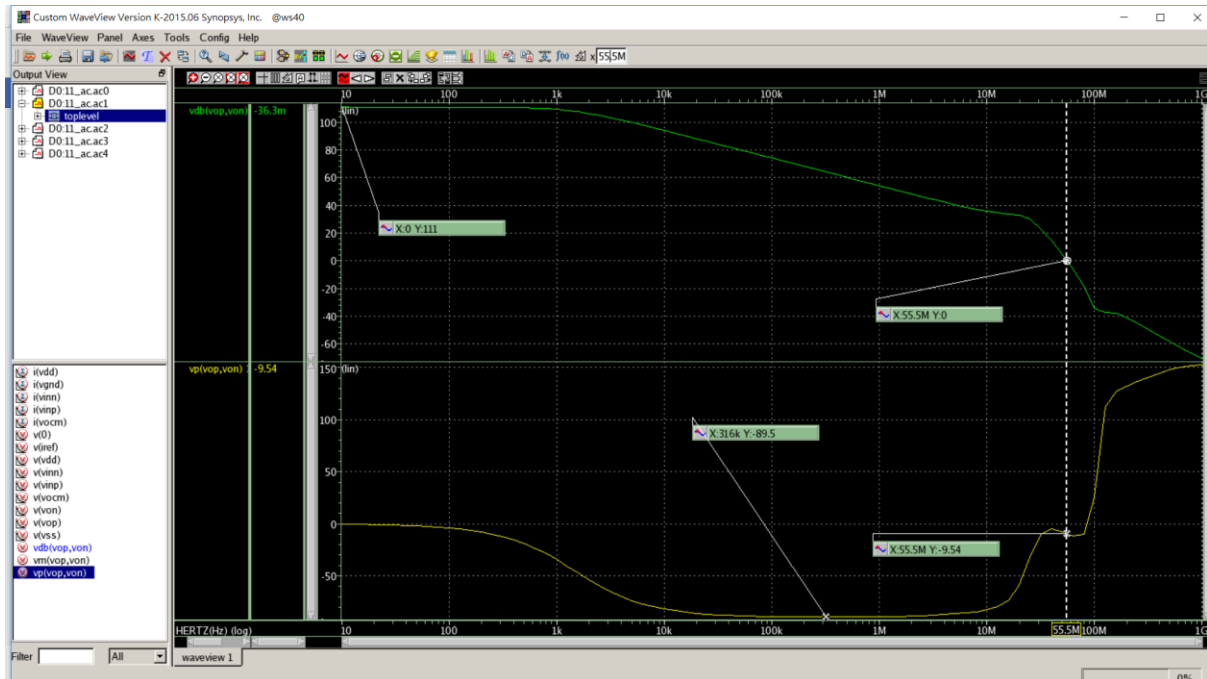
FS : DC gain =112.6153dB, Unity-GBW =55.9394MHz, P.M. =166.0658°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 112.6153 at= 10.0000
          from= 10.0000 to= 1.0000g
dcgain= 427.3309k at= 10.0000
          from= 10.0000 to= 1.0000g
unity_frequency= 55.9394x
phase= -13.9342
phase_margin= 166.0658
```



FF : DC gain =110.9285dB, Unity-GBW =55.8222MHz, P.M. =170.4710°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 110.9285 at= 10.0000
from= 10.0000 to= 1.0000g
dcgain= 351.9033k at= 10.0000
from= 10.0000 to= 1.0000g
unity_frequency= 55.8222x
phase= -9.5290
phase_margin= 170.4710
```



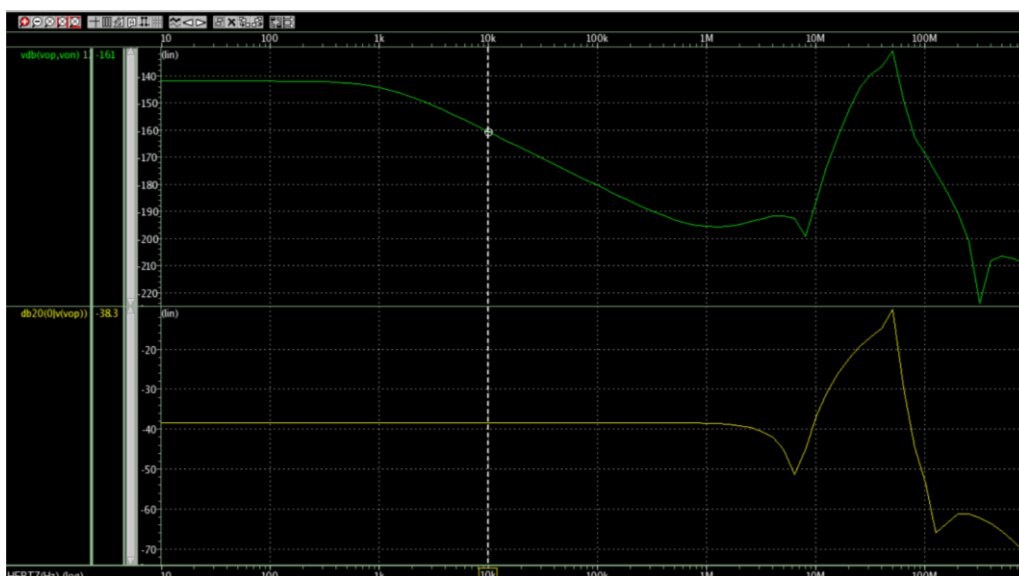
comment :

雖然我們在 10kHz 的 phase margin 沒有在 60~90 的中間，但是我們這個設計最差的 phase margin 沒有<90 度的，除了在 SS corner 外。

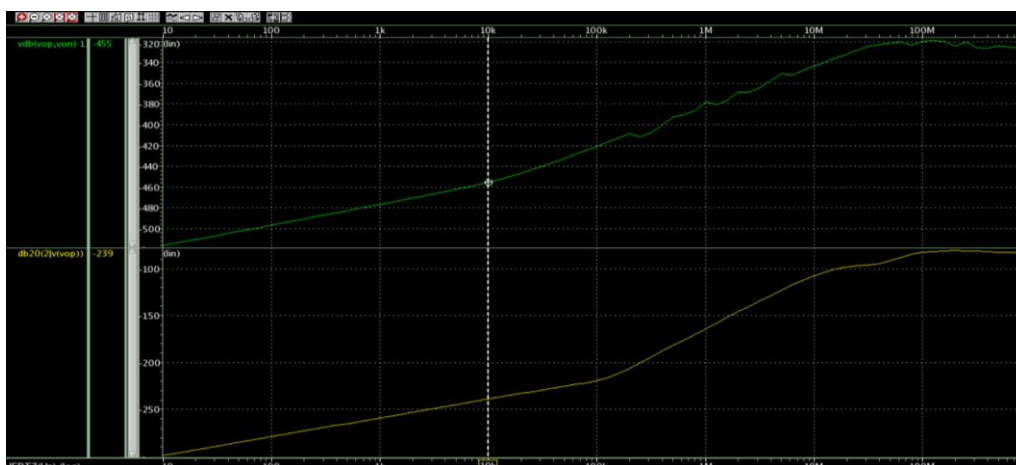
4. common mode rejection ration (C.M.R.R.) at 10KHz > 110dB

$$C.M.R.R. = A_{DM} / A_{CM_DM}$$

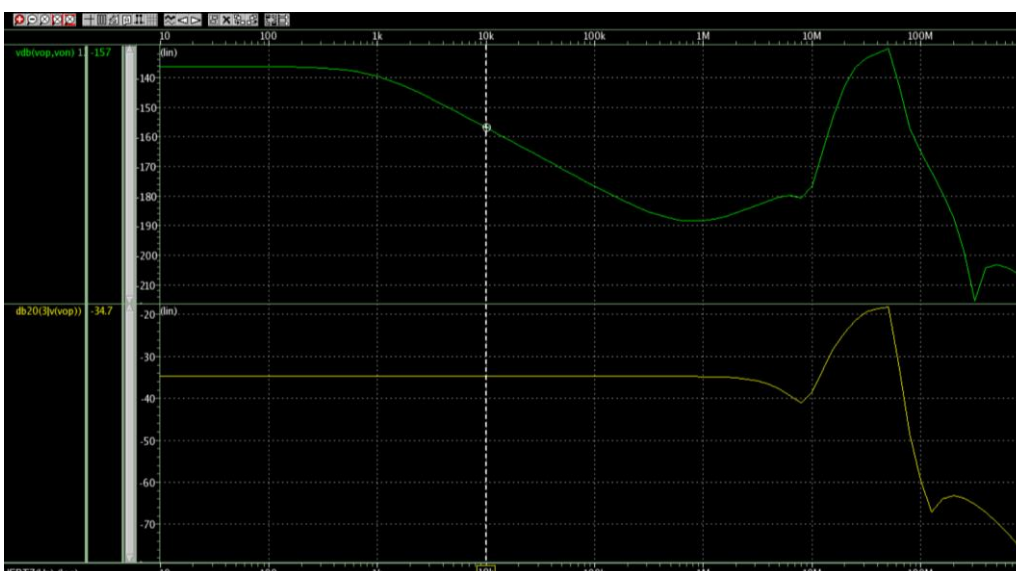
TT : C.M.R.R.=161-38.3=122.7dB



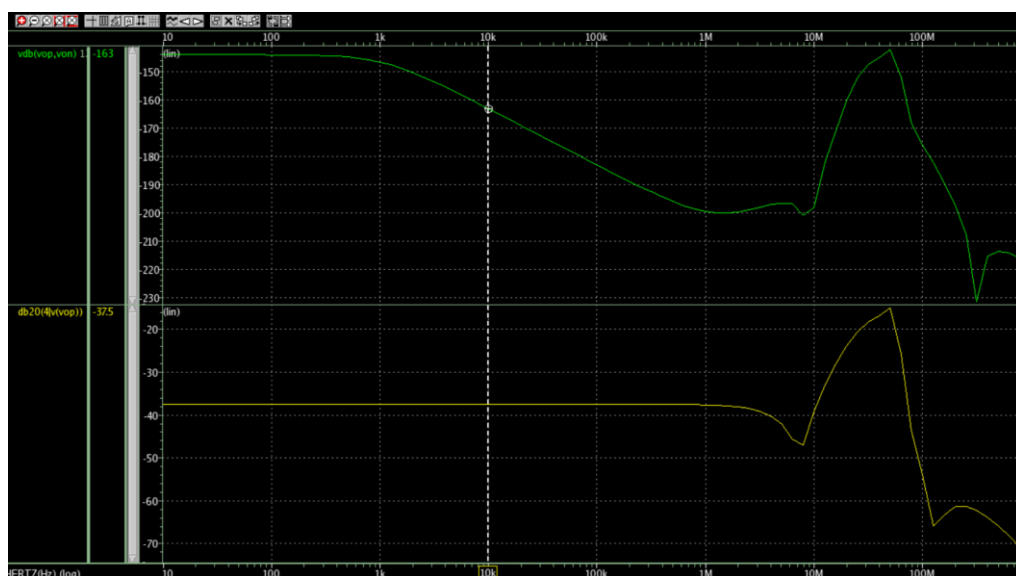
SS : C.M.R.R.=455-239=216dB



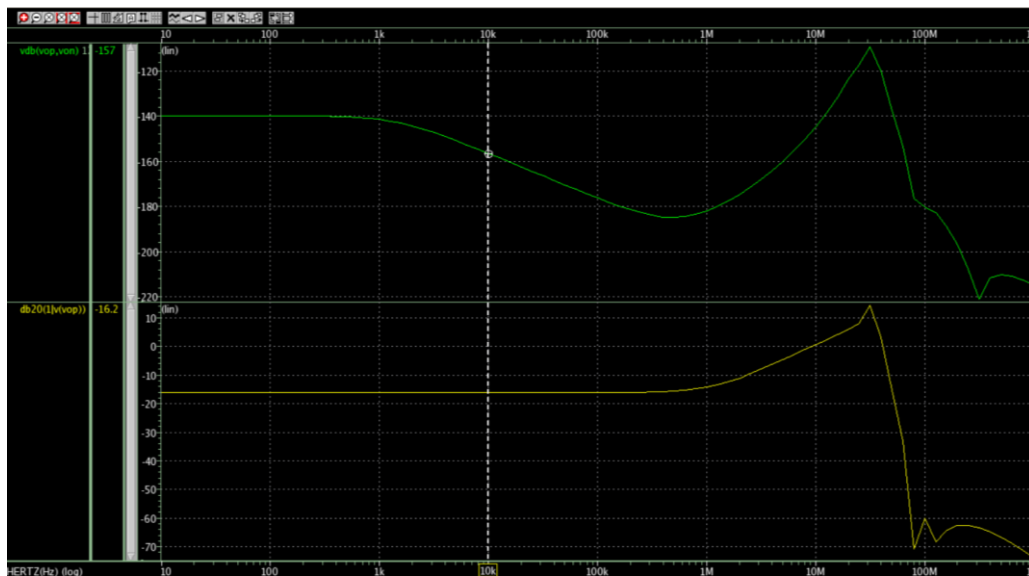
SF : C.M.R.R.=157-34.7=122.3dB



FS : C.M.R.R.=163-37.5=125.5dB



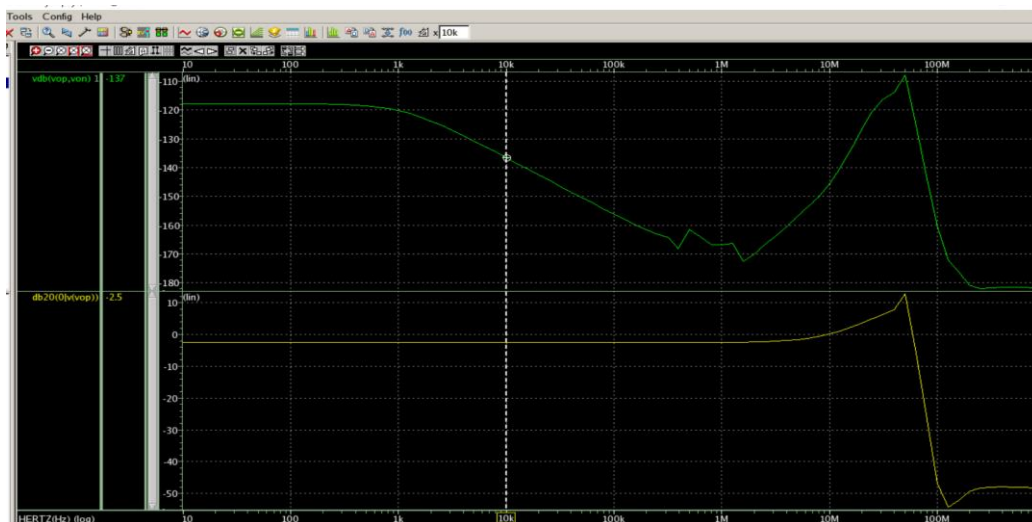
FF : C.M.R.R.=157-16.2=140.8dB



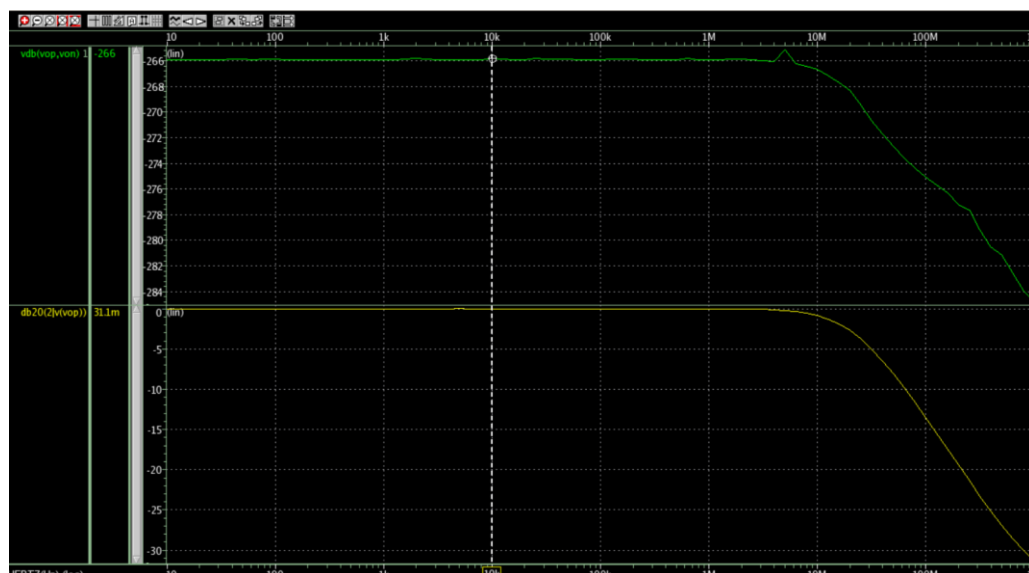
5. power supply rejection ratio+ (P.S.R.R.+) at 10KHz > 110dB

$$P.S.R.R.+ = A_{input_output} / A_{Vdd_output}$$

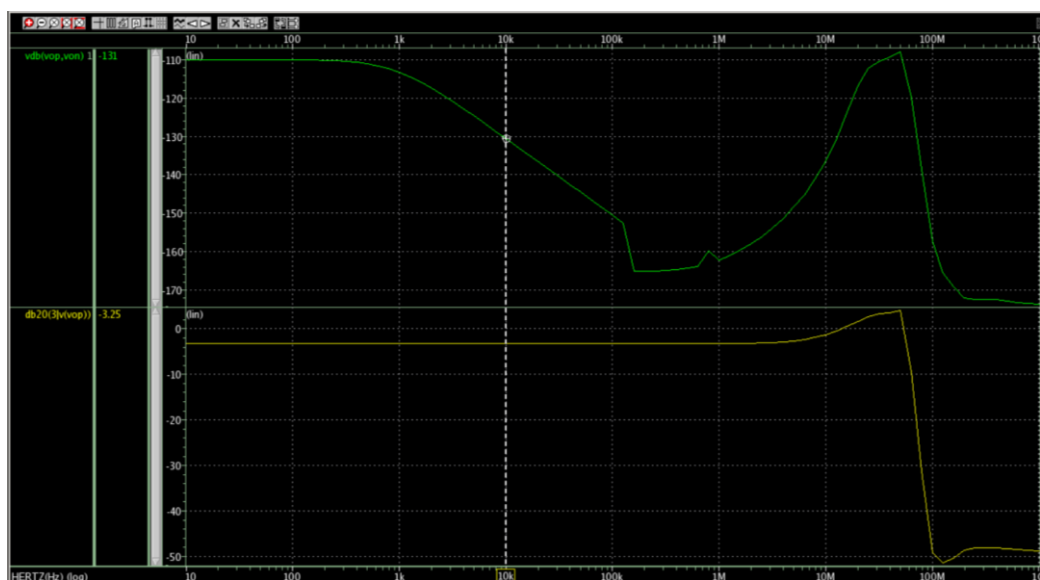
TT : P.S.R.R.+ = |-137+2.5|=134.5dB



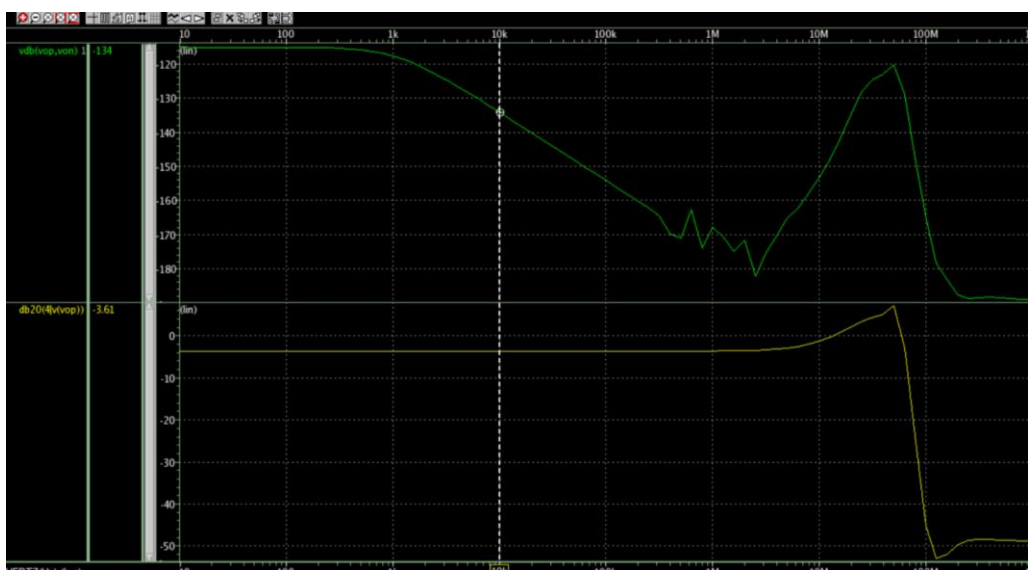
SS : P.S.R.R.+ = 266+31.1=297.1dB



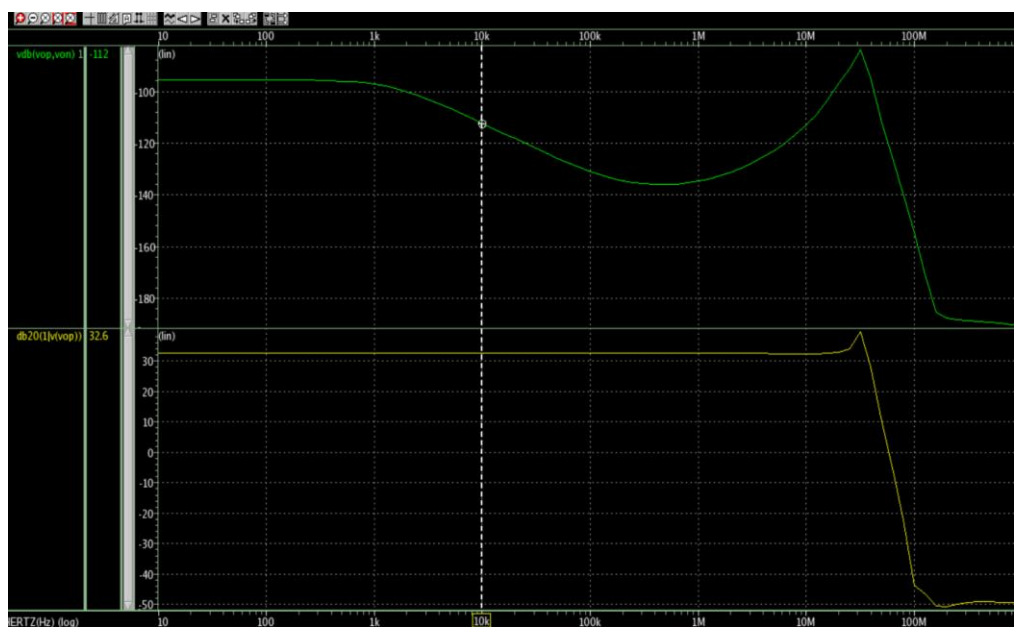
SF : P.S.R.R.+ = $131 - 3.25 = 127.75\text{dB}$



FS : P.S.R.R.+ = $134 - 3.61 = 130.39\text{dB}$



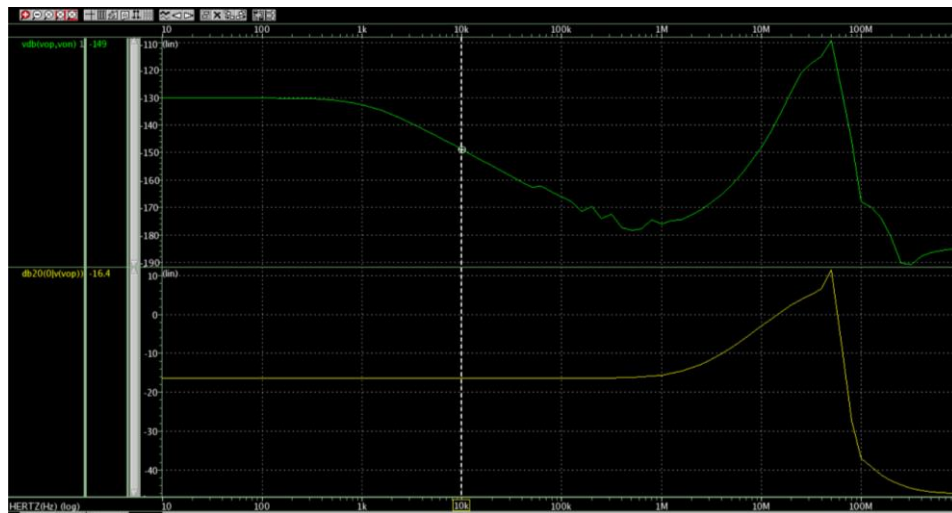
FF : P.S.R.R.+ = $112 + 32.6 = 144.6\text{dB}$



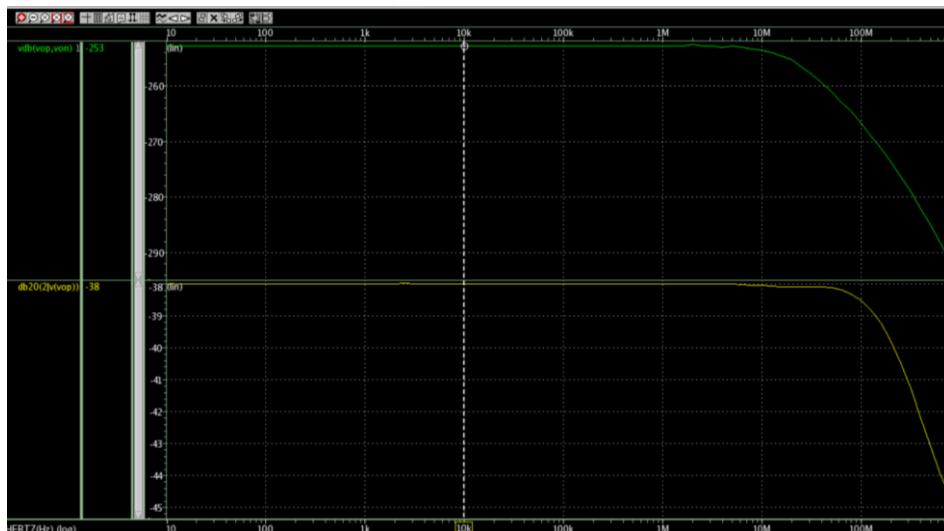
6. power supply rejection ratio- (P.S.R.R.-) at 10KHz > 110dB

$$P.S.R.R.- = A_{input_output} / A_{Vss_output}$$

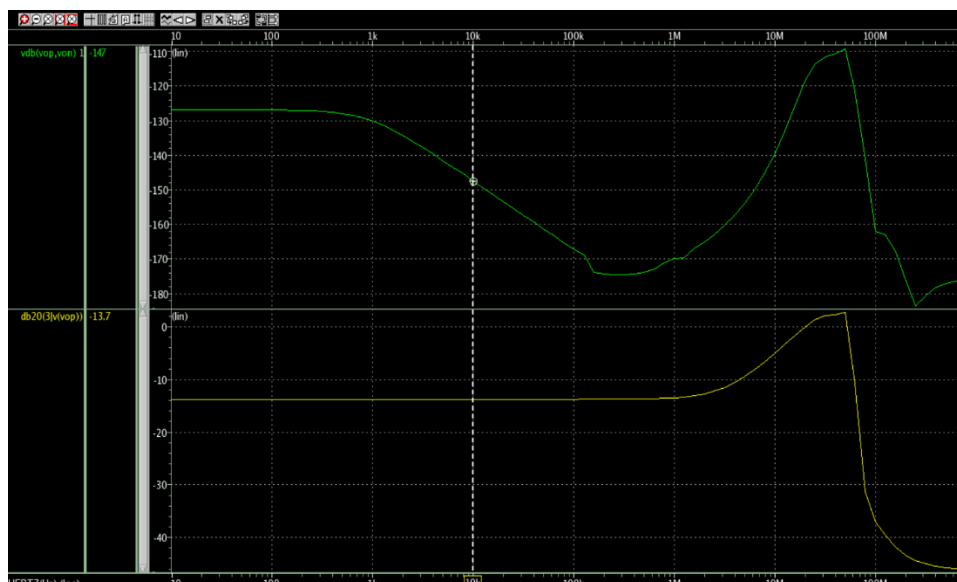
$$TT : P.S.R.R.- = 149 - 16.4 = 132.6dB$$



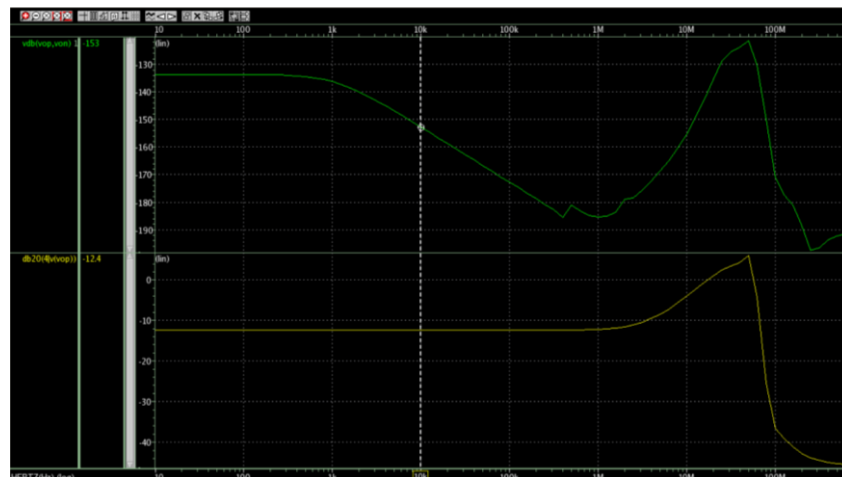
$$SS : P.S.R.R.- = 253 - 38 = 215dB$$



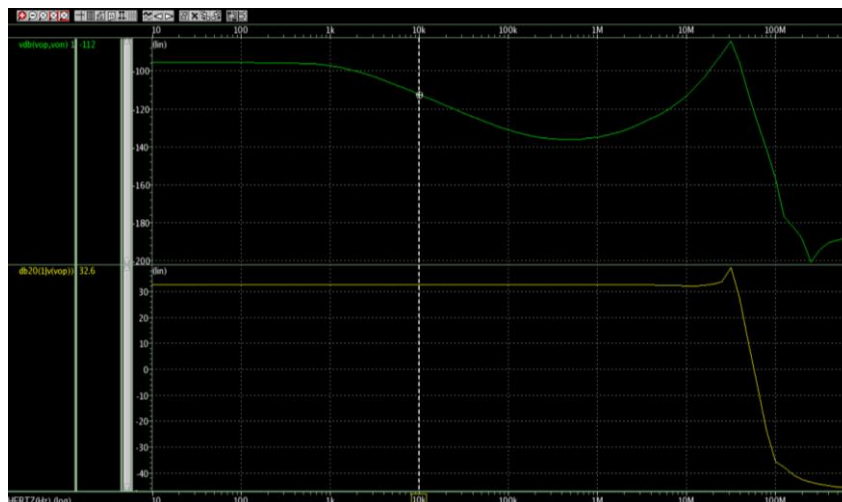
$$SF : P.S.R.R.- = 147 - 13.7 = 133.3dB$$



FS : P.S.R.R.-=153-12.4=140.6dB



FF : P.S.R.R.-=112+32.6=144.6dB



7. S.R. + >10V/us & Settling+ <1us

TT : slew rate+ (S.R.+)=10.2852V/us, settling time+ =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 898.5120m
hlimit= 898.6018m
llimit= 898.4221m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 899.3145m
hlimit1= 899.4045m
llimit1= 899.2246m
htime1= 500.0490u
ltime1= 500.0490u
pos_settling1= 499.9990u
final2= 802.5781u
hlimit2= 802.6583u
llimit2= 802.4978u
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srp_time= 77.7816n targ= 135.8147n trig= 58.0331n
srp= 10.2852x
```


SS : slew rate+ (S.R.+)=failed, settling time+ =failed

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-223.2143u
hlimit=-223.2367u
llimit=-223.1920u
htime= failed
ltime= 324.2789n
pos_settling= failed
final1= 1.3871
hlimit1= 1.3872
llimit1= 1.3869
htime1= 72.0038n
ltime1= failed
pos_settling1= failed
final2= 1.3873
hlimit2= 1.3874
llimit2= 1.3872
htime2= failed
ltime2= 72.0091n
pos_settling2= failed
**warning** (15_stepp.sp:57) .MEASURE srp_time never reached the trigger value, Measurement failed!
**warning** (15_stepp.sp:57) .MEASURE srp_time never reached the target value, Measurement failed!
srp_time= failed trig= not found
srp= failed
```

SF : slew rate+ (S.R.+)=128.3188V/us, settling time+ =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 9.3265m
hlimit= 9.3274m
llimit= 9.3255m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 11.8298m
hlimit1= 11.8309m
llimit1= 11.8286m
htime1= 500.0490u
ltime1= 500.0490u
pos_settling1= 499.9990u
final2= 2.5033m
hlimit2= 2.5035m
llimit2= 2.5030m
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srp_time= 6.2345n targ= 63.5752n trig= 57.3407n
srp= 128.3188x
```

FS : slew rate+ (S.R.+)=109.5220V/us, settling time+ =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 346.8351m
hlimit= 346.8698m
llimit= 346.8004m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 1.3889
hlimit1= 1.3890
llimit1= 1.3888
htime1= 144.2949n
ltime1= 500.0498u
pos_settling1= 499.9998u
final2= 1.0421
hlimit2= 1.0422
llimit2= 1.0420
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srp_time= 7.3045n targ= 66.1503n trig= 58.8458n
srp= 109.5220x
```


FF : slew rate+ (S.R.+)=10.2852V/us, settling time+ =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 898.5120m
hlimit= 898.6018m
llimit= 898.4221m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 899.3145m
hlimit1= 899.4045m
llimit1= 899.2246m
htime1= 500.0490u
ltime1= 500.0490u
pos_settling1= 499.9990u
final2= 802.5781u
hlimit2= 802.6583u
llimit2= 802.4978u
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srp_time= 77.7816n targ= 135.8147n trig= 58.0331n
srp= 10.2852x
```

8. S.R. - >10V/us & Settling- <1us

TT : slew rate- (S.R.-)=10.2852V/us, settling time- =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -5.1974m
hlimit= -5.1979m
llimit= -5.1969m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 622.1839u
hlimit1= 622.2461u
llimit1= 622.1217u
htime1= 500.0496u
ltime1= 500.0484u
pos_settling1= 499.9996u
final2= 5.8196m
hlimit2= 5.8202m
llimit2= 5.8190m
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srn_time= 77.7816n targ= 135.8147n trig= 58.0331n
srn= 10.2852x
```

SS : slew rate- (S.R.-) =failed, settling time- =failed

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 223.2143u
hlimit= 223.2367u
llimit= 223.1920u
hlimit1= failed
ltime= 324.2789n
pos_settling= failed
final1= 1.3873
hlimit1= 1.3874
llimit1= 1.3872
hlimit1= failed
ltime1= 72.0091n
pos_settling1= failed
final2= 1.3871
hlimit2= 1.3872
llimit2= 1.3869
hlimit2= 72.0038n
ltime2= failed
pos_settling2= failed
**warning** (16_stepn.sp:57) .MEASURE srn_time never reached the trigger value, Measurement failed!
**warning** (16_stepn.sp:57) .MEASURE srn_time never reached the target value, Measurement failed!
srn_time= failed trig= not found
srn= failed
```

SF : slew rate- (S.R.-) =128.3189V/us, settling time- =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -9.8941m
hlimit= -9.8951m
llimit= -9.8931m
hlimit1= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 2.4737m
hlimit1= 2.4740m
llimit1= 2.4735m
hlimit1= 500.0490u
ltime1= 500.0490u
pos_settling1= 499.9990u
final2= 12.3678m
hlimit2= 12.3691m
llimit2= 12.3666m
hlimit2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srn_time= 6.2345n targ= 63.5752n trig= 57.3407n
srn= 128.3189x
```

FS : slew rate- (S.R.-) =109.5328V/us, settling time- =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-361.5541m
hlimit=-361.5903m
llimit=-361.5180m
hlimit1= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 1.0232
hlimit1= 1.0233
llimit1= 1.0231
hlimit1= 500.0490u
ltime1= 500.0490u
pos_settling1= 499.9990u
final2= 1.3848
hlimit2= 1.3849
llimit2= 1.3847
hlimit2= 500.0489u
ltime2= 500.0491u
pos_settling2= 499.9991u
srn_time= 7.3037n targ= 66.1465n trig= 58.8427n
srn= 109.5328x
```

FF : slew rate- (S.R.-) =10.2852V/us, settling time- =499.9990us

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -5.1974m
hlimit= -5.1979m
llimit= -5.1969m
htime= 500.0490u
ltime= 500.0490u
pos_settling= 499.9990u
final1= 622.1839u
hlimit1= 622.2461u
llimit1= 622.1217u
htime1= 500.0496u
ltime1= 500.0484u
pos_settling1= 499.9996u
final2= 5.8196m
hlimit2= 5.8202m
llimit2= 5.8190m
htime2= 500.0490u
ltime2= 500.0490u
pos_settling2= 499.9990u
srn_time= 77.7816n targ= 135.8147n trig= 58.0331n
srn= 10.2852x
```

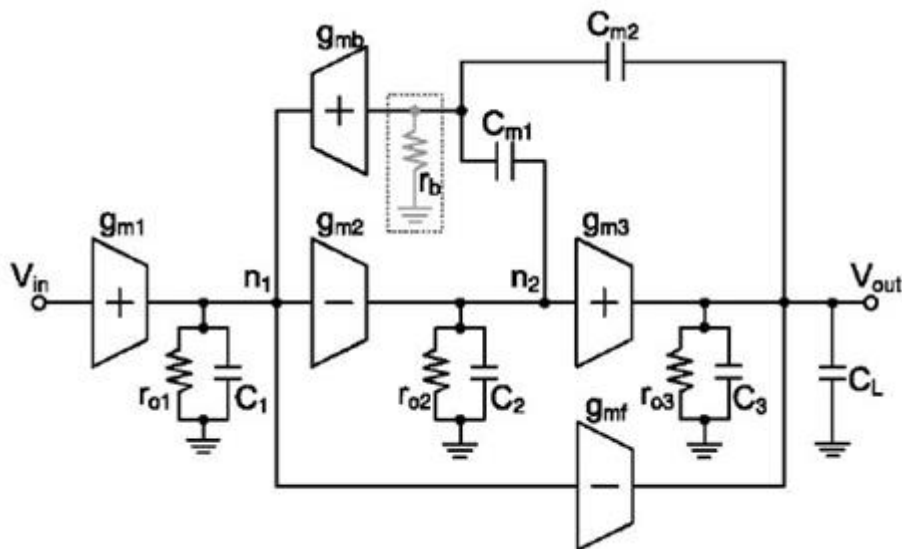
9. specification table

Specification						
Design Items	Specifications	TT	SS	SF	FS	FF
Technology	CIC pseudo technology					
Supply voltage	<1.8V,	1.4V	1.4V	1.4V	1.4V	1.4V
power	<5mW (10%)	2.5669	2.144	2.5001	2.5089	2.6655
Loading	80 pF / 10 KΩ					
DC gain	>90dB (10%)	112.5963	-90.001	113.5391	112.6135	110.9285
Unity-GBW	>40MHz (10%)	57.2039	failed	49.2666	55.9394	55.8222
P.M.	60° <PM<100° (10%)	166.6701	failed	166.1738	166.0658	170.471
DC gain@10KHz		112.5963	-304	113.5391	112.6135	110.9285
C.M.R.R.@10KHz	>110db (5%)	122.7	216	122.3	125.5	140.8
P.S.R.R.+@10KHz	>110db (7.5%)	134.5	297.1	127.75	130.39	144.6
P.S.R.R.-@10KHz	>110db (7.5%)	132.6	215	133.3	140.6	144.6
Unity-gain configuration						
S.R. +	>10V/us (7.5%)	10.2852	failed	128.3188	109.522	10.2852
S.R. -	>10V/us (7.5%)	10.2852	failed	128.3189	109.5328	10.2852
Settling+/- (1Vpp, error < 0.01%)	<1us (7.5%)	499.999u 499.999u	failed	499.999u 499.999u	499.999u 499.999u	499.999u 499.999u
Figure of Merit (FoM)						
Small signal	GBW(MHz)/Power(mW)	22.28520784	failed	19.70585177	22.29638487	20.94248734
Large signal	S.R.+(V/us)/Power(mW)	4.00685652	failed	51.32546698	43.65339392	3.858638154

C. Design procedure and consideration

1. 簡介

這次我們參考了一篇助教推薦的 paper : A 1.2V Fully Differential Amplifier with Buffered Reverse Nested Miller and Feedforward Compensations 。傳統用來 improve stability 的方法叫做 Nested Miller Compensation(NMC) , 這種方法利用多次 feedback 所以可以去 assign 每個 pole 和 zero 的位置(因為 pole splitting) , 但不幸的他的 tradeoff 是 BW reduction 和 large power dissipation , 所以用 reverse nested miller compensation(RNMC)在 output 端接上一個很大的 capacitor , 這樣可以讓 BW 變大 , 但 RHP zero 問題卻無法解決。因此 , 這篇 paper 的作者就想出了一個辦法 , 就是加 transconductance stage 和 capacitor 串聯當作是一個 buffer stage , 他們也利用了 parallel feedforward transconductance , 這一種常用於電路設計的方法 , 可以改變 zero 的位置和提升 slew rate 。



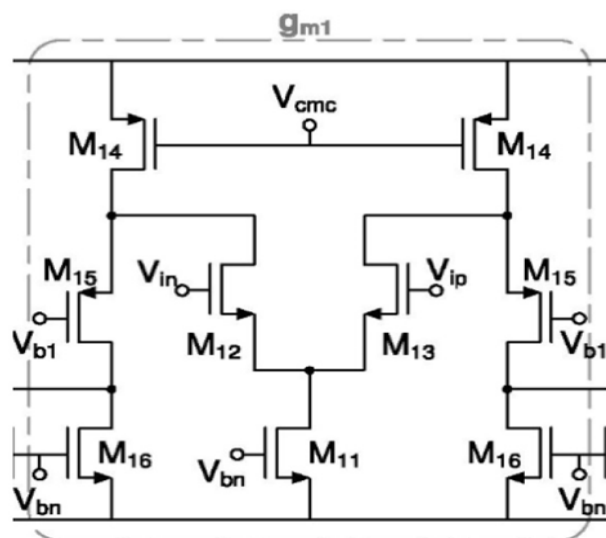
g_{mb} 代表的是 buffer stage , C_{m1} 和 C_{m2} 可以打破從 input 到 output 的 feedthrough path , 用來消除 RHP zero 。

g_{mf} 的功能就是提供一條經過比較少 RC 的路徑 , 可以增加 slew rate 。

2. 實作

I. Core amplifier circuit

(a) First stage

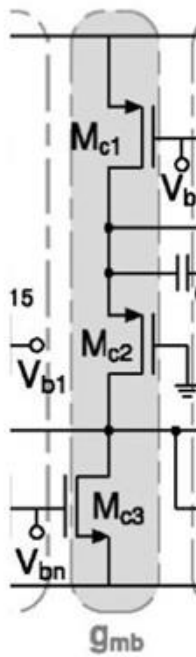


這顆就是一個 Folded cascode differential amplifier，它的好處是與 telescopic 結構一樣有蠻大的 gain，但它因為 folded 的緣故，所以可以有比較大的 output swing。

一開始我們在弄這 stage 1 時遇到了不少問題，要讓全部的 mos 進入 saturation，這個任務真的非常難，因為一開始該怎麼設計甚麼都不知道，但所幸最後一步一步抓到設計的感覺，例如:Vds 和 m 有關，當我發現上面那 mos 吃掉太多 Vds 時，我想讓他 Vds 下降，我就必須讓 m 變大。最後，成功地在 1.4V 時讓所有 mos 都進入 saturation mode，不過也因為我 Vdd 很小的原因，所以在其他 corner 時，常常會面臨到 mos 吃掉的電壓不足，這部分的 tradeoff 的確是一開始我們的設想不足。

另外，此後再調整 size 去符合 size 時，發現這 stage 1 影響通常都不大，所以幾乎都保持在最原始的 size 的。

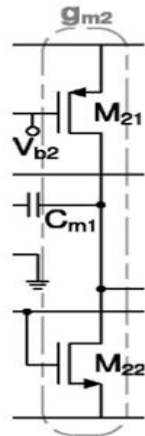
(b) compensation stage(gmb)



介在 first stage 和 second stage 中間，這個 compensation stage 在 Mc1 和 Mc2 中接了兩個 capacitor 作為 miller compensation 用，也就是 pole splitting，可以把 dominant pole 往前移，然後 second pole 往後，可以改善 phase margin 的問題。另外因為提供兩條 feedthrough path，所以這個 stage 也會改善 RHP zero 的問題。

compensation stage 在我們調整 GBW 和 phase margin 時，經常會想到他，希望透過他讓數據符合 spec，但不幸的，我們的 Vdd 太小了，再加上我們一開始為了讓他進入 saturation 而設計的 size 已經在容錯率很小的範圍了，所以我們能夠改動他的很有限。

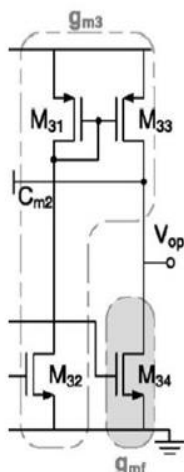
(c) second stage



這個 second stage 就是拿來提高 gain 的，上方的 pmos 和下方的 nmos 各自貢獻一個 ro，所以我們大概可以推測這個 stage 的 $|gain| = gm22 * (ro22 // ro21)$ 。

當我們發現 gain 太小的時候，我們都會特別來改一下 stage 2 的 size，畢竟他的功能就是提高整個電路 gain 的表現，不過因為我們 folded cascode amplifier 的 gain 表現得還不錯，所以基本上我們很少遇到這樣的問題。

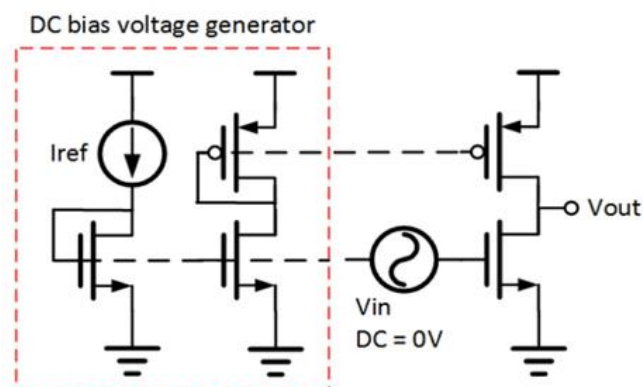
(d) third stage(gmf)



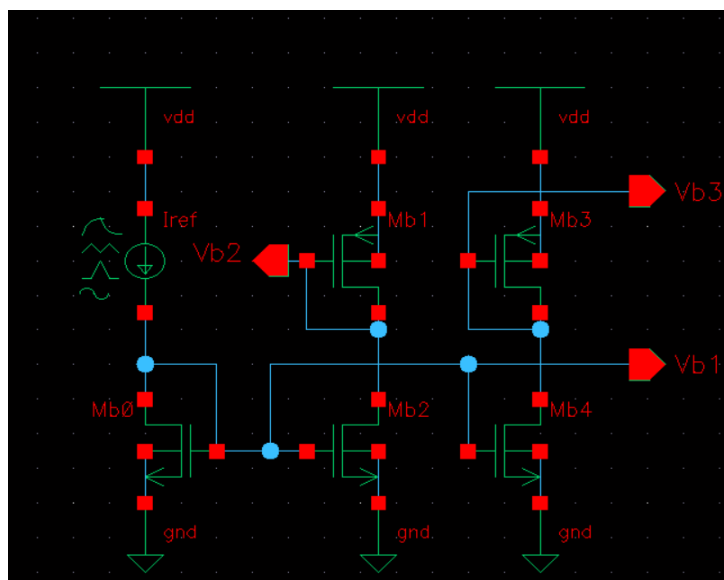
這個 stage 就是提供一條經過比較少 RC 的 feedforward 路徑，可以用來提高 slew rate，事實上這也是一個 current mirror 的結構， $slew\ rate = I/C$ ，所以我們 M33 的 size 要大於 M31，M33 產出的 I 大，傳給 M34 的 I 也就大，所以 slew rate 就會提高。

我們在調整 slew rate 和 settling time 時候，基本上都是以改動 M33 和 M34 的 size 為主，我讓這兩個 mos 的 m 很大，利用 current mirror 的方式，讓 I 變大，所以 slew rate 也大幅上升，不過不幸的，因為我的 m 很大，所以我的 settling time 居高不下。

II. Biasing circuit

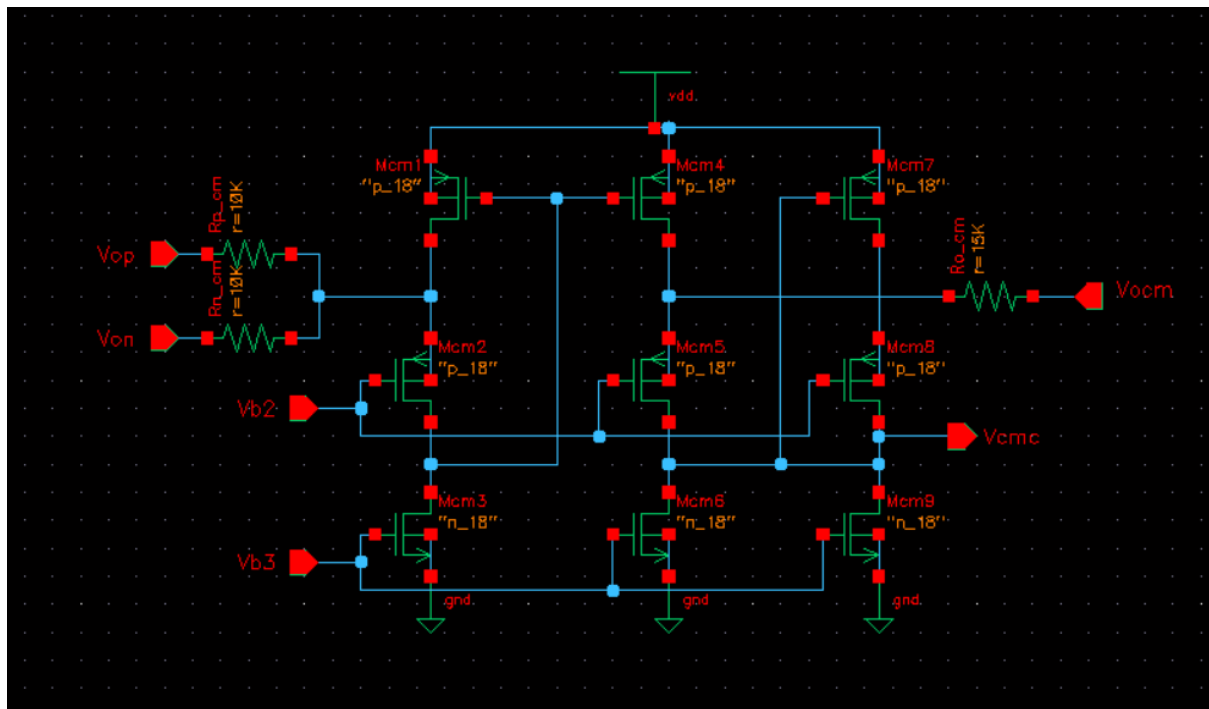


利用 current mirror 產生 voltage 在接到 common source amplifier 上，可以提供比較穩定的電壓，比較不會受到 corner 的變動而影響，所以我們可以從中挑 node 出來當我們想要的 bias voltage 利用，再加上 I_{ref} 可以自己調整，所以同樣的我們可以自己決定要多大的電壓。



當我們在實際調整 V_{b2} 、 V_{b3} 時，主要是在調整 M_{b1} 、 M_{b2} 的 size，因為底下的 M_{b2} 、 M_{b4} 是決定 current 要被放大幾倍的關鍵所在，所以 size 需與 M_{b0} 相同，只是差在要並聯多少顆而已，因此會在電路上方採用 diode connected 也是因為此可以作為給定特定電壓之用途。

III. Common Mode Feedback(CMFB)



Vocm : output voltage 希望訂在的值($V_{dd}/2$)

Vcmc : 傳回去 stage1 調整的電壓

Core amplifier 最旁邊的兩個 output Von 和 Vop 接到 CMFB 的 input，因此電流會從 stage1 開始流，最後流入 V_{n_cm} 、 V_{p_cm} 進入 CMFB，然後 CMFB 會將 Core amplifier 與 Vocm 的誤差藉由 Vcmc 傳回去再進行調整，最後 Core amplifier 才能在穩定的情況下運行。

利用 CMFB 的好處在於它能夠隨時調整電路的狀態，像是能夠應變 input signal 會飄的問題，以及能夠應變其他電路的細微變化；至於要付出的代價便是 gain 會因此下降許多，像是一開始我們單獨設計 stage1 時的 gain 都曾高達 500 多，接上 CMFB 後便下降至 100 出頭。

實際在操作時，發現 CMFB 扮演著相當重要的角色，當 Vcmc 回授的值不是在我們設計的理想狀態($V_{dd}/2$)時，會直接影響到 stage1 的狀態，以及影響到我們在 slew rate 上的表現，因此我們盡量使 CMFB 的 mos 都在 saturation，回授的 Vcmc 值盡量保持在 $V_{dd}/2$ ，可以透過調高 m 來提升 V_{ds} 、調高 L 以降低 V_{th} 或是調大 R_{n_cm} 、 R_{p_cm} 的值確保電壓的穩定...等方法來實現。

D . Discussion and conclusion

首先，當我們第一眼看到這個 final 時，其實是有點傻眼的，光靠看一個 spec 要我們從零開始把一個具有許多功能的完整電路生出來的確是很困難，所幸在學長的推薦下，我們看了"A 1.2V Fully Differential Amplifier with Buffered Reverse Nested Miller and Feedforward Compensations"這篇 paper，讀 paper 是一件非常困難的事，畢竟我們才大二，所以這也是我們第一次看這麼深奧的文獻，很多作者認為理所當然的東西，看在我們眼裡都如天書般難以理解.....，將一些關鍵字詞上網查之後，又會發現那是另一篇 paper 的內容，所以又多看了很多資料來了解這份 paper 想告訴我們的究竟是甚麼。

接著當我們進入實作時，我們也是一頭霧水，究竟該從何下手呢？我們後來決定將整顆電路進行切割，把它分成多個部分，就像是我們在解題一樣，分別理解每個部份所扮演的角色後，再讓他們一部分一部分的進入 saturation mode。

人生就是偏偏那麼不順遂，當我們看到一盞成功的明燈時，隨便一個 corner 就把它吹熄了。所以我們之後面對到了很多 TT 會過的，但 FF 不過或 SS 不過，這種狀況此起彼落，於是我們重新檢視我們的設計，發現 CMFB 扮演很重要的角色，因為它會把 V_{cmc} 傳回 stage 1，如果 V_{cmc} 沒有在 $V_{dd}/2$ 的附近，那整個 core 就會掛掉，因此我們花了很多時間在努力在修正 CMFB 的各種 size，甚至還回去檢視 bias voltage 選的究竟是對的還是錯的。

Demo 時，助教也點出了一些問題，果然不出我們所料，我們錯誤百出的源頭就是我們的 CMFB，的確我們一開始在看 paper 的時候，我們都把心力放在我們的 core amplifier 上，所以 CMFB 的機制我們真的不夠熟，不過這也是很好的經驗啦，畢竟我們也是第一次嘗試這麼做的。

最後，總結做這個 final project 的過程，我們從頭複習了許多東西，尤其是後面幾個章節，frequency compensation 和 slew rate 都是蠻新的觀念，所以一開始在操作上的確是有許多吃力的地方，雖然很辛苦，但也紮實地完成了類比這門課。