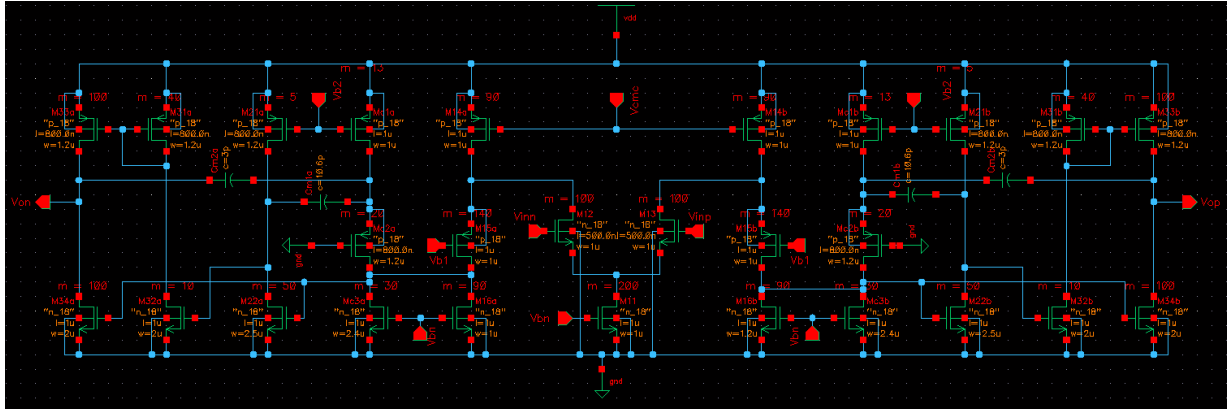


# 2017 Analog IC Design Final

103061129 許硯茹 103061119 陳佳怡

## A. Schematic

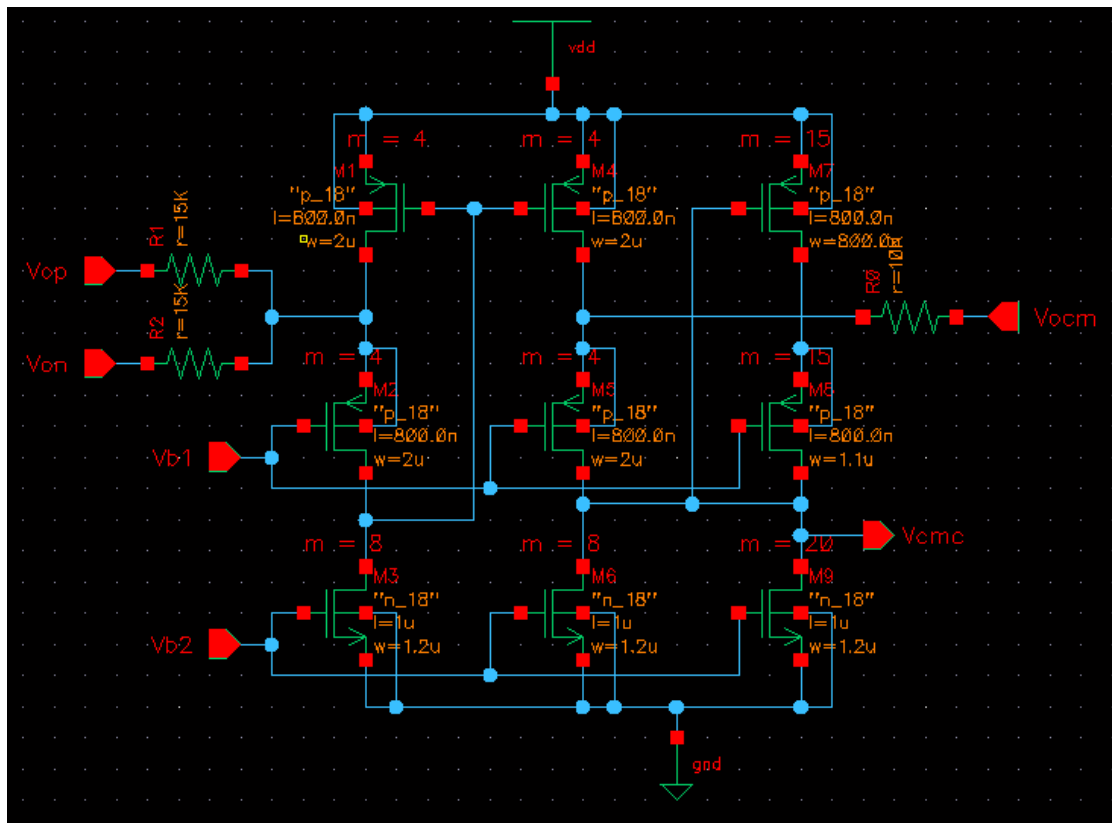
### I. Core Amplifier Circuit



Device size

MOS	W(u)	L(u)	M
M11	1	1	200
M12	1	0.5	100
M13	1	0.5	100
M14a/ M14b	1	1	90
M15a/ M15b	1	1	140
M16a/M16b	1.2	1	90
M21a/ M21b	1.2	0.8	5
M22a/ M22b	2.5	1	50
M31a/ M31b	1.2	0.8	40
M32a/ M32b	2	1	10
M33a/ M33b	1.2	0.8	100
M34a/ M34a	2	1	100
Mc1a/ Mc1b	1	1	13
Mc2a/ Mc2b	1.2	0.8	20
Mc3a/ Mc3b	2.4	1	30
Cm1a/Cm1b	10.6pF		
Cm2a/Cm2b	3pF		

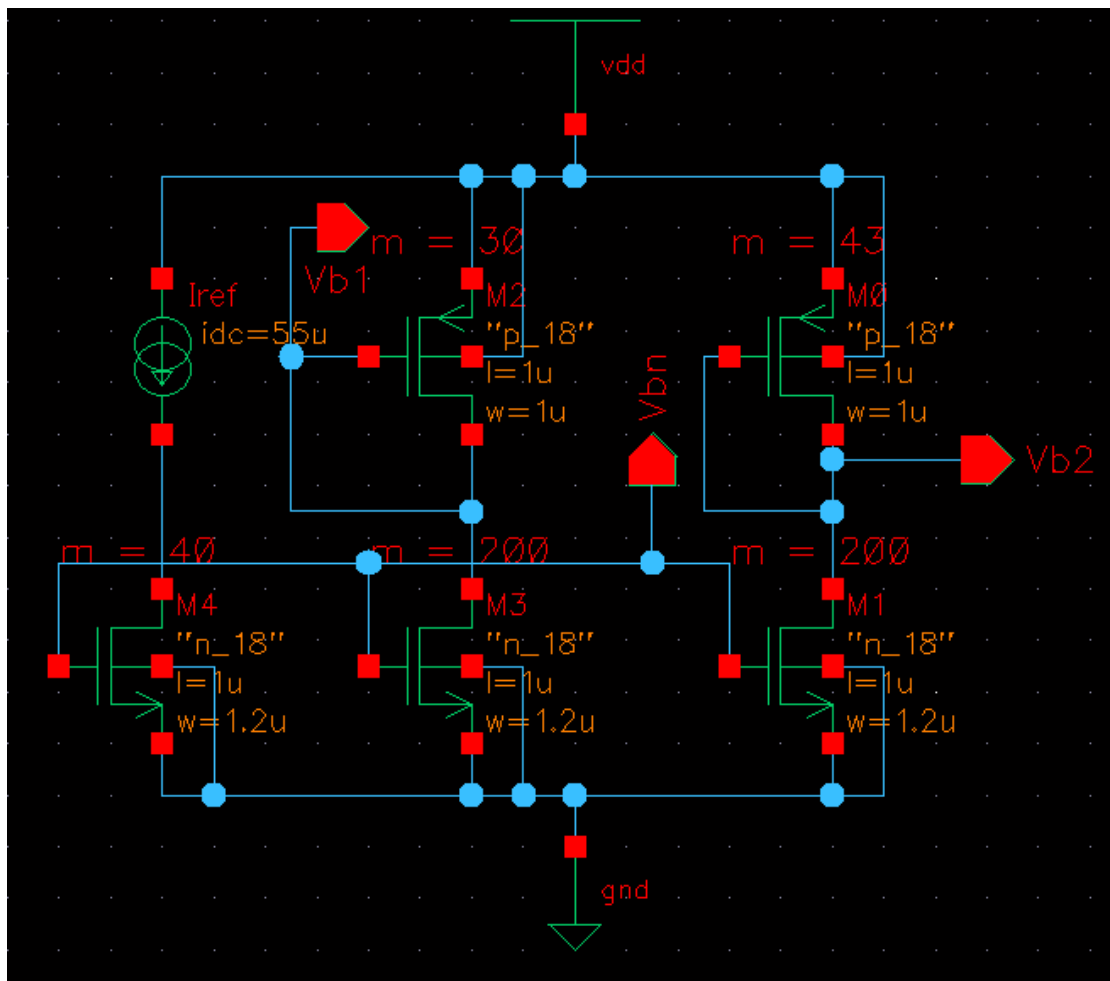
## II. Common Mode Feedback



Device size

MOS	W(u)	L(u)	m
M1	2	0.8	4
M2	2	0.8	4
M3	1.2	1	8
M4	2	0.8	4
M5	2	0.8	4
M6	1.2	1	8
M7	0.8	0.8	15
M8	1.1	0.8	15
M9	1.2	1	20
R0	10kΩ		
R1/R2	15kΩ		

### III. Biasing Circuit



Device size

MOS	W(u)	L(u)	m
M4	1.2	1	40
M3	1.2	1	200
M1	1.2	1	200
M2	1	1	30
M0	1	1	43

## B. Simulation results

### I. Power < 5mW

TT: total power=2.5534mW

\*\*\*\* voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.7204m   1.6267m   0.         0.         17.6800u
power    2.4086m    0.         0.         0.         -12.3760u
```

total voltage source power dissipation= 2.3962m watts

\*\*\*\* current sources

```
subckt
element 0:iref
volts    937.1855m
current  55.0000u
power    -51.5452u
```

total current source power dissipation= -51.5452u watts

\*\*\*\* resistors

```
subckt
element 0:rload1 0:rload2 xop      xop      xop
1:rr1      1:rr2      1:rr0
r value    25.0000k  25.0000k  15.0000k  15.0000k  10.0000k
v drop     949.9824m 949.9818m -60.5469m -60.5463m 176.7998m
current    37.9993u 37.9993u  -4.0365u  -4.0364u  17.6800u
power      36.0987u 36.0986u 244.3952n 244.3907n  3.1258u
```

SS: total power=2.5220mW

\*\*\*\* voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.6846m   1.5960m    0.         0.         12.4143u
power    2.3585m    0.         0.         0.         -8.6900u
```

total voltage source power dissipation= 2.3498m watts

\*\*\*\* current sources

```
subckt
element 0:iref
volts    883.3712m
current  55.0000u
power    -48.5854u
```

total current source power dissipation= -48.5854u watts

\*\*\*\* resistors

```
subckt
element 0:rload1 0:rload2 xop      xop      xop
1:rr1      1:rr2      1:rr0
r value    25.0000k  25.0000k  15.0000k  15.0000k  10.0000k
v drop     952.5541m 952.5544m -21.5604m -21.5607m 124.1431m
current    38.1022u 38.1022u  -1.4374u  -1.4374u  12.4143u
power      36.2944u 36.2944u  30.9901n  30.9909n  1.5412u
```

SF: total power=2.5250mW

\*\*\*\* voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000    0.          700.0000m  700.0000m  700.0000m
current  -1.7194m  1.6235m    0.         0.         18.2220u
power    2.4071m   0.          0.          0.         -12.7554u
```

total voltage source power dissipation= 2.3943m watts

\*\*\*\* current sources

```
subckt
element 0:ioref
volts    883.3712m
current  55.0000u
power    -48.5854u
```

total current source power dissipation= -48.5854u watts

\*\*\*\* resistors

```
subckt
element 0:rload1 0:rload2 xop      xop      xop
1:rr1      1:rr2      1:rr0
r value    25.0000k  25.0000k  15.0000k  15.0000k  10.0000k
v drop     970.3780m 970.3784m -60.1624m -60.1628m 182.2202m
current    38.8151u  38.8151u  -4.0108u  -4.0109u  18.2220u
power      37.6653u  37.6654u  241.3011n  241.3038n  3.3204u
```

FS: total power=2.5236mW

\*\*\*\* voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vinp      0:vinp      0:vocm
volts    1.4000    0.          700.0000m  700.0000m  700.0000m
current  -1.7214m  1.6267m    0.         0.         18.1047u
power    2.4100m   0.          0.          0.         -12.6733u
```

total voltage source power dissipation= 2.3973m watts

\*\*\*\* current sources

```
subckt
element 0:ioref
volts    917.8063m
current  55.0000u
power    -50.4793u
```

total current source power dissipation= -50.4793u watts

\*\*\*\* resistors

```
subckt
element 0:rload1 0:rload2 xop      xop      xop
1:rr1      1:rr2      1:rr0
r value    25.0000k  25.0000k  15.0000k  15.0000k  10.0000k
v drop     958.1349m 958.1347m -61.8277m -61.8275m 181.0474m
current    38.3254u  38.3254u  -4.1218u  -4.1218u  18.1047u
power      36.7209u  36.7209u  254.8444n  254.8426n  3.2778u
```

FF: total power=2.4726mW

\*\*\*\* voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vinn      0:vinp      0:vocm
volts    1.4000      0.          700.0000m  700.0000m  700.0000m
current  -1.7430m    1.6466m    0.          0.          22.2806u
power    2.4402m     0.          0.          0.          -15.5964u
```

total voltage source power dissipation= 2.4246m watts

\*\*\*\* current sources

```
subckt
element 0:iref
volts    978.6917m
current  55.0000u
power    -53.8280u
```

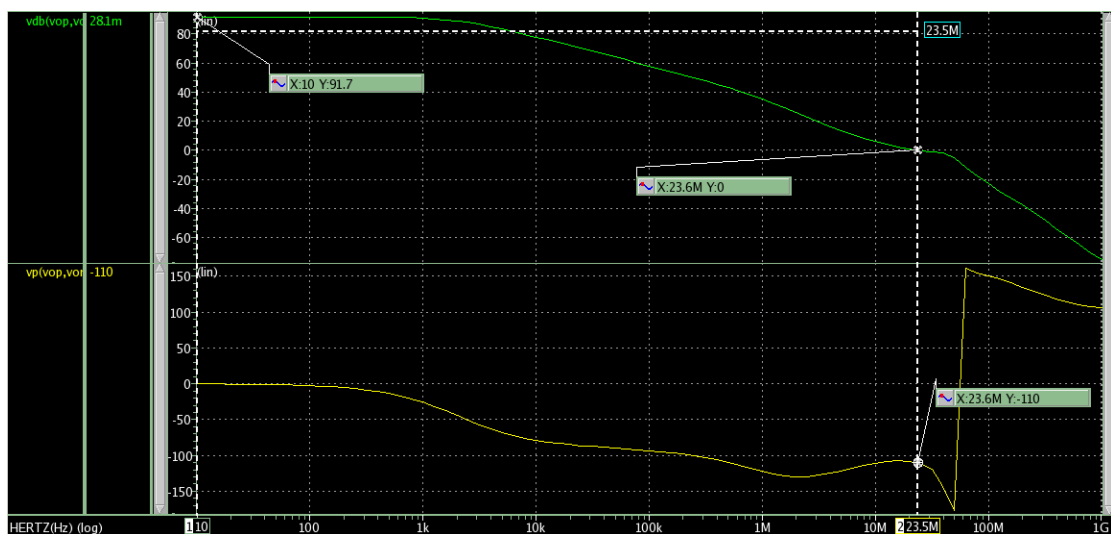
total current source power dissipation= -53.8280u watts

\*\*\*\* resistors

```
subckt
element 0:rload1 0:rload2 xop      xop      xop
r value  25.0000k  25.0000k  1:rr1      1:rr2      1:rr0
v drop   926.5436m 926.5437m -101.3021m -101.3023m 222.8062m
current  37.0617u  37.0617u -6.7535u   -6.7535u   22.2806u
power    34.3393u  34.3393u 684.1409n 684.1431n 4.9643u
```

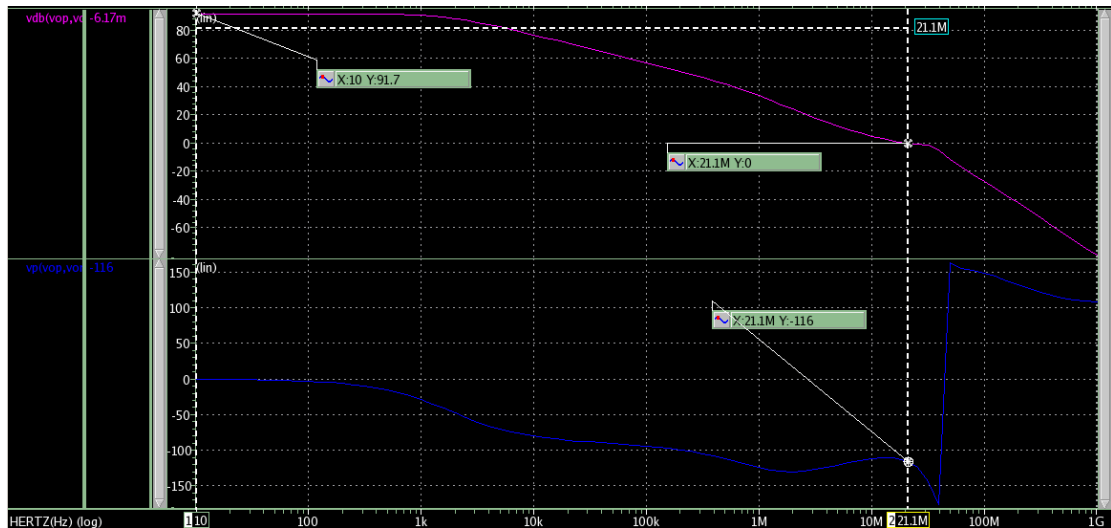
- II. DC gain > 70dB, GBW (gain bandwidth) > 30MHz, P.M. (phase margin) > 60°  
 TT: DC gain =91.6999dB, GBW =23.7574MHz, P.M. =69.8988°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 91.6999 at= 10.0000
from= 10.0000 to= 1.0000g
dcgain= 38.4589k at= 10.0000
from= 10.0000 to= 1.0000g
unity frequency= 23.7574x
phase=-110.1012
phase_margin= 69.8988
```



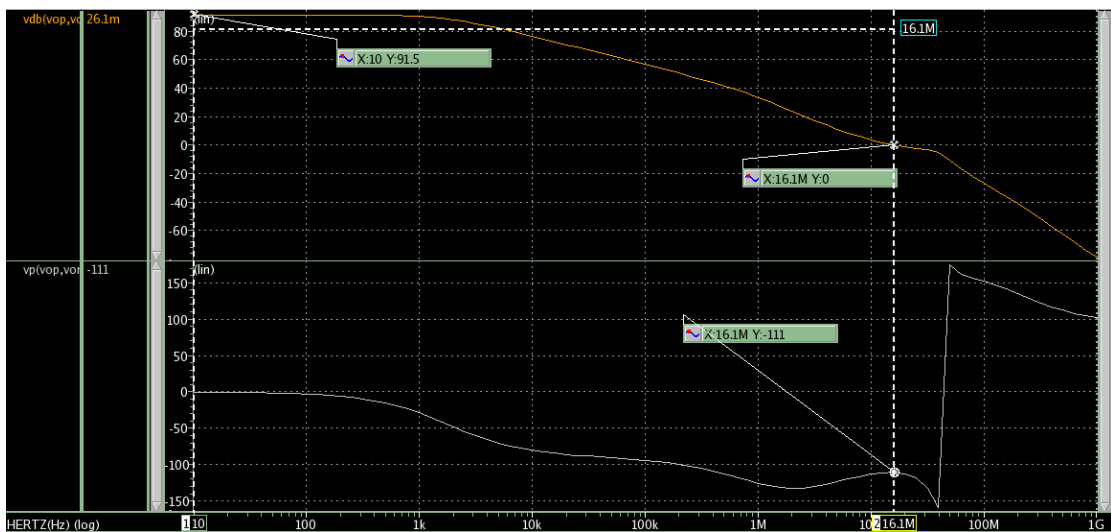
SS: DC gain =91.6549dB, GBW =21.1656MHz, P.M. =64.0213°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 91.6549 at= 10.0000
from= 10.0000 to= 1.0000g
dcgain= 38.2599k at= 10.0000
from= 10.0000 to= 1.0000g
unity frequency= 21.1656x
phase=-115.9787
phase_margin= 64.0213
```



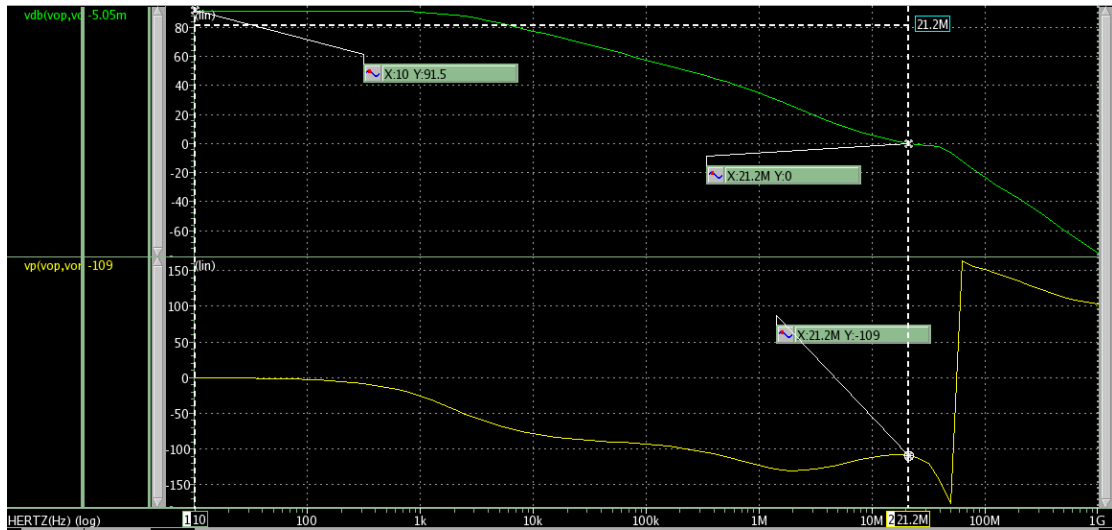
SF: DC gain =91.4654dB, GBW =16.1714MHz, P.M. =69.0930°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 91.4654 at= 10.0000
from= 10.0000 to= 1.0000g
dcgain= 37.4341k at= 10.0000
from= 10.0000 to= 1.0000g
unity frequency= 16.1714x
phase=-110.9070
phase_margin= 69.0930
```



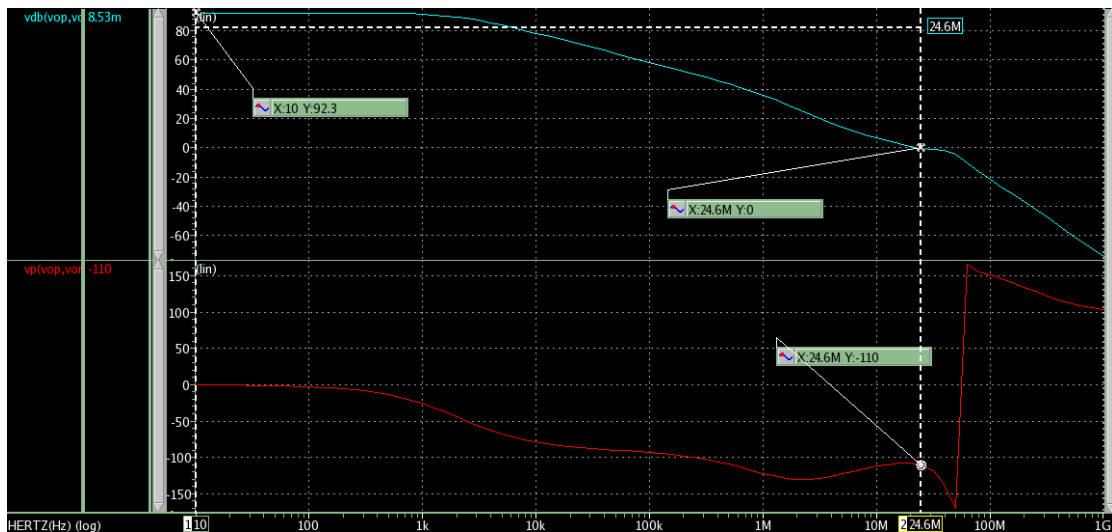
FS: DC gain =91.4539dB, GBW =21.2827MHz, P.M. =70.9040°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 91.4539 at= 10.0000
      from= 10.0000 to= 1.0000g
dcgain= 37.3848k at= 10.0000
      from= 10.0000 to= 1.0000g
unity_frequency= 21.2827x
phase=-109.0960
phase_margin= 70.9040
```



FF: DC gain =92.2916dB, GBW =24.6825MHz, P.M. =69.7514°

```
***** ac analysis tnom= 25.000 temp= 25.000 *****
dcgain_in_db= 92.2916 at= 10.0000
      from= 10.0000 to= 1.0000g
dcgain= 41.1700k at= 10.0000
      from= 10.0000 to= 1.0000g
unity_frequency= 24.6825x
phase=-110.2486
phase_margin= 69.7514
```

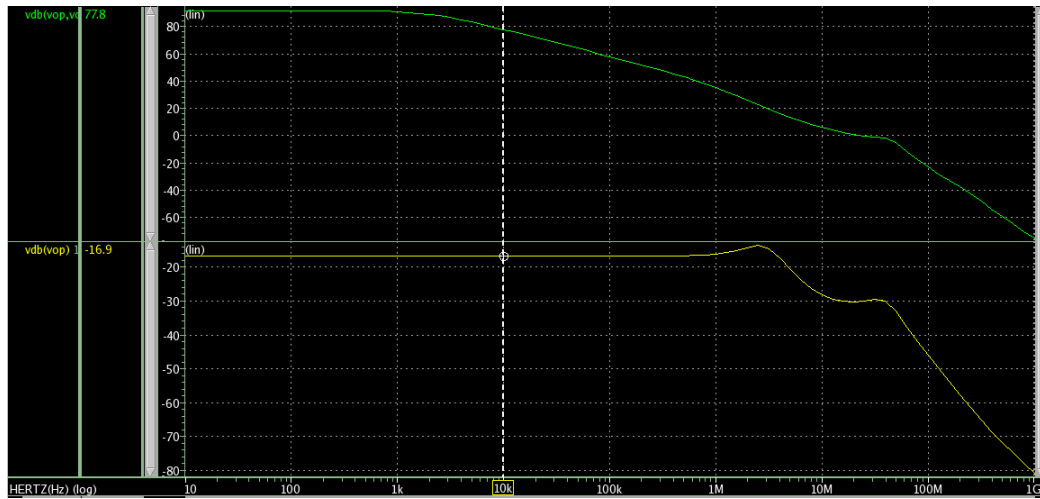




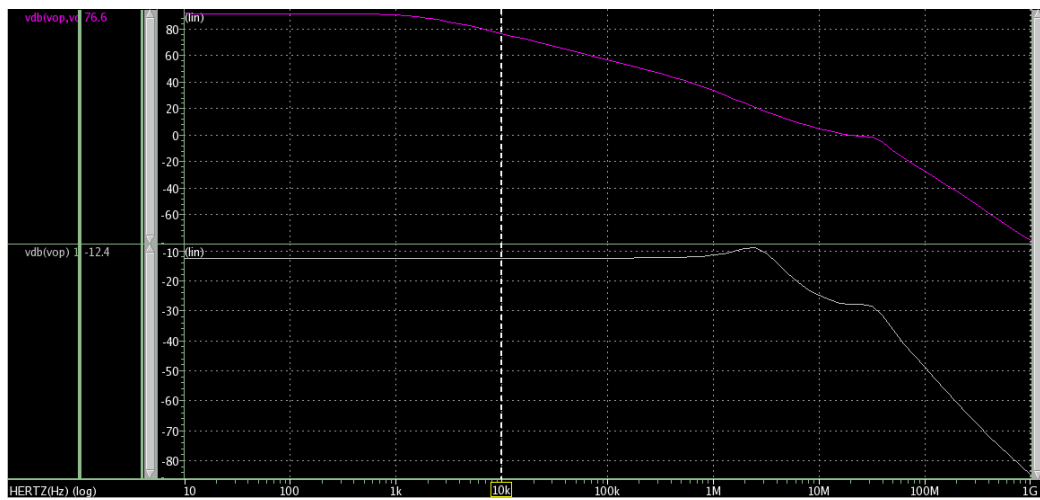
III. common mode rejection ration (C.M.R.R.) at 10KHz > 85db

$$CMRR = \frac{A_{DM}}{A_{CM\_DM}}$$

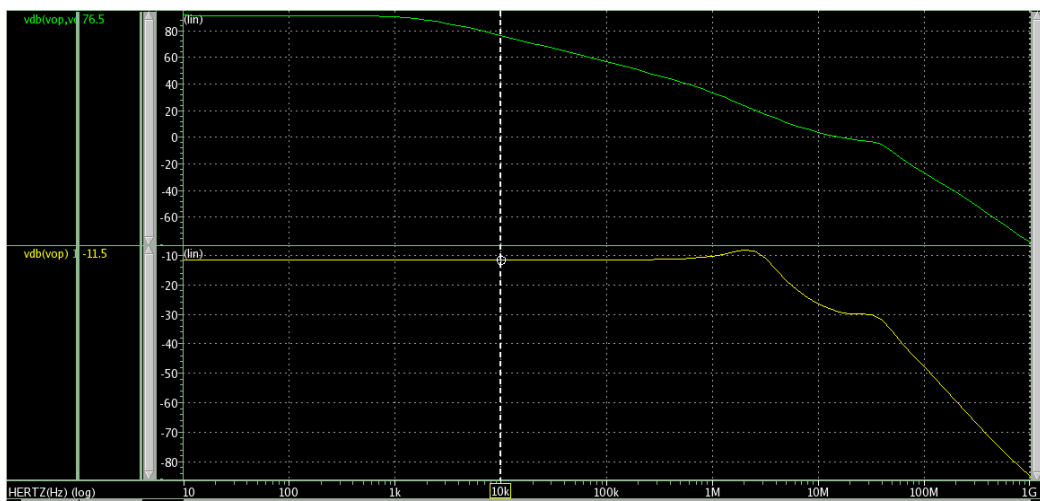
TT: 77.8+16.9=94.7dB



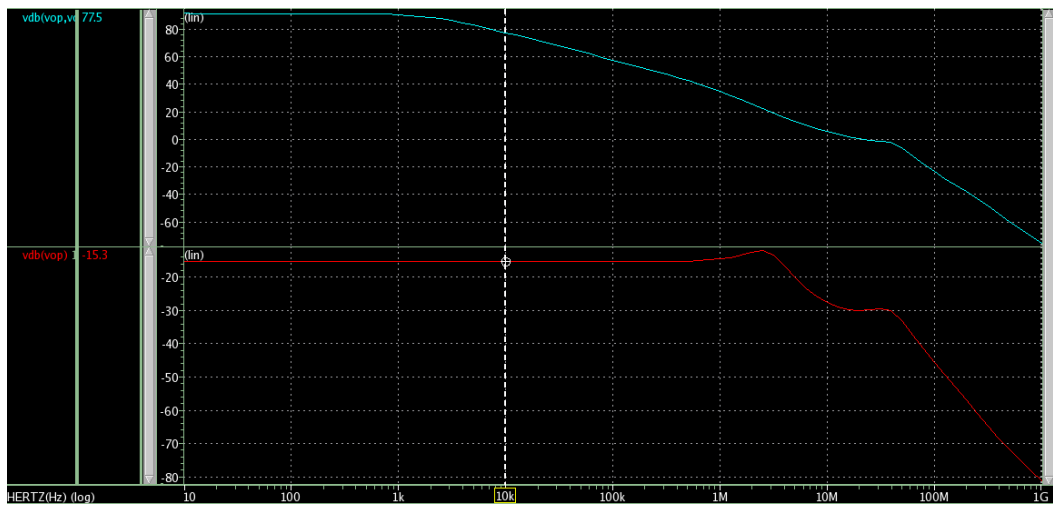
SS: 76.6+12.4=89dB



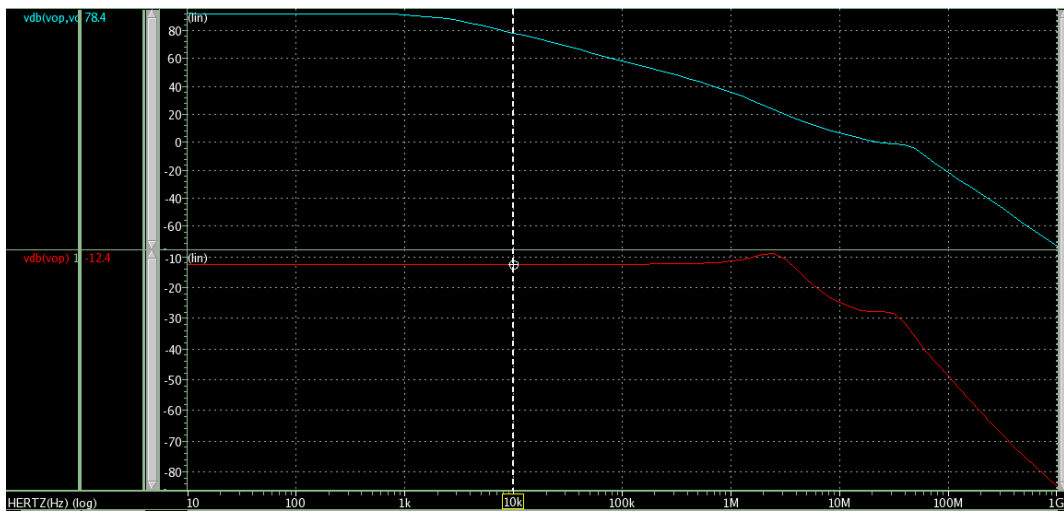
SF: 76.5+11.5=88dB



FS: 77.5+15.3=92.8dB



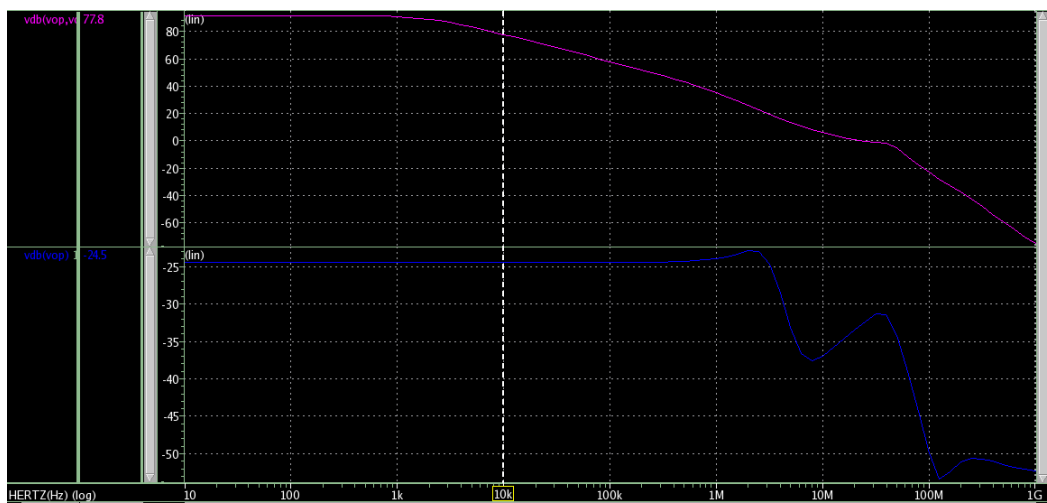
FF: 78.4+12.4=90.8dB



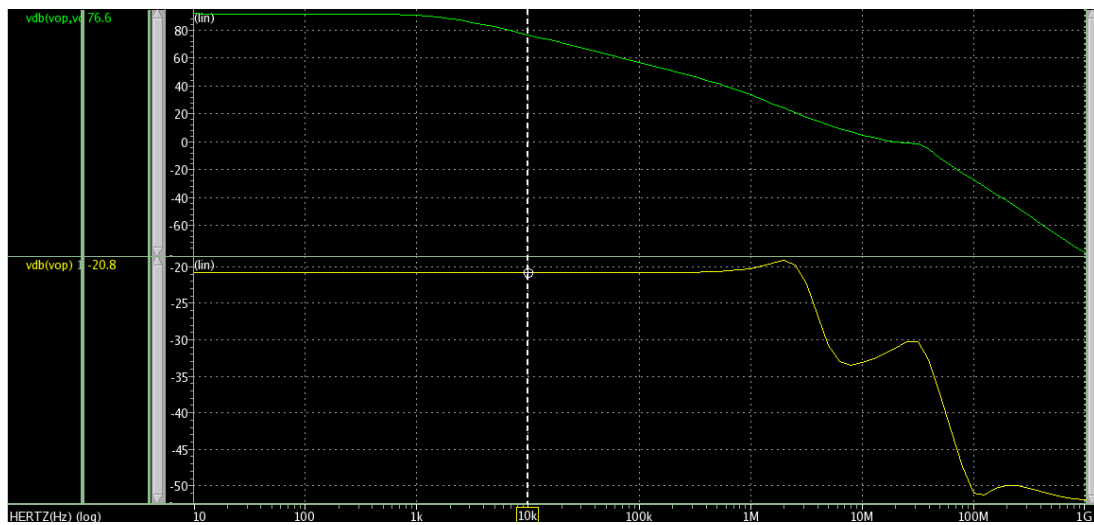
IV. power supply rejection ratio+ (P.S.R.R.+) at 10KHz > 85db

$$\text{PSRR+} = \frac{A_{v,input\_output}}{A_{v,Vdd\_output}}$$

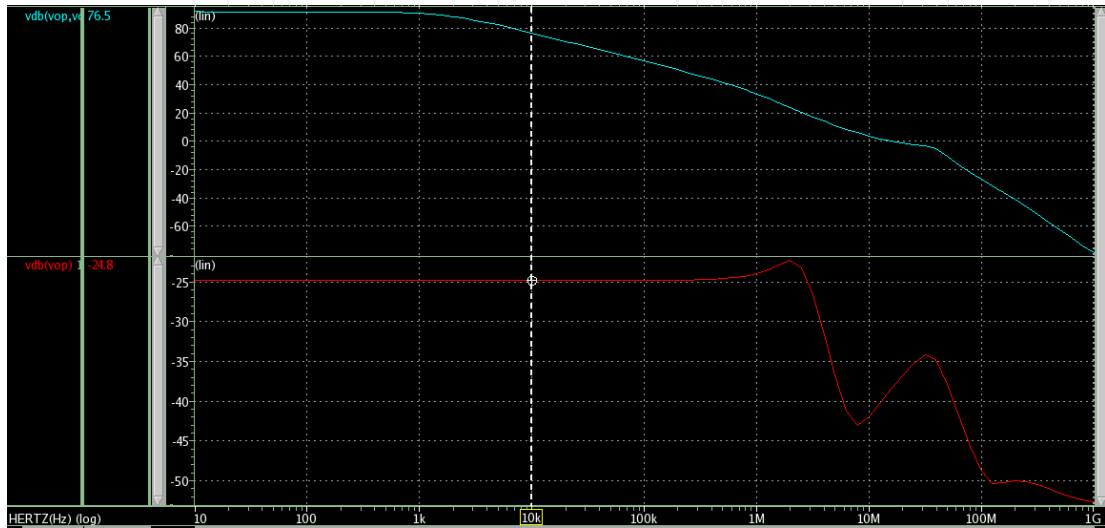
TT: 77.8+24.5=102.3dB



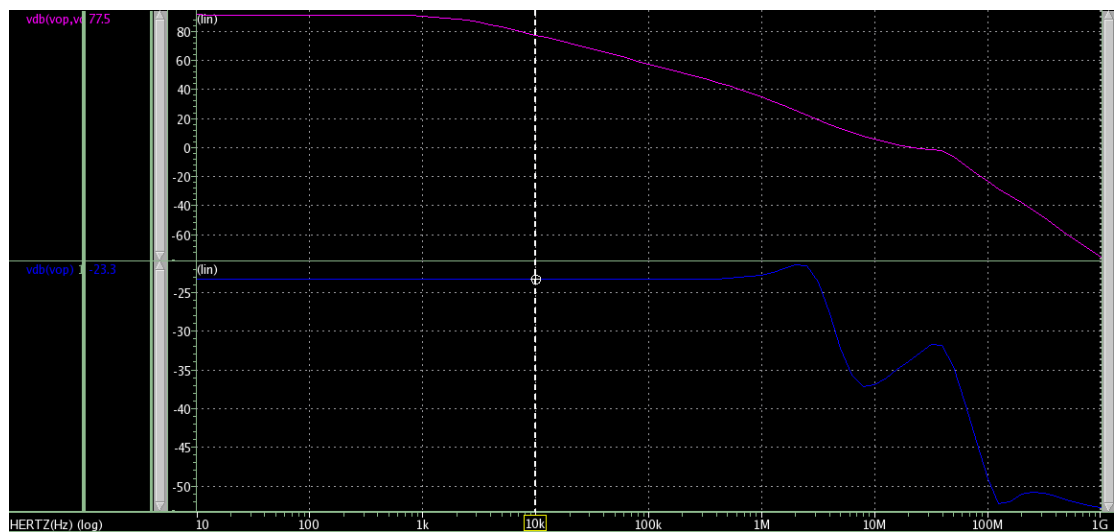
$$SS: 76.6 + 20.8 = 97.4 \text{ dB}$$



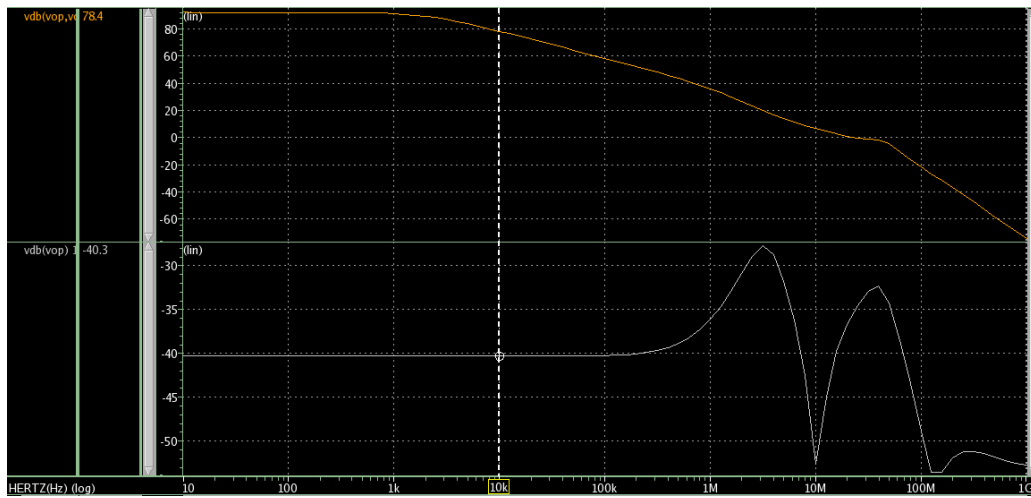
$$SF: 76.5 + 24.8 = 101.3 \text{ dB}$$



$$FS: 77.5 + 23.3 = 100.8 \text{ dB}$$



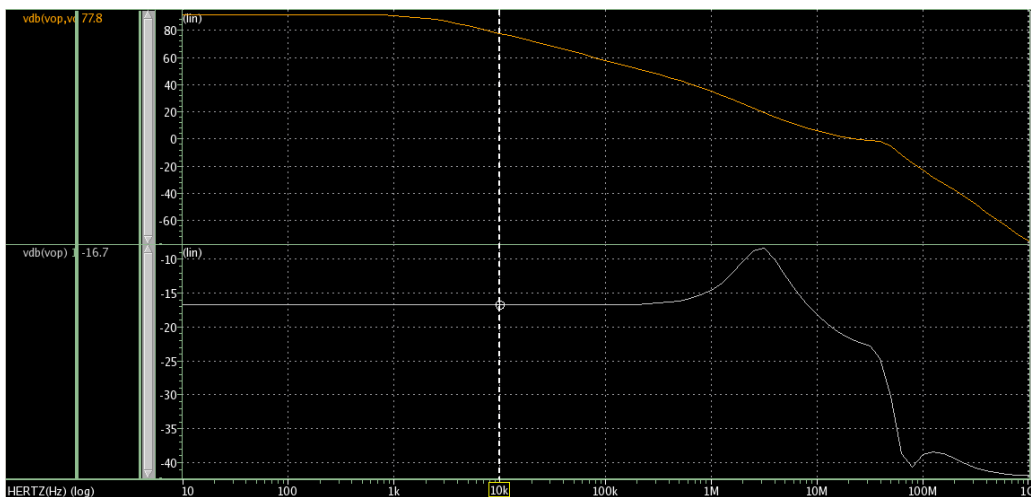
FF: 78.4+40.3=118.7dB



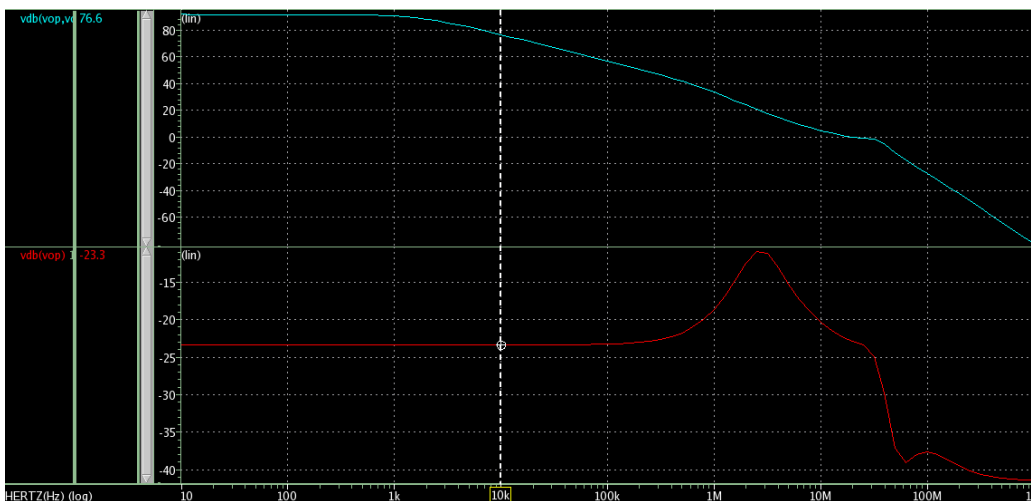
V. power supply rejection ratio- (P.S.R.R.-) at 10KHz > 85db

$$\text{PSRR} = \frac{A_{v,input\_output}}{A_{v,VSS\_output}}$$

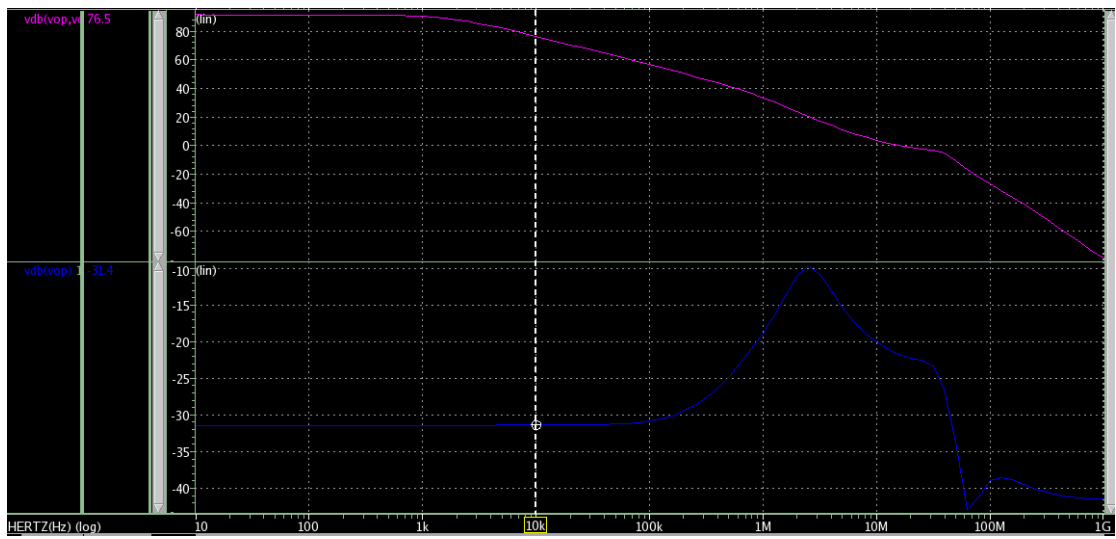
TT: 77.8+16.7=94.5dB



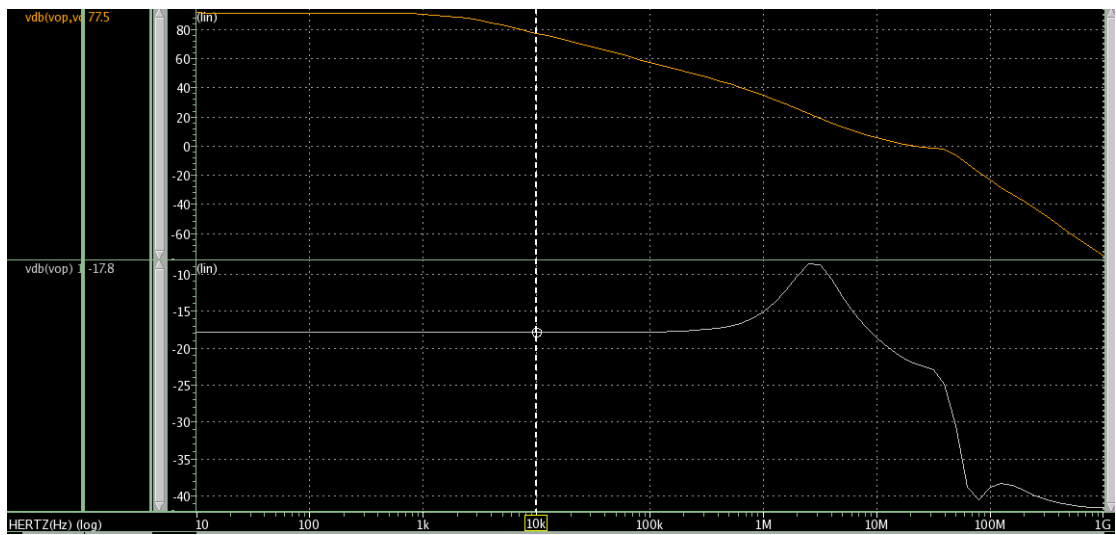
SS: 76.6+23.3=99.9dB



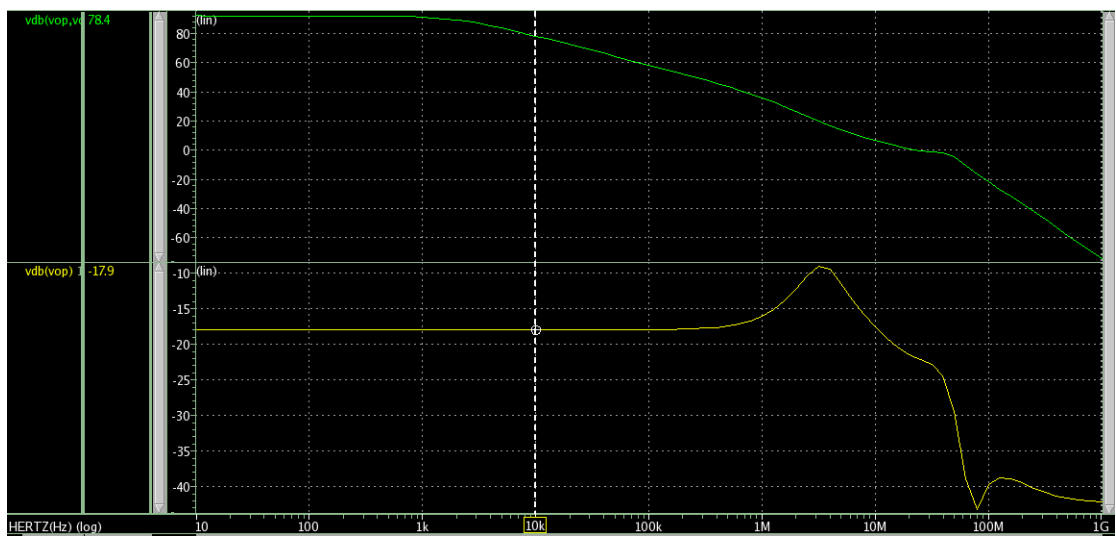
SF:  $76.5 + 31.4 = 107.9\text{dB}$



FS:  $77.5 + 17.8 = 95.3\text{dB}$



FF:  $78.4 + 17.9 = 96.3\text{dB}$



VI. slew rate+ (S.R.+) > 3.5V/us, settling time+ < 3.5us

TT: slew rate+ (S.R.+) =17.8882V/us, settling time+ =519.5763ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 499.9769m
hlimit= 500.4768m
llimit= 499.4769m
htime= 569.5763n
ltime= 508.0070n
pos_settling= 519.5763n
final1= 1.2184
hlimit1= 1.2176
llimit1= 1.2152
htime1= 478.7775n
ltime1= 654.0906n
pos_settling1= 604.0906n
final2= 716.4301m
hlimit2= 717.1465m
llimit2= 715.7136m
htime2= 504.4261n
ltime2= 683.6599n
pos_settling2= 633.6599n
srp_time= 44.7223n targ= 107.9979n trig= 63.2756n
srp= 17.8882x
```

SS : slew rate+ (S.R.+) =15.7266V/us, settling time+ =787.5847ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 499.9610m
hlimit= 500.4609m
llimit= 499.4610m
htime= 837.5847n
ltime= 776.1202n
pos_settling= 787.5847n
final1= 1.2235
hlimit1= 1.2247
llimit1= 1.2223
htime1= 548.9116n
ltime1= 773.3807n
pos_settling1= 723.3807n
final2= 723.5225m
hlimit2= 724.2461m
llimit2= 722.7990m
htime2= 589.8224n
ltime2= 766.0221n
pos_settling2= 716.0221n
srp_time= 50.8693n targ= 116.7350n trig= 65.8657n
srp= 15.7266x
```

SF: slew rate+ (S.R.+) =13.9270V/us, settling time+ =948.6617ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 499.9554m
hlimit= 500.4554m
llimit= 499.4555m
htime= 911.3221n
ltime= 998.6617n
pos_settling= 948.6617n
final1= 1.2467
hlimit1= 1.2480
llimit1= 1.2455
htime1= 716.3497n
ltime1= 956.8083n
pos_settling1= 906.8083n
final2= 746.7840m
hlimit2= 747.5308m
llimit2= 746.0372m
htime2= 1.1432u
ltime2= 959.3934n
pos_settling2= 1.0932u
srp_time= 57.4423n targ= 124.2704n trig= 66.8281n
srp= 13.9270x
```

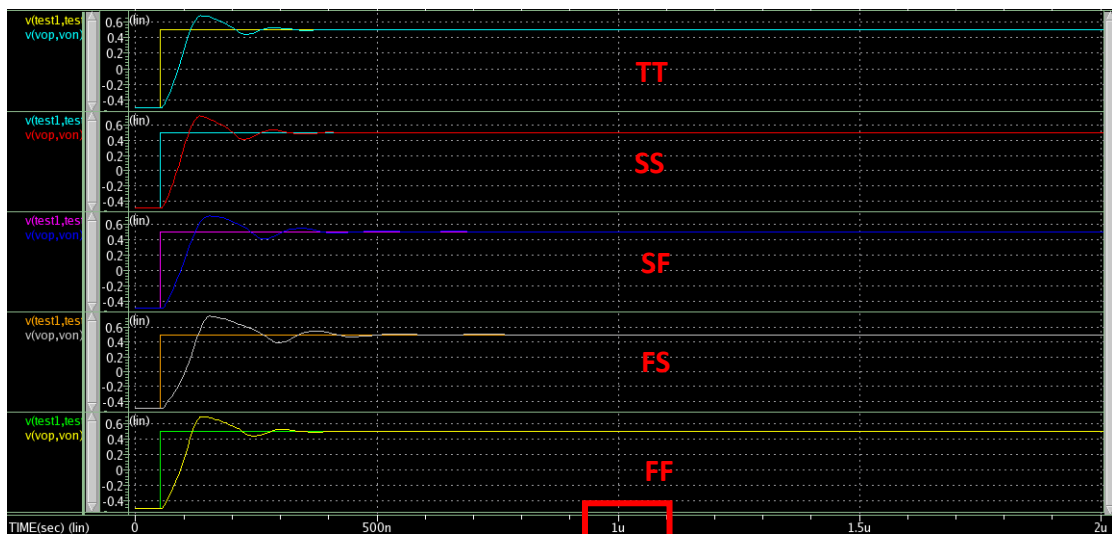
FS: slew rate+ (S.R.+)=16.4411V/us, settling time+=551.4796ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 499.9738m
hlimit= 500.4738m
llimit= 499.4739m
htime= 601.4796n
ltime= 532.9024n
pos_settling= 551.4796n
rinal1= 1.2275
hlimit1= 1.2287
llimit1= 1.2262
htime1= 558.0455n
ltime1= 745.7644n
pos_settling1= 695.7644n
final2= 727.4812m
hlimit2= 728.2087m
llimit2= 726.7538m
htime2= 558.8180n
ltime2= 770.4531n
pos_settling2= 720.4531n
srp_time= 48.6587n targ= 112.5992n trig= 63.9405n
srp= 16.4411x
```

FF: slew rate+ (S.R.+)=19.0604V/us, settling time+=567.5617ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 499.9871m
hlimit= 500.4870m
llimit= 499.4871m
htime= 562.5949n
ltime= 617.5617n
pos_settling= 567.5617n
rinal1= 1.1874
hlimit1= 1.1885
llimit1= 1.1862
htime1= 434.2534n
ltime1= 507.0760n
pos_settling1= 457.0760n
final2= 687.3716m
hlimit2= 688.0590m
llimit2= 686.6843m
htime2= 389.2370n
ltime2= 564.9414n
pos_settling2= 514.9414n
srp_time= 41.9719n targ= 104.8655n trig= 62.8937n
srp= 19.0604x
```

Waveform with 5 corners



VII. slew rate- (S.R.-) > 3.5V/us, settling time- < 3.5us

TT: slew rate- (S.R.-) =17.8882V/us, settling time- =519.5763ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-499.9769m
hlimit=-500.4768m
llimit=-499.4769m
htime= 569.5763n
ltime= 508.9070n
pos_settling= 519.5763n
final1= 710.4501m
hlimit1= 717.1465m
llimit1= 715.7136m
htime1= 504.4261n
ltime1= 683.6599n
pos_settling1= 633.6599n
final2= 1.2164
hlimit2= 1.2176
llimit2= 1.2152
htime2= 478.7775n
ltime2= 654.0906n
pos_settling2= 604.0906n
srn_time= 44.7223n targ= 107.9979n trig= 63.2756n
srn= 17.8882x
```

SS: slew rate- (S.R.-) =15.7266V/us, settling time- =787.5847ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-499.9610m
hlimit=-500.4609m
llimit=-499.4610m
htime= 837.5847n
ltime= 776.1202n
pos_settling= 787.5847n
final1= 723.5225m
hlimit1= 724.2461m
llimit1= 722.7990m
htime1= 589.8224n
ltime1= 766.0221n
pos_settling1= 716.0221n
final2= 1.2235
hlimit2= 1.2247
llimit2= 1.2223
htime2= 548.9116n
ltime2= 773.3807n
pos_settling2= 723.3807n
srn_time= 50.8693n targ= 116.7350n trig= 65.8657n
srn= 15.7266x
```

SF: slew rate- (S.R.-) =13.9270V/us, settling time- =948.6617ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-499.9554m
hlimit=-500.4554m
llimit=-499.4555m
htime= 911.3221n
ltime= 998.6617n
pos_settling= 948.6617n
final1= 746.7840m
hlimit1= 747.5308m
llimit1= 746.0372m
htime1= 1.1432u
ltime1= 959.3934n
pos_settling1= 1.0932u
final2= 1.2467
hlimit2= 1.2480
llimit2= 1.2455
htime2= 716.3497n
ltime2= 956.8083n
pos_settling2= 906.8083n
srn_time= 57.4423n targ= 124.2704n trig= 66.8281n
srn= 13.9270x
```



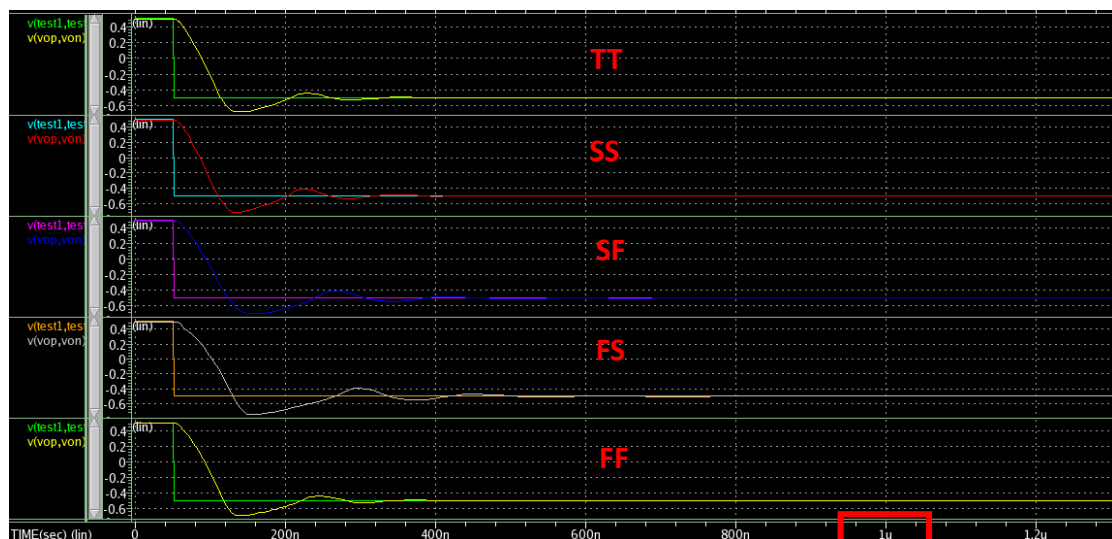
FS: slew rate- (S.R.-) =16.4411V/us, settling time- =551.4796ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-499.9738m
hlimit=-500.4738m
llimit=-499.4739m
htime= 601.4796n
ltime= 532.9024n
pos_settling= 551.4796n
final1= 727.4812m
hlimit1= 728.2087m
llimit1= 726.7538m
htime1= 558.8180n
ltime1= 770.4531n
pos_settling1= 720.4531n
final2= 1.2275
hlimit2= 1.2287
llimit2= 1.2262
htime2= 558.0455n
ltime2= 745.7644n
pos_settling2= 695.7644n
srn_time= 48.6587n targ= 112.5992n trig= 63.9405n
srn= 16.4411x
```

FF: slew rate- (S.R.-) =19.0604V/us, settling time- =567.5617ns

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final=-499.9871m
hlimit=-500.4870m
llimit=-499.4871m
htime= 562.5949n
ltime= 617.5617n
pos_settling= 567.5617n
final1= 687.3716m
hlimit1= 688.0590m
llimit1= 686.6843m
htime1= 389.2370n
ltime1= 564.9414n
pos_settling1= 514.9414n
final2= 1.1874
hlimit2= 1.1885
llimit2= 1.1862
htime2= 434.2534n
ltime2= 507.0760n
pos_settling2= 457.0760n
srn_time= 41.9719n targ= 104.8655n trig= 62.8937n
srn= 19.0604x
```

Waveform with 5 corners



VIII. specification table

Design Items	Specifications	TT	SS	SF	FS	FF
Technology	CIC pseudo technology					
Supply voltage	<1.8V, low as possible	1.4	1.4	1.4	1.4	1.4
Power	<5mW(10%) Small as possible	2.5534m	2.5220m	2.5250m	2.5236m	2.4726m
Loading	80pF / 25K $\Omega$					
DC gain	>70dB (10%) Large as possible	91.6999	91.6549	91.4654	91.4539	92.2916
GBW	> 30MHz (10%) Large as possible	23.7574	21.1656	16.1714	21.2827	24.6825
P.M.	>60°(10%)	69.8988	64.0213	69.0930	70.9040	69.7514
C.M.R.R.@10kHz	>85dB (5%)	94.7	89	88	92.8	90.8
P.S.R.R.+@10kHz	>85dB (7.5%)	102.3	97.4	101.3	100.8	118.7
P.S.R.R.-@10kHz	>85dB (7.5%)	94.5	99.9	107.9	95.3	96.3
Unity-gain configuration						
S.R.+ (10% ~ 90%)	>3.5V/ $\mu$ s (7.5%)	17.8882	15.7266	13.9270	16.4411	17.9477
S.R.- (10% ~ 90%)	>3.5V/ $\mu$ s (7.5%)	17.8882	15.7266	13.9270	16.4411	17.9477
Settling+(1Vpp,0.01)	<3.5us (7.5%)	519.5763n	787.5847n	948.6617n	551.4796n	567.5617n
Settling-(1Vpp,0.01)	<3.5us (7.5%)	519.5763n	787.5847n	948.6617n	551.4796n	567.5617n
Figure of Merit (FoM)						
Small signal	$\frac{\text{GBW(MHz)}}{\text{Power(mW)}}$ (5%)	9.3042	8.3924	6.4045	8.4335	9.9824
Large signal	$\frac{\text{SR(V/us)}}{\text{Power(mW)}}$ (5%)	7.0056	6.2358	5.5156	6.5149	7.2586

## C. Design procedure and consideration

我們這次 Fully-differential OP 的架構是參考助教提供的“A 1.2V Fully Differential Amplifier with Buffered Reverse Nested Miller and Feedforward Compensations”這篇 paper，但是我們使用的是  $V_{dd} = 1.4\text{V}$  的 supply voltage 和之前寫作業學到的 biasing circuit，以下是針對整個 OP 架構的不同部分的介紹。

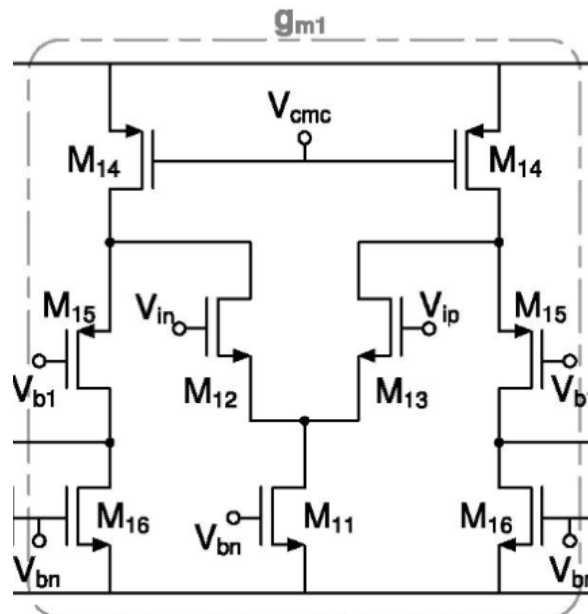
## I. Core Amplifier Circuit

(1) First stage

第一級是一個 folded cascode differential amplifier，folded 可以跟 cascode 有差不多的 gain 但卻有較大的 voltage output swing。一開始我們先想到要將 gain 拉高，所以將每顆 mos 進入 saturation region 以後，再提高電流和 W/L，要注意因為 M11 的電流是 M12.M13 的兩倍，所以 M11 的 size 大致會是 M12.M13 的兩倍，而因為此級的 gain 為  $g_{m12,m13} \times R_{out}$ ，所以提高 M12.M13 的 gm 可以提高 gain，又因為  $R_{out}$  大約等於  $r_{o16} \parallel g_{m15} r_{o15} r_{o14}$ ，因此提高 Rout 也可以提高 gain，所以我們用這兩個公式在每顆 mos 都在 saturation region 之下調整 gain。

但是要注意一開始的 gain 不能太高，太高的 gain 會讓 bandwidth 變小，還有第一級的 pole 也不能在太低頻的位置，這樣會使的 compensation 接上之後 dominant pole 往前移，gain 和 phase 會太早就掉，也會讓 CMRR 和 PSRR 在 10kHz 時達不到要求。而在這整個過程中要小心不能把 mos 調太大吃掉太多電壓，以至於其他 mos 進入 linear 或 cutoff。

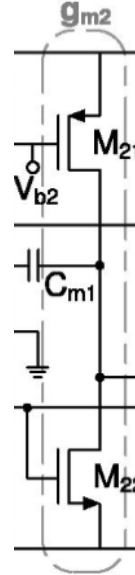
M14 和 M15 這兩顆一開始在調的時候很容易進入 linear region，因為一開始我們是先假設 vb1 和 vbn 下去調整，所以無法進行微調，後來接上 bias circuit 後，透過調整 bias circuit 的 mos 可以順利讓 stage1 維持在較穩定的狀態。



## (2) Second stage

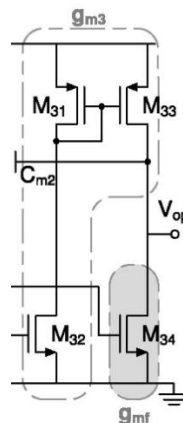
第二級是 common source，是用來提升整顆 OP 的 gain，因為第一級的 gain 不夠用來達到 spec，此級的 gain 可以表示為

$g_{m22} \times (r_{o22} \parallel r_{o21})$ ，因此我們增加  $g_{m22}$  (提升 22 的 W/L) 來提高 gain。



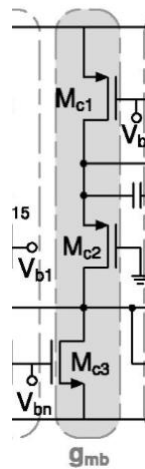
## (3) Third stage

第三級是為了用來衝高 slew rate，slew rate 的公式大約等於  $I/C$ ，又因為 M33 和 M31 是 current mirror 的結構，可以把 current 放大，所以要設計 M33 大於 M31，並且提高 M34 (可視為此級的 gm)，來提高 gain。但是我們後來調整 M33 和 M34 的 size 時可以發現如果把 size 調小，settling time 可以變小，再加上我發現我們的 slew rate 遠大於 spec 的需求，所以我們就大幅調小 M33 和 M34 的 size，讓 settling time 符合 spec 又不至於讓 slew rate 掉太多。而 settling time 符合 spec 以後，phase margin 也可以藉由 compensation 再調整符合 spec。



#### (4) Compensation circuit

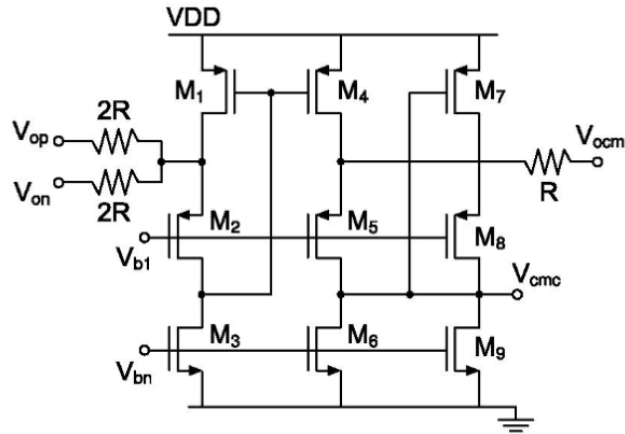
除了前面提到 stage3 可以調整 PM，compensation circuit 也可以調整 PM，因為 miller compensation 可以有 pole splitting 效應，把 dominant pole 往前推，然後 second pole 往後移，所以我們在 stage1 和 stage2 之間放置 compensation，並用 C1 和 C2 來達到 miller compensation，利用 bandwidth 和 PM 的 tradeoff 來改善 PM，也可以藉由 compensation 來調整 RHP zero，這個效果也可以用來調整 PM。



## II. Common Mode Feedback

我們一開始不確定 common mode feedback 要怎麼調整，所以剛接上去的時候前面的電路完全不能作用，在經過調整 feedback 之後，再次調整主電路，才能達到穩定的 OP，因此我們發現 feedback 這個結構很重要，因為它是藉由  $V_{ocm}$  和  $V_{cmc}$  兩個電壓進行互相比較，來改變  $V_{cmc}$ ，使其維持在  $V_{dd}/2$ ，達到 common mode feedback 的目的。

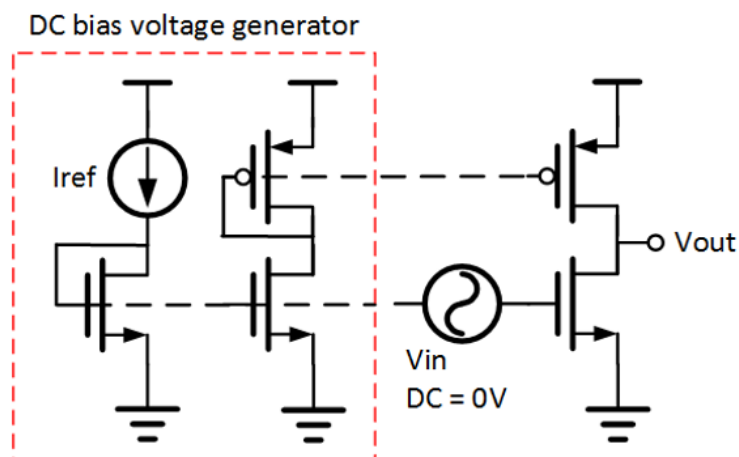
M1, M4, M7 這三顆 pmos 很容易進入 linear region 因為下面的 pmos 和 nmos 把電壓都吃得差不多，導致這三顆 pmos 進入 linear region。透過調整 M2 M5 M8 和  $v_{b1}$ (bias circuit)可以讓 M1 M4 M7 進入 saturation。



### III. Biasing circuit

biasing circuit 是我們在做完 stage1 後製作的部分，因為 biasing circuit 必須根據不同 stage 所需要的 biasing voltage 來做調整，以得到所需要的電流流量。另外我們使用的是之前 HW3 所學的 biasing circuit，因為這種架構除了能給予穩定的 biasing circuit 之外，還能讓電路在不同 corner 能夠維持穩定，才不會讓我們的 OP 在不同 corner 之下改變操作位置，造成不穩定的 OP 架構。

我們一開始的  $i_{ref}$  給太大，導致 power 消耗太多因此我們藉由調整不同 nmos 的  $(W/L)$  比來降低  $i_{ref}$ ，假設我們想要  $m_i$  出 200uA，我們給  $i_{ref}=50uA$ ，跟  $i_{ref}$  相接的那 nmos 的  $(W/L)$  和右邊相連 nmos 的  $(W/L)$  的比即為 1:4。這裡 pmos 和 nmos 的 size 和接在一起 stage1 的 mos size 相同，nmos 的 size 和 m11 相同，透過調整 pmos 的  $m$  可以來調整  $v_{b1}$   $v_{b2}$  的大小。



#### D. Discussion and conclusion

這次的 final project 對我們來說真的是很大的考驗，因為其實平時的作業對我們來說已經不簡單，常常需要很多時間才能理解，所以 final project 對我們來說真的是很大有很費腦力的工程。

一開始我們決定採用助教給的意見使用論文裡提到的架構，想說既然有人做成功，應該也比較好達成，另外我們想說先將  $V_{dd} = 1.8V$  的架構先完成，再考慮如何將  $V_{dd}$  降低。一開始我們決定先做我們比較理解的 gain 部分，就是想辦法將 gain 提升，但是我們在 stage1 就遇到了第一個瓶頸：很難讓 stage1 的每顆 mos 都進入 saturation，特別是不直接受到 bias voltage 和 size 影響的幾顆 mos，必須藉由他附近其他顆 mos 的調整才能將該顆 mos 進入 saturation region，但這個過程讓我們對於如何更熟練的調整 gain：調整  $V_{gs}$ ,  $V_{ds}$  的寬度，來決定 mos 可以操作的範圍。但是後來我們發現我們的 stage1 沒有考慮到電流大小的問題，以至於後面受到 stage1 影響的很大，但也很難變動 stage1，不然容易影響到整個架構。

另一個我們遇到的問題是，如果沒有好好調整後面接上去的電路，就會影響到前面調整好的電路，改變操作區域。我們好幾次反覆調整電路使每顆 mos 進入 saturation，因為一開始我們調的電路進入 saturation 時都非常吃緊，很容易一調變電壓和 size 就進入到 linear，所以我們之後會想辦法讓 mos 的操作區域比較穩定後才會進入下一個階段進行調整；另外我們是把所有電路接上後才一起調整，因為整個 closed loop 都有彼此影響的關係，所以全部接上後在一個一個調整比較能確保所有 mos 都操作在 saturation region。

另外我們學到另一件事：不要使用不熟悉的架構。我們平時所學的架構和我們這次 final 所使用的架構不太相同，以至於我們在調整的時候相當吃力，有時候很難看出問題在哪裡。例如 PM 和 bandwidth，我們一直想要提升 PM，但是 PM 不是因為 bandwidth 不足以提供給 PM 增加，就是 PM 受到 RHP zero 很嚴重的影響，所以 phase 的曲線一直看起來很奇怪，如果可以比較熟悉整個架構，和那些結構影響到甚麼部分，會比較容易調整，因此我們只能像瞎子摸象一樣從調整的經驗中了解整個架構的運作，但是也因此花費了相當多的時間。

整個 final project 的過程中，我們複習了整個學期的內容，也把我們很多沒有了解的部分補齊，從一開始根本不知道該如何下手，到後來我們可以理解調整哪個區塊會影響到那些部分和數值，真的覺得雖然很累但是很值得，特別是當 spec 因為我們一時的想法而有所進步時，那簡直讓我們想當場大叫歡呼。後來在調 PM 的時候真的不知道為什麼一直拉不上去，最後只好放棄了 BW 來讓 PM 和 settling time 符合 spec。在我們努力了兩天兩夜之後，我們完成了類比的 final project，謝謝所有幫助過我們的助教、學長和同學，讓我們完美的結束了類比的這門課。