

ENE521000 AIC FINAL Proposal

系級	電機 11	組員	9661148 邱柏崴	9661138 張瑞炘
			9661136 羅士淳	9661201 李茂睿

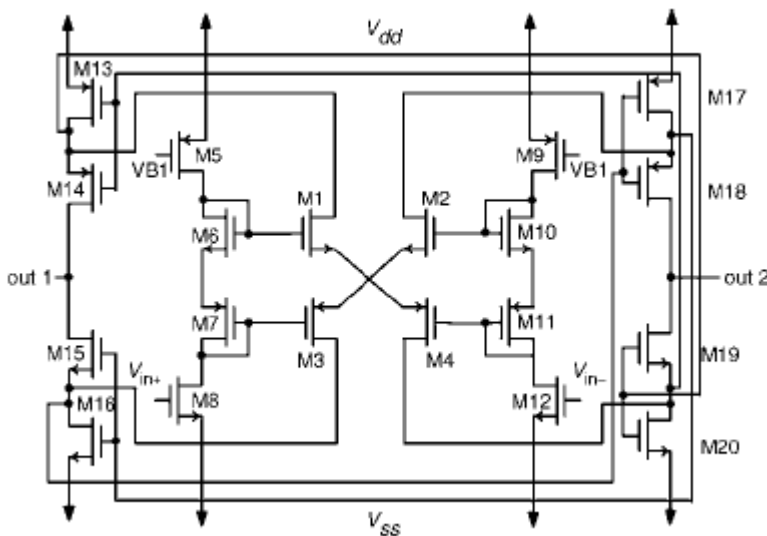
1) Title : DIDO amp

DIDO amp	
Vdd/Vss	1-3V/0V
Loading	10kΩ//20pF
DC gain	>60dB
GBW	>5M
CMRR	> 80dB
SR+/-	> 20V/μS
Supply current	< 2mA
PSRR+/-	> 80dB
PM	> 60°
THD ² (1.0Vp-p@100KHz sine wave)	-50dB
(2.4Vp-p@100KHz sine wave)	-40dB

2) Target Specs :

3) Literature review :

a) Self-biased cross-coupled low-cost fully-differential CMOS operational amplifier



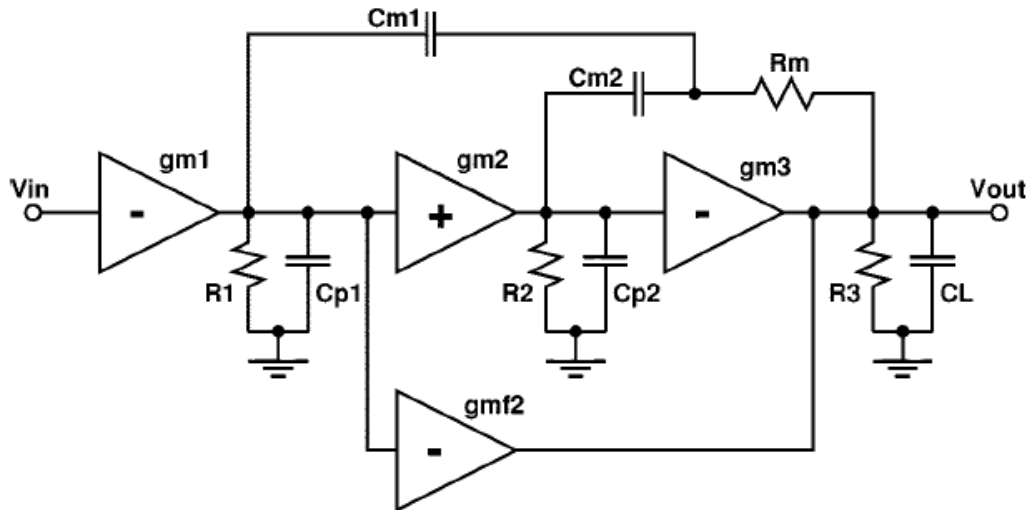
這篇論文的 DIDO 架構主要優勢在於不需要用到很多的 biased voltage 所以可以減少 device 的使用量，但是仍然可以達到一般 OP 所達到的直流增益。M1~M4 功用在做輸入端的 class-AB cross-coupled，M6 M7 M10 M11 則是作為提供 M1 到 M4 的電壓。M13 到 M20 的電晶體功能再

作 R_{OUT} ，此電路的電壓增益為 $A_v=2(g_{m1}+g_{m4})\cdot R_{OUT}$ ，因此要做大的增益， R_{OUT} 需要變大，即 M13 到 M20 需要大電流流過，本篇論文的電流消耗大部份都是在這幾顆 MOS 作消耗。

優點：較少的 MOS，但是可以達到很高的電壓增益

缺點：因為做很多的 cascode 所以他的 range 會受到較大的限制。

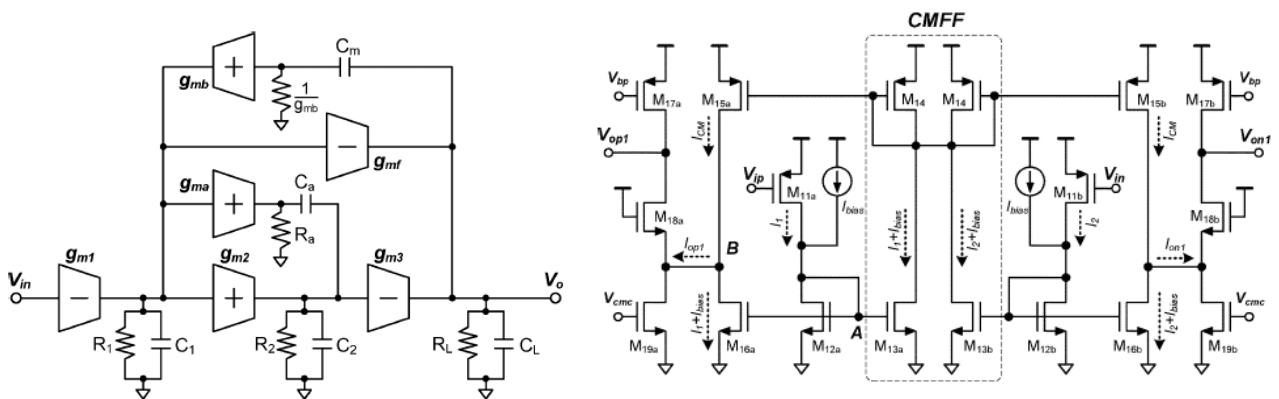
b) Nested Miller Compensation in Low-Power CMOS Design



利用 g_{mf2} 來消除 RHP 的 zero，並且在 output stage 採用 push-pull class-AB 的方式，這個方法還有個好處是可以利用 g_{mf} 的增加來增加 GBW，另外因為有 g_{mf} 作補償，所以補償電容都可以變小，這樣可以增加 slew rate。

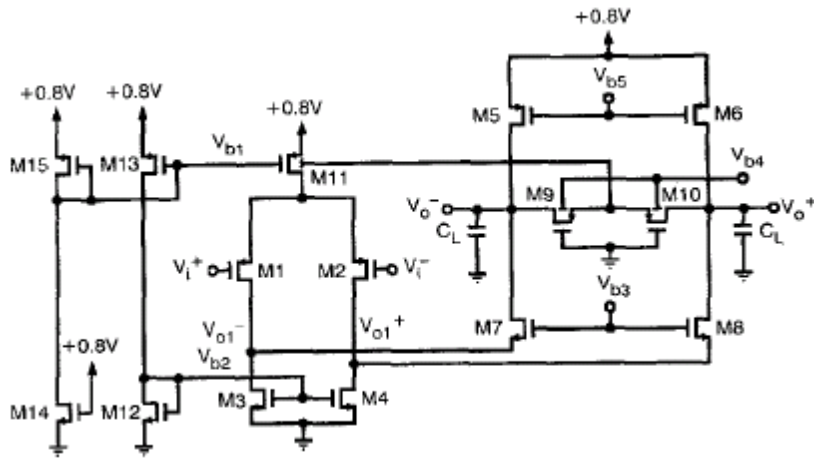
這篇論文的優點在於 g_{mf} 除了可以消除 RHP 也可以增加 GBW。此外因為做成 3 stage 所以可以在很低的 V_{dd} 下操作，可以做 low power。

c) A 1-V CMOS Pseudo-Differential Amplifier With Multiple Common-Mode Stabilization and Frequency Compensation Loops



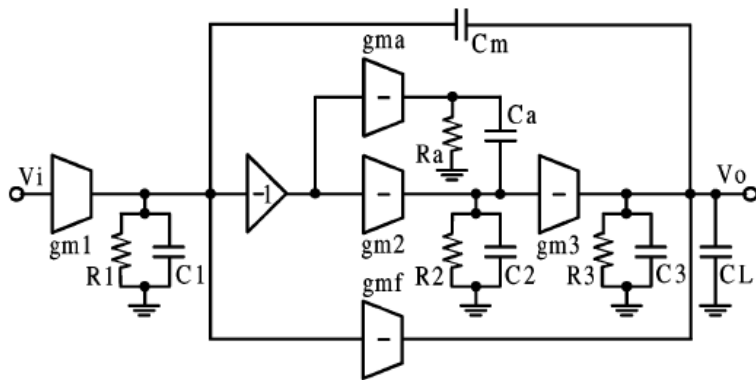
上面左圖是此電路的補償方式，右圖是提出的Pseudo-differential(PD) input stage，與傳統 Fully-differential(FD) input不同的是，兩個input MOS不是用同一條tail current連接起來，因此少了一個MOS的壓降，適合應用在low-voltage電路。然而，PD的common mode gain也被放大，因此需要額外的電路來穩定common mode voltage。

d) Continuous time common mode feedback technique for sub 1 V analogue circuits

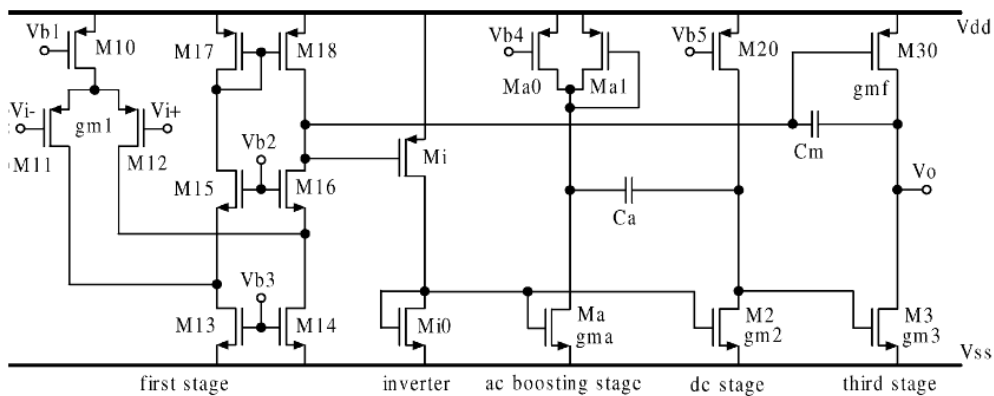


這個feedback電路是用MOS取代電阻來sense output voltage，但是用MOS不容易做出大電阻，因此這篇paper以M9.M10為電阻，並將body接到較低的電壓讓 V_t 變小來增加電阻值，然後送回tail current的body調整電流。好處是不用實際做出一顆電阻，然而body用電路來控制可能不比Vdd來的穩定，造成noise增加。

e) AC Boosting Compensation Scheme for Low-Power Multistage Amplifiers(ACBCF)

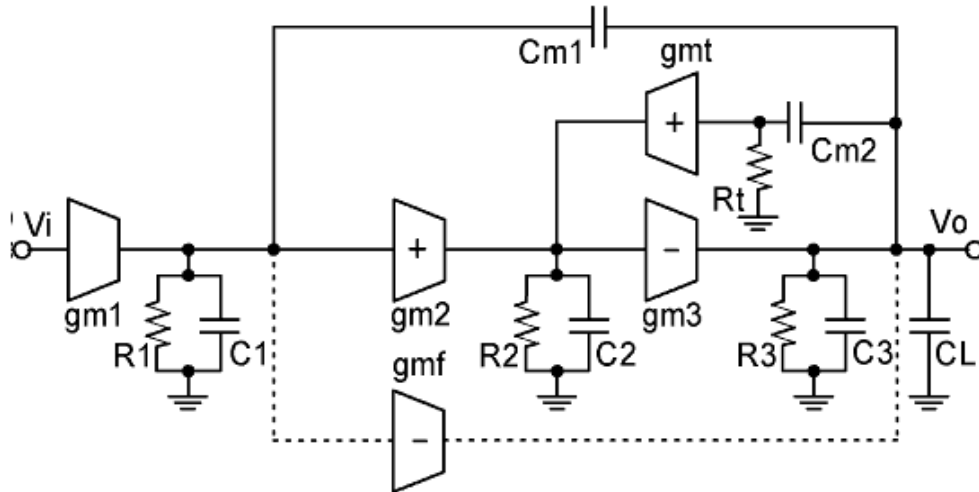


上圖是 ACBCF 的 block diagram，此電路架構主要特點是在第二級多加一個 ac path，使得第二級有 gm_2 及 g_{ma} 兩個 path. DC path(gm_2)主要是高的直流增益，而 AC path(g_{ma})則是用來 boosting 高頻增益。Boosting 指的是將 non-dominant pole 往高頻方向推，因此有更高的 GBW。 g_{mf} 為另一個 feed-forward path，其功能為降低由於 miller compensation， C_m 所造成的 RHP zero 影響並與 gm_3 構成 push-pull output stage，使得整體 slew rate 變成受 first stage 推動 C_m 所限制。經過推導得到 Slew rate 正比於 GBW，而 GBW 可藉由 g_{ma} 獲得改善。下圖為 single out ac boosting amplifier

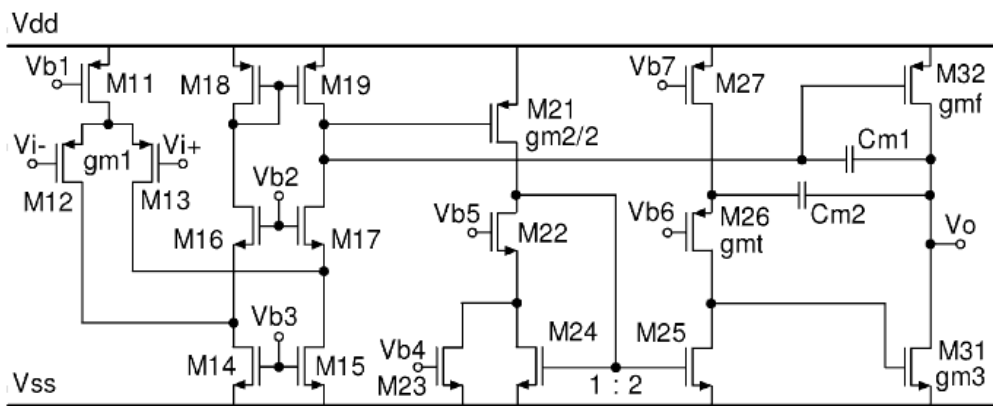


優點:相較於傳統 Nested miller compensation,有更高的 GBW 及 Slew rate 卻不增加 power dissipation，適合低電壓之應用

f) Transconductance With Capacitances Feedback Compensation for Multistage Amplifiers(TCFC)

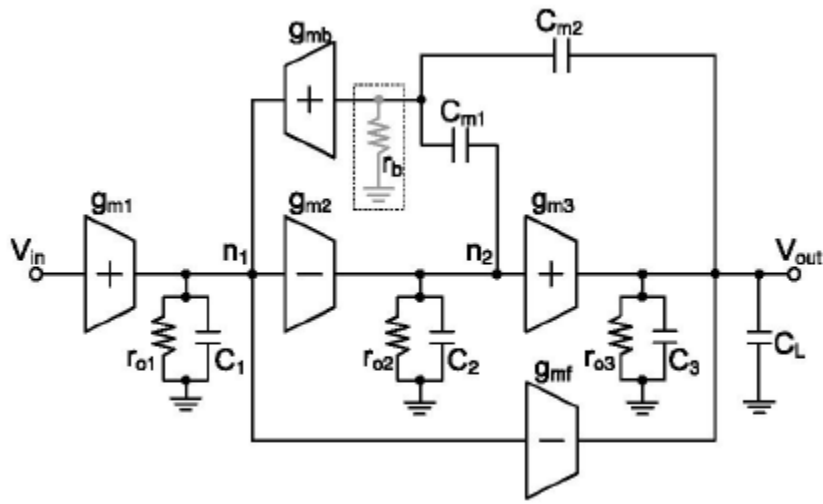


上圖為TCFC的block diagram， C_{m1} 為 outer feedback loop Miller capacitor, C_{m2} 則 inter feedback loop. g_{mt} 為 transconductance stage 介於 C_{m2} 及第二級輸出之間，其功用為阻擋高頻訊號藉由 C_{m2} 直接到達 output，確保電路之 stability。 g_{mf} 為 feed-forward stage，其功能與 ACBCF 的 g_{mf} 相同。下圖為 single output TCFC amplifier 的電路架構。



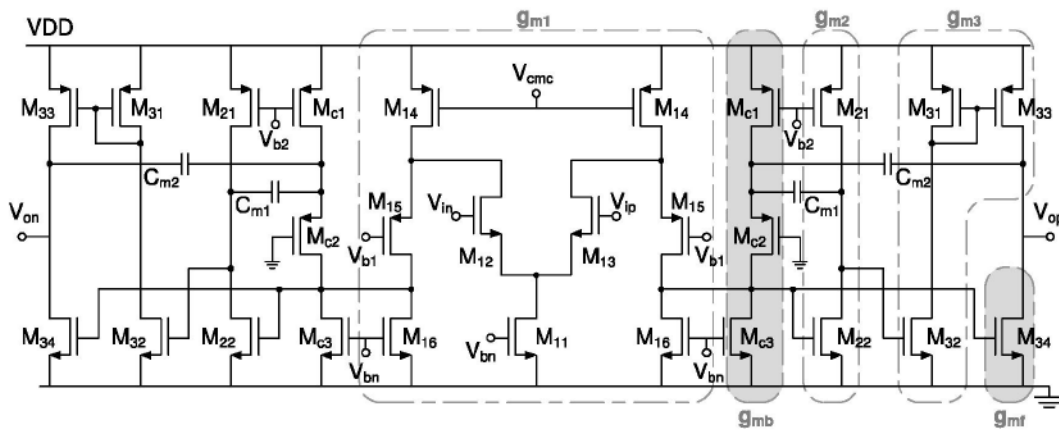
優點:與 ACBCF 相似，在高頻時有相當的穩定度且有更好的 $GBW \cdot CL / \text{Power}$ 及 $SR \cdot CL / \text{Power}$ 的 performance

g) A 1.2V Fully Differential Amplifier with Buffered Reverse Nested Miller and Feedforward Compensations

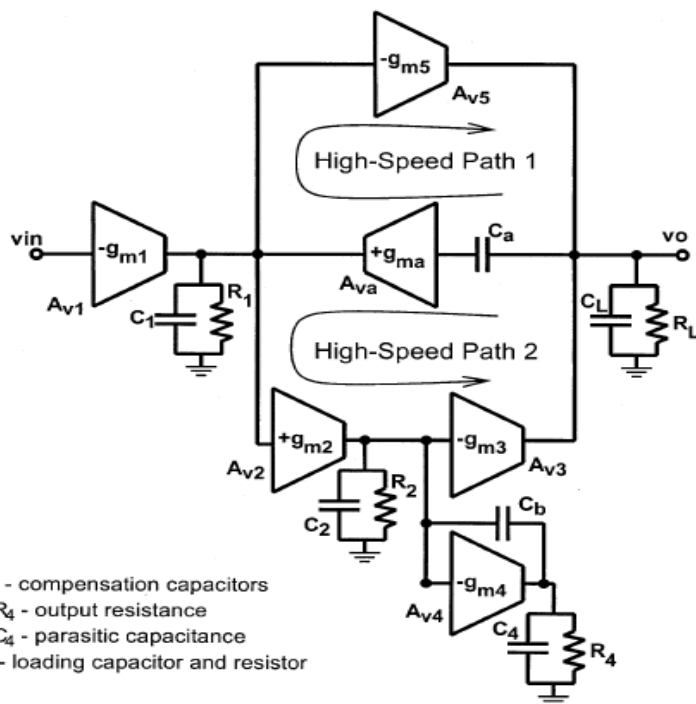


上圖是 B-RNMC 的 Block diagram，此電路的主要特點是用一個反向的 gm stage 串聯補償電容用來消除 RHP zero 以增加 amplifier 的頻寬，但是會造成 phase margin 下降。

下圖為三級 fully differential amplifier 的電路圖。



h) A Dual-Path Bandwidth Extension Amplifier Topology With Dual-Loop Parallel Compensation



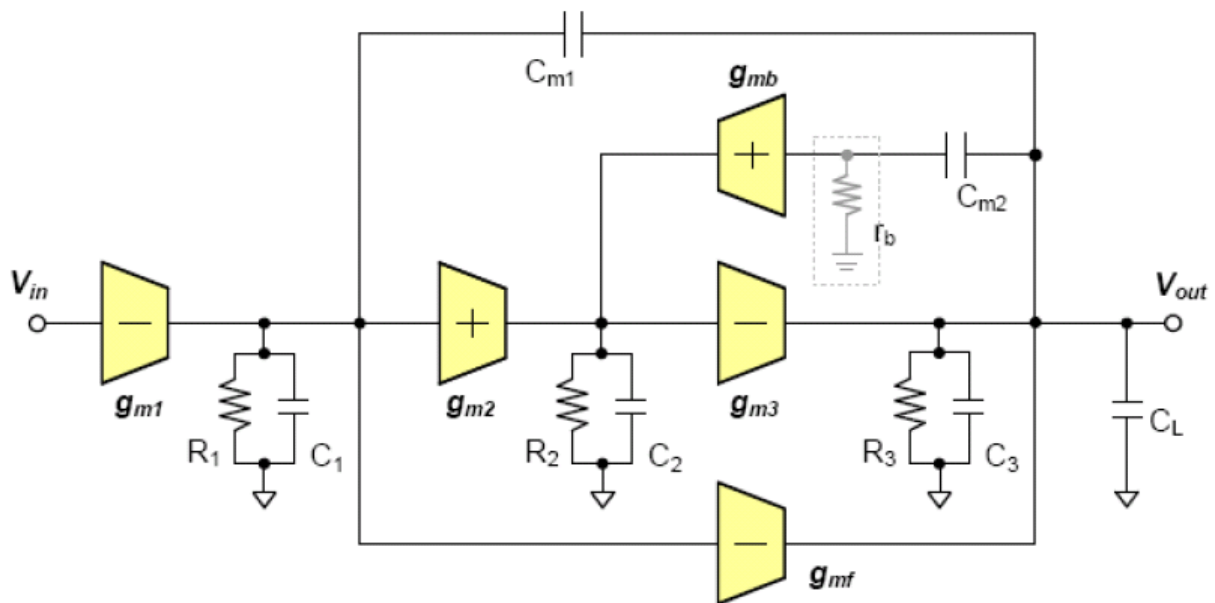
上圖為 DLPC 的 Block diagram，此電路最大特點為對高頻訊號的兩條 high speed path，因為在這兩個 path 上都沒有電容，所以 nondominant pole 被推到比較高的頻率因此不會有造成 GBW 降低，slew rate 也因為沒有電容所以比較好，因為不需要加大電流以達到 spec 所需求的 slew rate 的標準，可以在低耗能的情況下還是維持很好的 slew rate 跟 GBW。

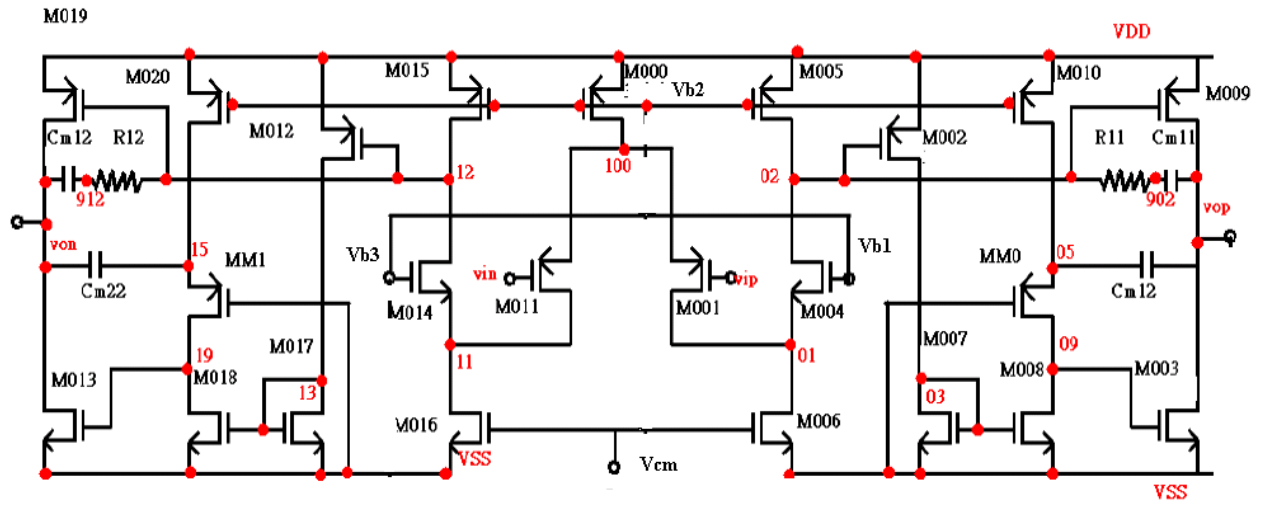
4) benchmark table :

	Vdd/vss	Loading	DC gain	GBW	CMRR	SR+-	Supply current	PSRR+-	PM	THD
Ref.1	3.3/0	100pF	60	7.8M	N/A	5.7	0.66m	N/A	67	-48
Ref.2	1/-1	100pF/2 5k	>100	1.8M	N/A	0.82	0.203 m	98	51	N/A
Ref.3	1/0	100pF	80	4.3M	>45	1.2	0.249 m	N/A	68	-60.7@1Vpp 200khz
Ref.4	0.5/-0.5	15pF	100	40M	74	33.71	0.72m	65	64	-66@0.9Vpp
Ref.5 (ac)	2/0	500pF	>100	1.9M	N/A	1	0.162 m	N/A	52	N/A
Ref.6	1.5/0	150pF	>100	2.85M	N/A	1.035	0.03m	M/A	58.6	N/A
Ref.7	1.2/0	100pF	90	8.9M	N/A	5.5	0.13m *	N/A	86	<-70
Ref.8	1.5/0	120pF/2 5k	>100	7M	N/A	3.3	0.22m	N/A	46	N/A

*equivalent case as all the amplifiers are with single ended output.

5) Proposed schematics :





比較過上述的電路後決定採用 performance 最好的 BNMCMC 架構。