

AIC FINAL PROJECT OP Amplifier



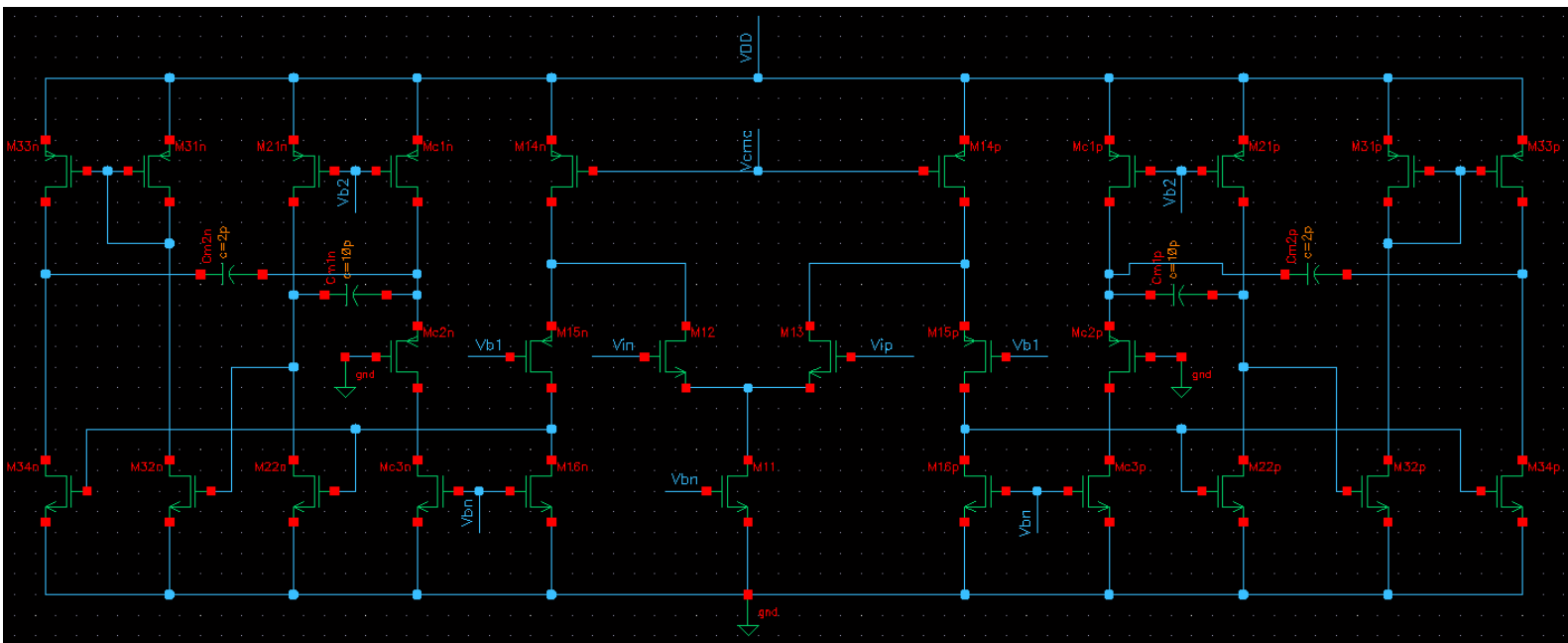
NTHU EE 102061219 林淳濂

102061248 彭千威

No pain, No gain.

A. Schematic:

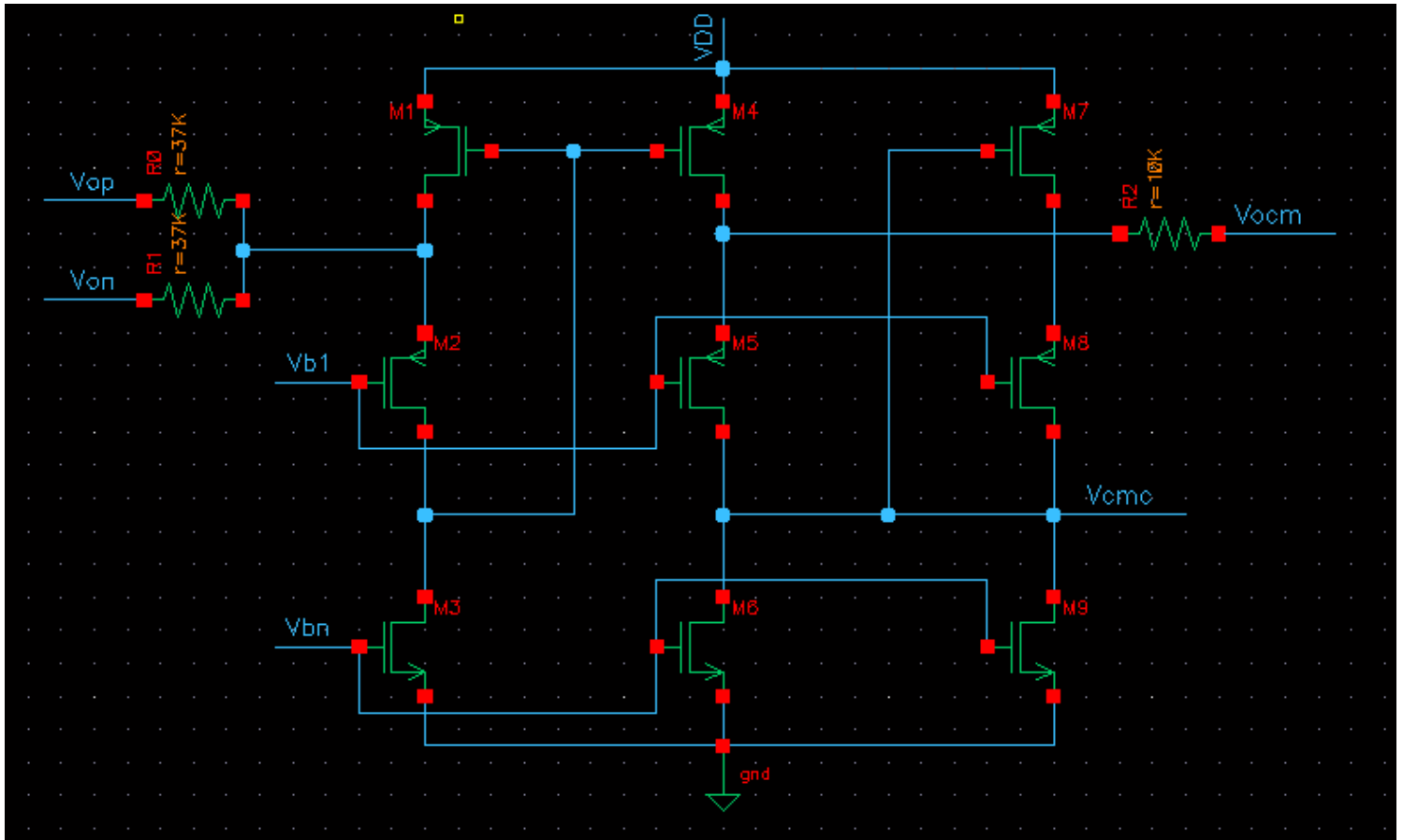
I. Core Amplifier Circuit



Device size :

| Mos name | W | L | M |
|------------|-----|-----|-----|
| M11 | 1 | 1 | 160 |
| M12 | 1 | 0.5 | 102 |
| M13 | 1 | 0.5 | 102 |
| M14p/ M14n | 1 | 1 | 100 |
| M15p/ M15n | 1 | 1 | 100 |
| M16p/ M16n | 1 | 1 | 100 |
| Mc1p/Mc1n | 1 | 1 | 10 |
| Mc2p/Mc2n | 1 | 1 | 12 |
| Mc3p/Mc3n | 1 | 1 | 1 |
| M21p/M21n | 1 | 1 | 6 |
| M22p/M22n | 1 | 1 | 21 |
| M31p/M31n | 1 | 1 | 20 |
| M32p/M32n | 1 | 1 | 18 |
| M33p/M33n | 1 | 0.4 | 21 |
| M34p/M34n | 1 | 1 | 28 |
| Cm1p/Cm1n | 10p | | |
| Cm2p/Cm2n | 2p | | |

II. Common-Mode Feedback :



Device size :

| Mos name | W | L | M |
|----------|---------|---|----|
| M1 | 1 | 1 | 10 |
| M2 | 1 | 1 | 80 |
| M3 | 1 | 1 | 30 |
| M4 | 1 | 1 | 10 |
| M5 | 1 | 1 | 80 |
| M6 | 1 | 1 | 30 |
| M7 | 1 | 1 | 10 |
| M8 | 1 | 1 | 15 |
| M9 | 1 | 1 | 5 |
| R0/R1 | 37K ohm | | |
| R2 | 10K ohm | | |

B. Simulation results:

I. Power:

從 11_ac.lis 檔裡找到五個 corner 的 voltage source、current source 和 resistor 個別消耗的 power，然後加總起來即為 Total Power consumption。

1. TT corner:

**** voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vocm      0:vinp      0:vinn
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.3374m    1.2290m    23.1214u   0.         0.
power    1.8724m    0.         -16.1850u   0.         0.
```

total voltage source power dissipation= 1.8562m watts

***** current sources

```
subckt
element 0:iref
volts    901.5083m
current  77.0618u
power    -69.4719u
```

total current source power dissipation= -69.4719u watts

**** resistors

```
subckt
element 0:rload1  0:rload2  xop      xop      xop
r value  20.0000k  20.0000k  37.0000k  37.0000k  10.0000k
v drop   853.2562m 853.2565m -122.7515m -122.7517m 231.2141m
current  42.6628u  42.6628u  -3.3176u  -3.3176u  23.1214u
power    36.4023u 36.4023u  407.2411n 407.2425n  5.3460u
```

Total power = 2.0046mV

2. FF corner:

**** voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vocm      0:vinp      0:vinn
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.3543m    1.2456m    23.6967u   0.         0.
power    1.8961m    0.         -16.5877u   0.         0.
```

total voltage source power dissipation= 1.8795m watts

***** current sources

```
subckt
element 0:iref
volts    946.1763m
current  77.0618u
power    -72.9140u
```

total current source power dissipation= -72.9140u watts

**** resistors

```
subckt
element 0:rload1  0:rload2  xop      xop      xop
r value  20.0000k  20.0000k  37.0000k  37.0000k  10.0000k
v drop   850.1517m 850.1518m -137.6550m -137.6550m 236.9665m
current  42.5076u  42.5076u  -3.7204u  -3.7204u  23.6967u
power    36.1379u 36.1379u  512.1320n 512.1327n  5.6153u
```

Total power = 2.0313mV

3. SS corner:

**** voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vocm      0:vinp      0:vinn
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.3230m   1.2149m    21.9874u   0.          0.
power    1.8522m    0.          -15.3912u   0.          0.
```

total voltage source power dissipation= 1.8368m watts

**** current sources

```
subckt
element 0:ieref
volts    841.5502m
current   77.0618u
power    -64.8514u
```

total current source power dissipation= -64.8514u watts

**** resistors

```
subckt
element 0:rload1  0:rload2  xop      xop      xop
          1:rop      1:ron      1:rocm
r value   20.0000k  20.0000k  37.0000k  37.0000k  10.0000k
v drop    860.6956m  860.6955m -93.2349m -93.2348m  219.8745m
current   43.0348u  43.0348u  -2.5199u  -2.5199u  21.9874u
power     37.0398u  37.0398u  234.9389n  234.9388n  4.8345u
```

Total power = 1.981mV

4. SF corner:

**** voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vocm      0:vinp      0:vinn
volts    1.4000     0.          700.0000m  700.0000m  700.0000m
current  -1.3269m   1.2181m    23.4238u   0.          0.
power    1.8577m    0.          -16.3967u   0.          0.
```

total voltage source power dissipation= 1.8413m watts

**** current sources

```
subckt
element 0:ieref
volts    841.5502m
current   77.0618u
power    -64.8514u
```

total current source power dissipation= -64.8514u watts

**** resistors

```
subckt
element 0:rload1  0:rload2  xop      xop      xop
          1:rop      1:ron      1:rocm
r value   20.0000k  20.0000k  37.0000k  37.0000k  10.0000k
v drop    854.0759m  854.0760m -135.2038m -135.2039m  234.2379m
current   42.7038u  42.7038u  -3.6542u  -3.6542u  23.4238u
power     36.4723u  36.4723u  494.0557n  494.0567n  5.4867u
```

Total power = 1.9856mV

5. FS corner:

**** voltage sources

```
subckt
element 0:vdd      0:vgnd      0:vocm      0:vinp      0:vinn
volts    1.4000      0.          700.0000m  700.0000m  700.0000m
current  -1.3344m    1.2258m    23.3614u   0.          0.
power    1.8681m    0.          -16.3530u   0.          0.
```

total voltage source power dissipation= 1.8517m watts

***** current sources

```
subckt
element 0:ioref
volts    880.7279m
current  77.0618u
power    -67.8705u
```

total current source power dissipation= -67.8705u watts

**** resistors

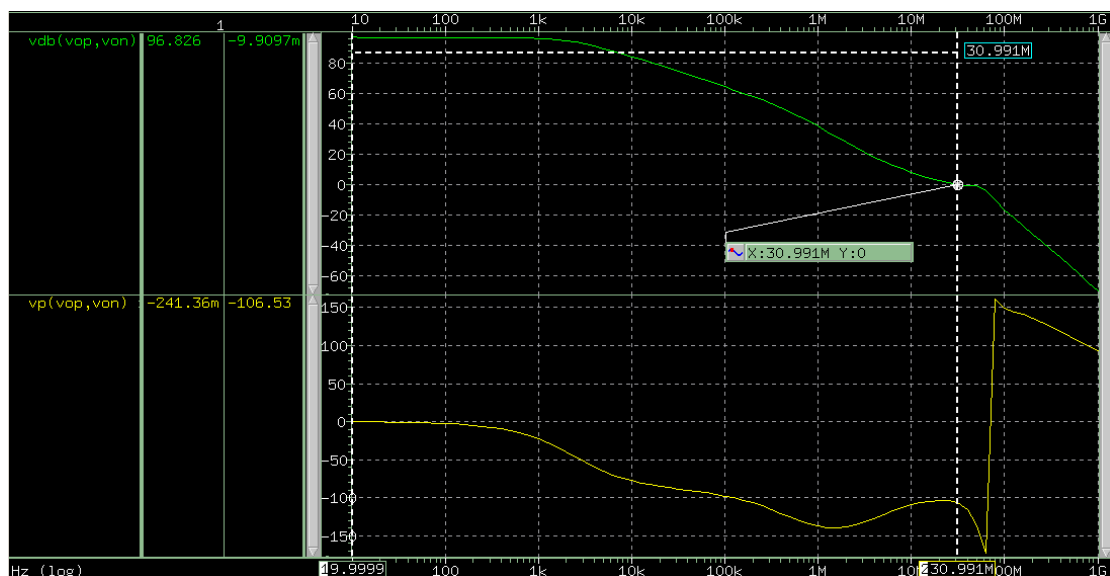
```
subckt
element 0:rload1 0:rload2 1:rop      1:ron      1:rocm
r value 20.0000k  20.0000k  37.0000k   37.0000k   10.0000k
v drop  851.5673m 851.5670m -131.8546m -131.8542m 233.6140m
current 42.5784u  42.5783u  -3.5636u   -3.5636u   23.3614u
power   36.2583u  36.2583u  469.8821n  469.8793n  5.4575u
```

Total power = 1.9985mW

II. DC Gain, Gain Bandwidth(GBW) and Phase Margin(P.M.):

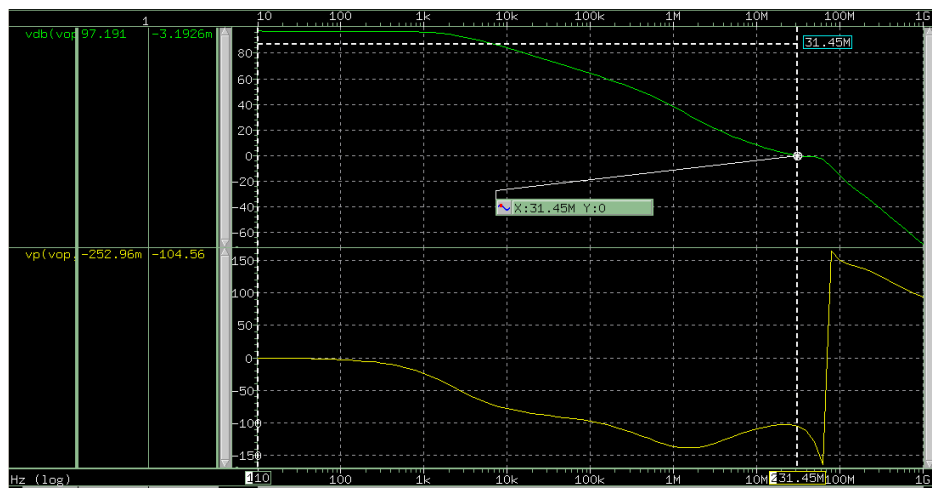
DC gain 是看低頻的 flat band 位置，在這裡我們是取頻率為 10Hz 時的 gain 視為 DC gain；Gain bandwidth 是取 unity gain bandwidth，也就是 gain 等於 0dB 時的點當作 GBW；Phase margin 是看頻率在 unity gain bandwidth 時的 phase 是幾度，然後再加上 180 度，即可求得 P.M.。

1. TT corner:



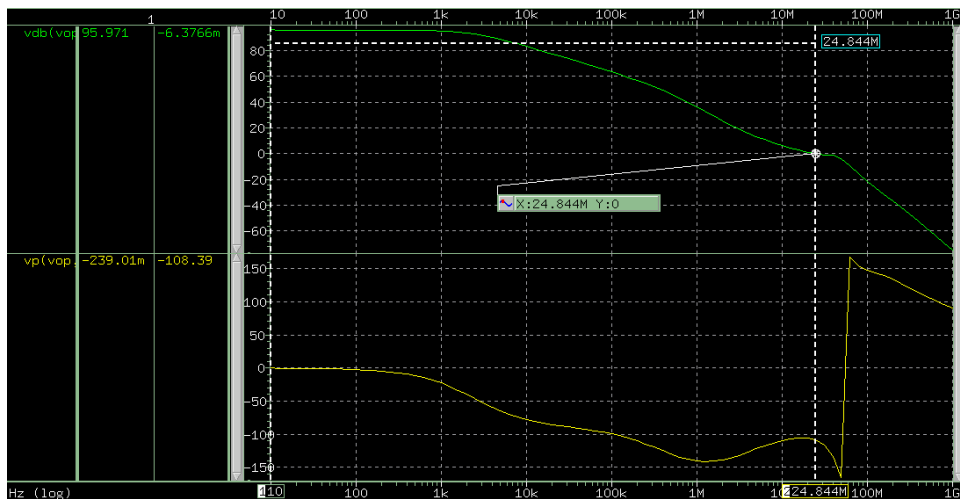
DC gain = 96.826dB , GBW = 30.991MHz , PM = 73.47°

2. FF corner:



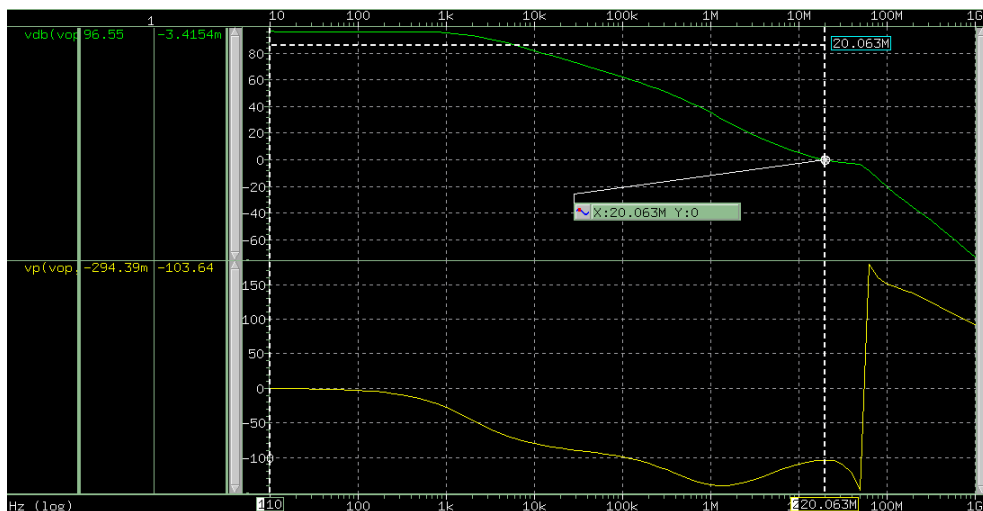
DC gain = 97.191dB , GBW = 31.45MHz , PM = 75.44°

3. SS corner:



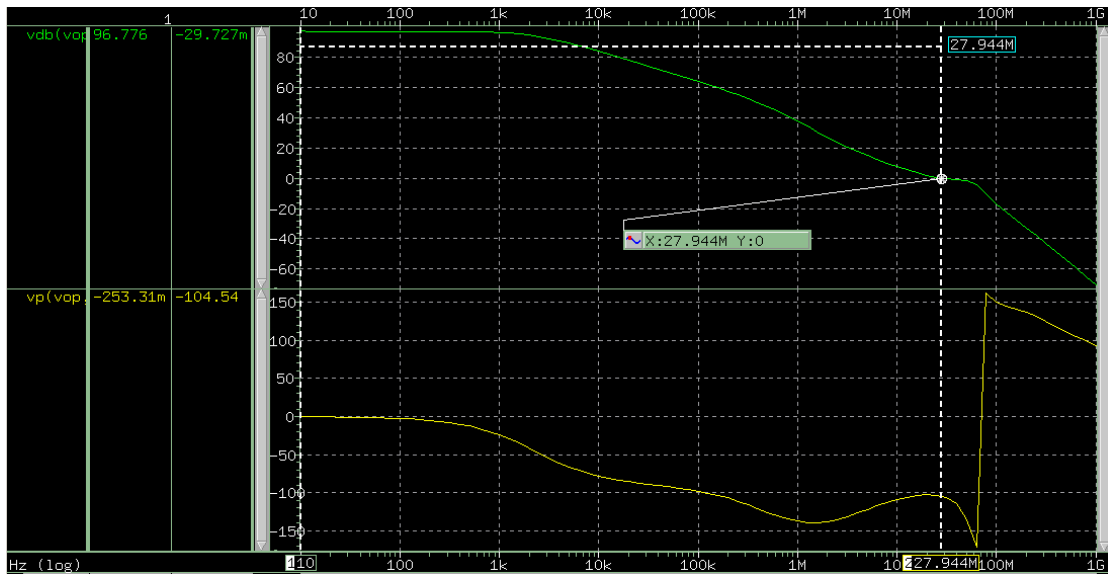
DC gain = 95.971dB , GBW = 24.844MHz , PM = 71.61°

4. SF corner:



DC gain = 96.55dB , GBW = 20.063MHz , PM = 72.36°

5. FS corner:



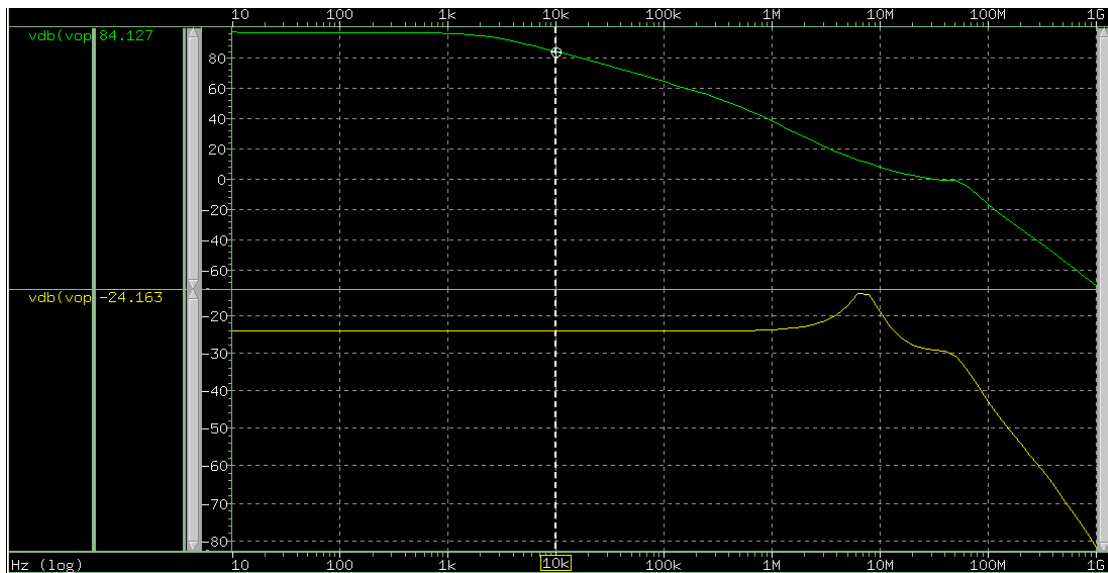
DC gain = 96.776dB , GBW = 27.944MHz , PM = 75.36°

III. Common Mode Rejection Ratio (C.M.R.R.):

CMRR 的定義是 $CMRR = \frac{A_{DM}}{A_{CM_DM}}$ ，若將 gain 寫成 dB 形式，則

$CMRR = 20 \log(A_{DM}) - 20 \log(A_{CM_DM})$ ，在 wave view 裡取頻率為 10 kHz 時的 gain 來做上式的計算，即可求得 CMRR。

1. TT corner:



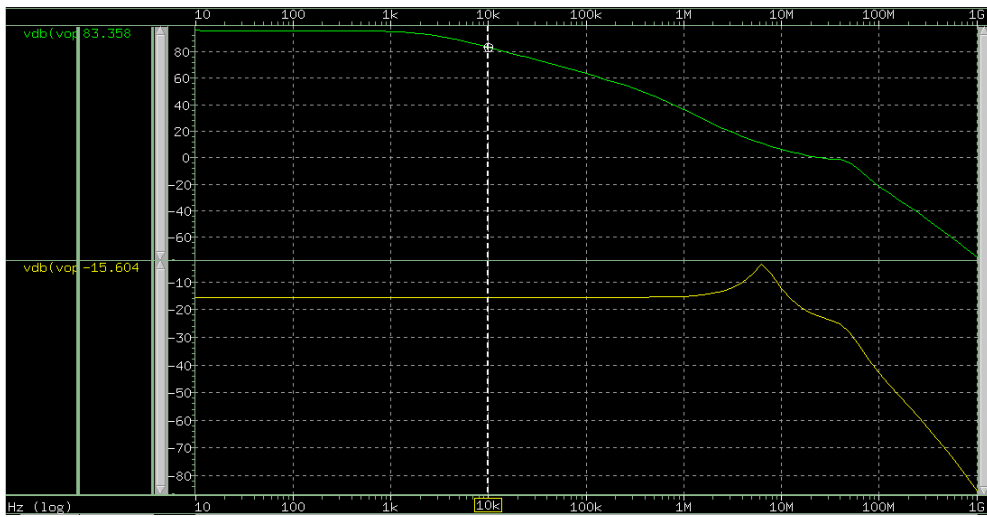
CMRR = 108.29dB

2. FF corner:



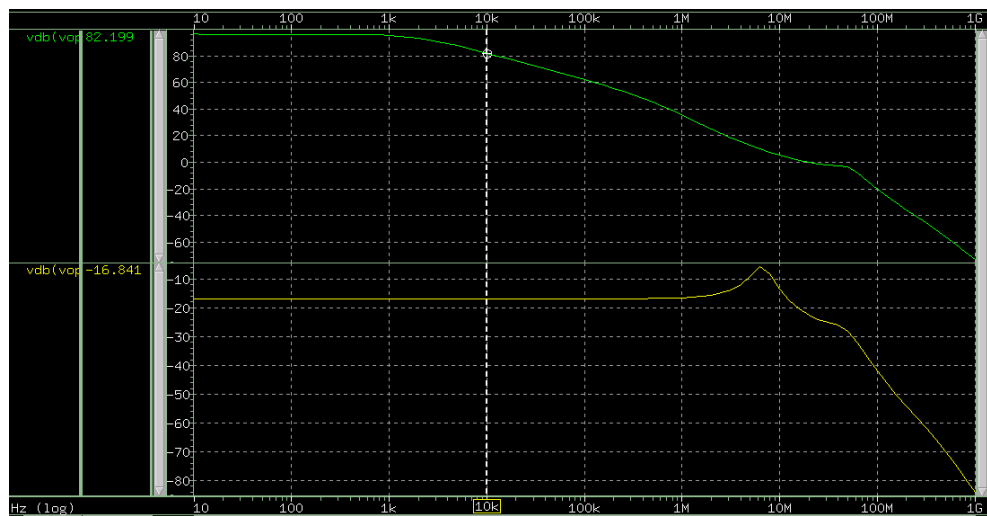
CMRR = 111.593dB

3. SS corner:



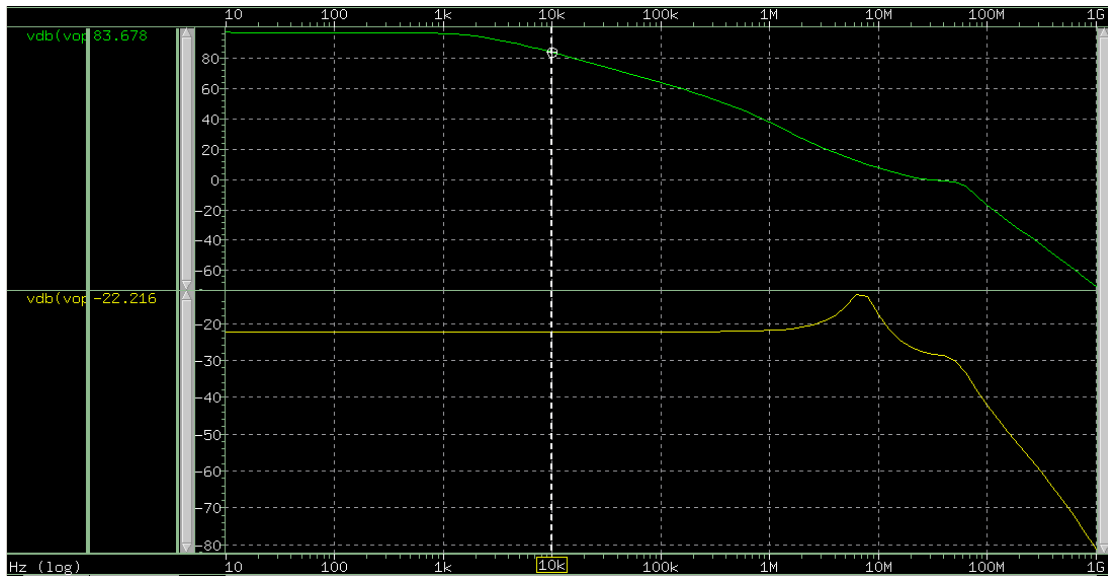
CMRR = 98.962 dB

4. SF corner:



CMRR = 99.04dB

5. FS corner:



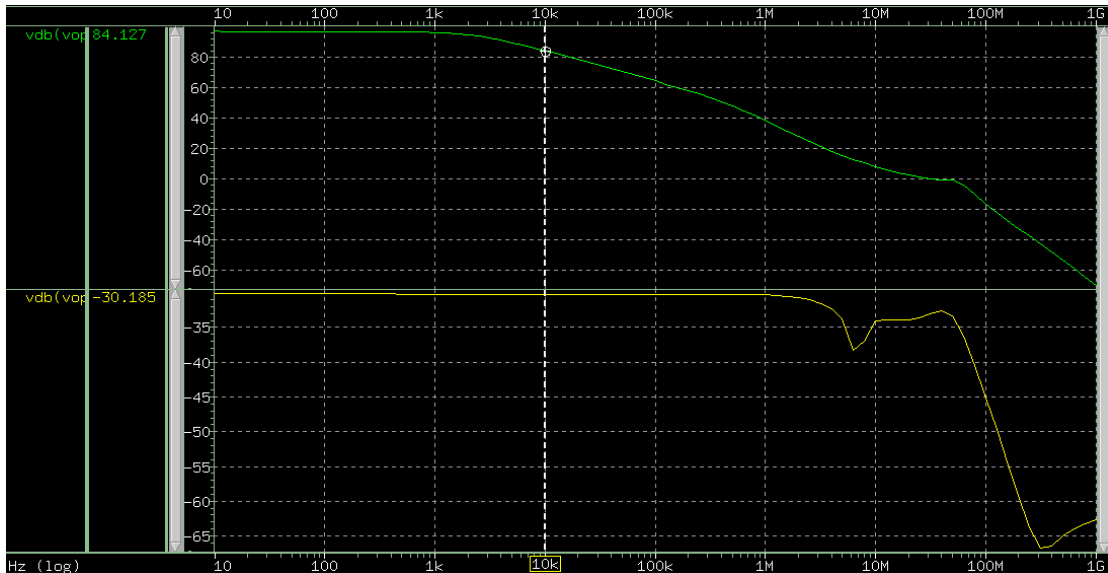
CMRR = 105.894dB

IV. Power Supply Rejection Ratio + (P.S.R.R.+):

PSRR+的定義是 $PSRR+ = \frac{A_{v,input_output}}{A_{v,VDD_output}}$ ，若將 gain 寫成 dB 形式，則

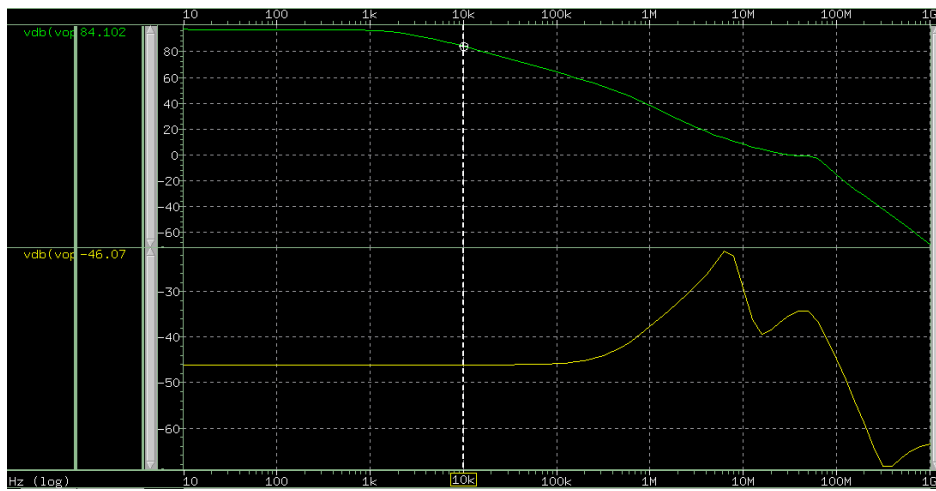
$PSRR+ = 20 \log(A_{v,input_output}) - 20 \log(A_{v,VDD_output})$ ，在 wave view 裡取頻率為 10 kHz 時的 gain 來做上式的計算，即可求得 PSRR+。

1. TT corner:

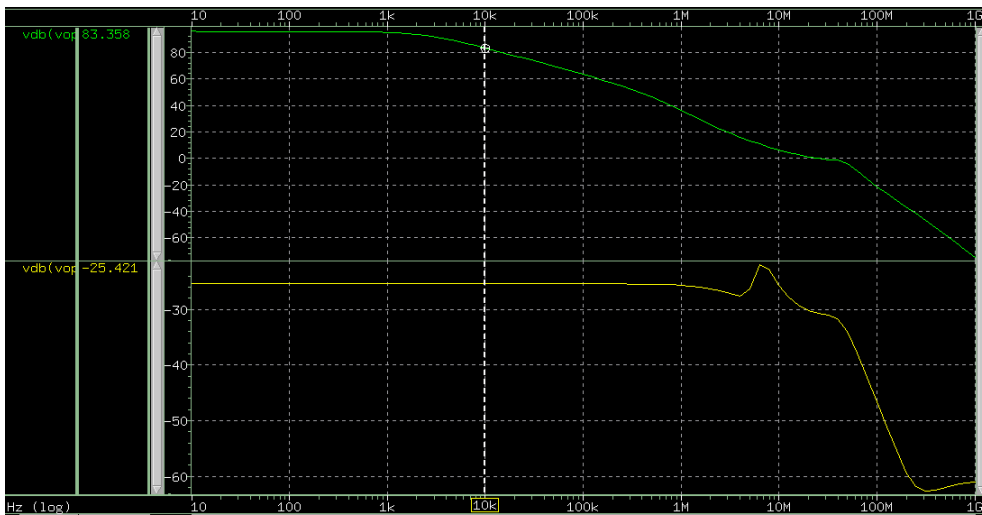


PSRR+ = 114.312dB

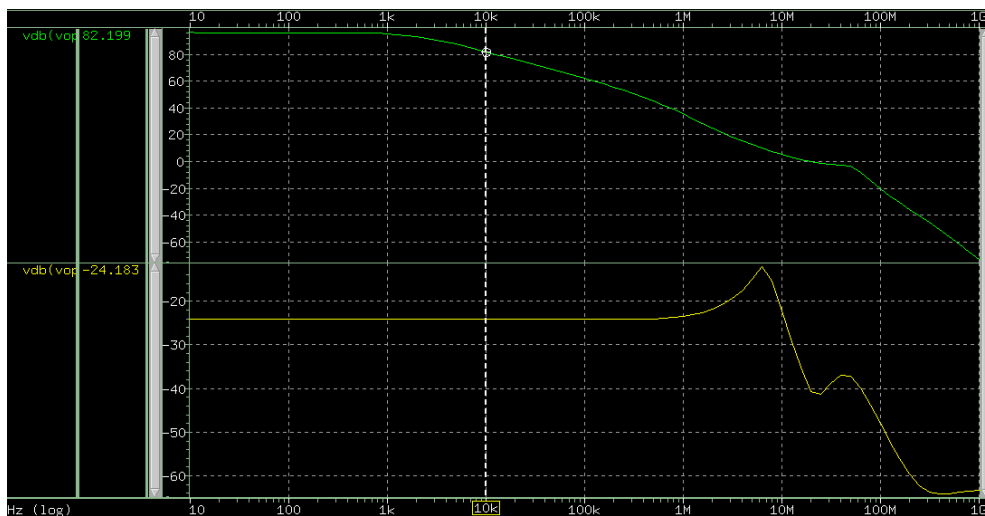
2. FF corner:



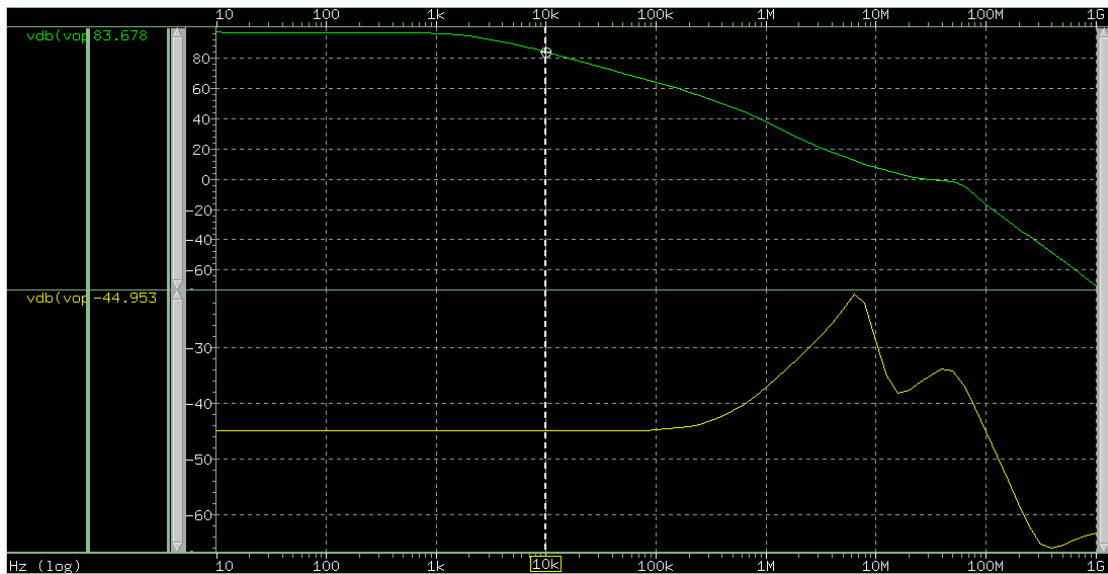
3. SS corner:



4. SF corner:



5. FS corner:

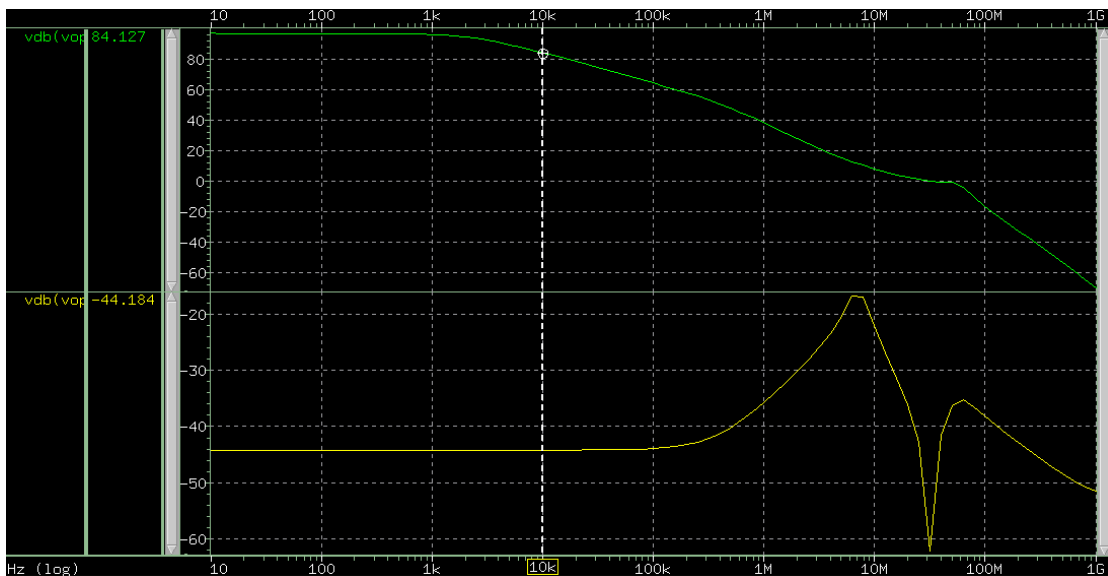


V. Power Supply Rejection Ratio – (P.S.R.R. –):

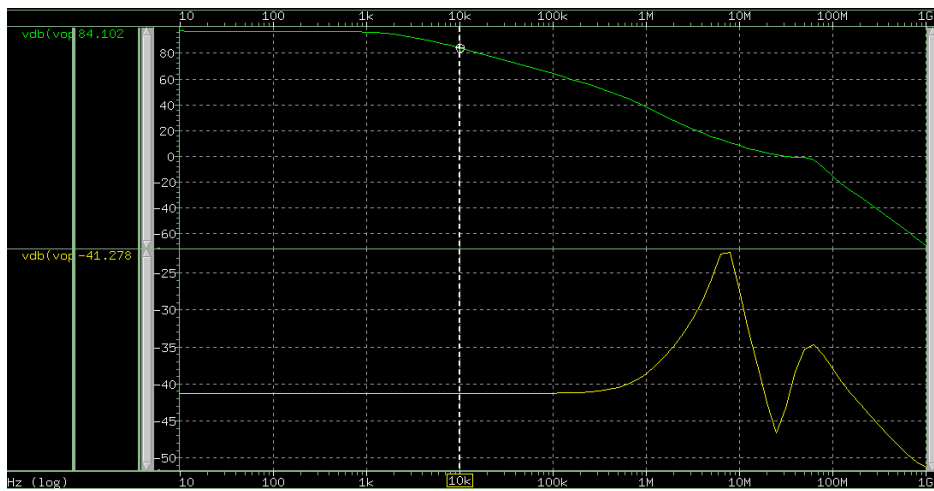
PSRR–的定義是 $PSRR- = \frac{A_{v,input_output}}{A_{v,GND_output}}$ ，若將 gain 寫成 dB 形式，則

$PSRR- = 20 \log(A_{v,input_output}) - 20 \log(A_{v,GND_output})$ ，在 wave view 裡取頻率為 10 kHz 時的 gain 來做上式的計算，即可求得 PSRR–。

1. TT corner:

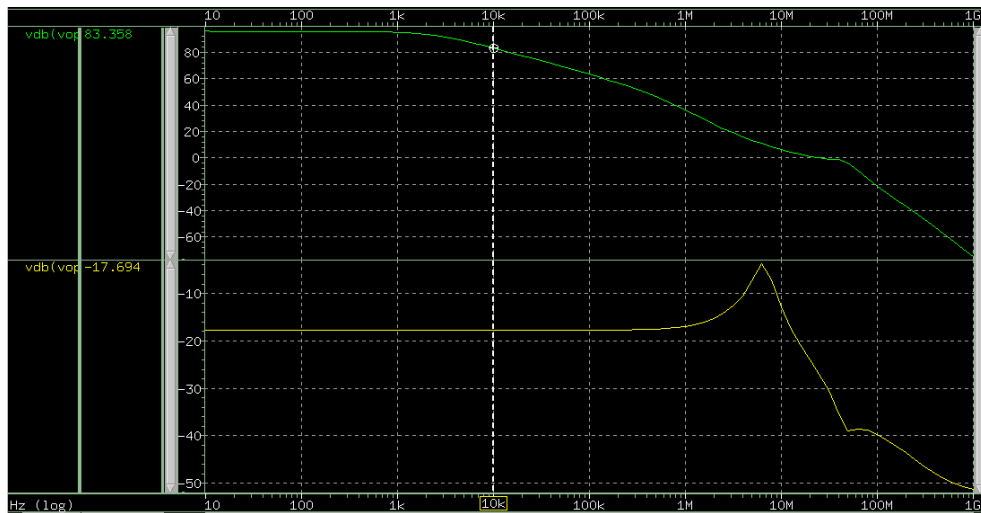


2. FF corner:



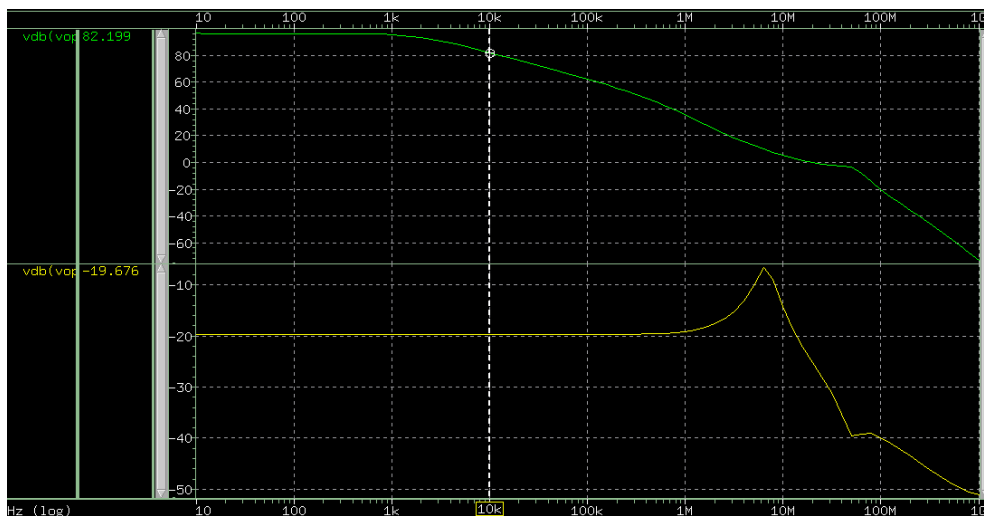
PSRR- = 125.38dB

3. SS corner:



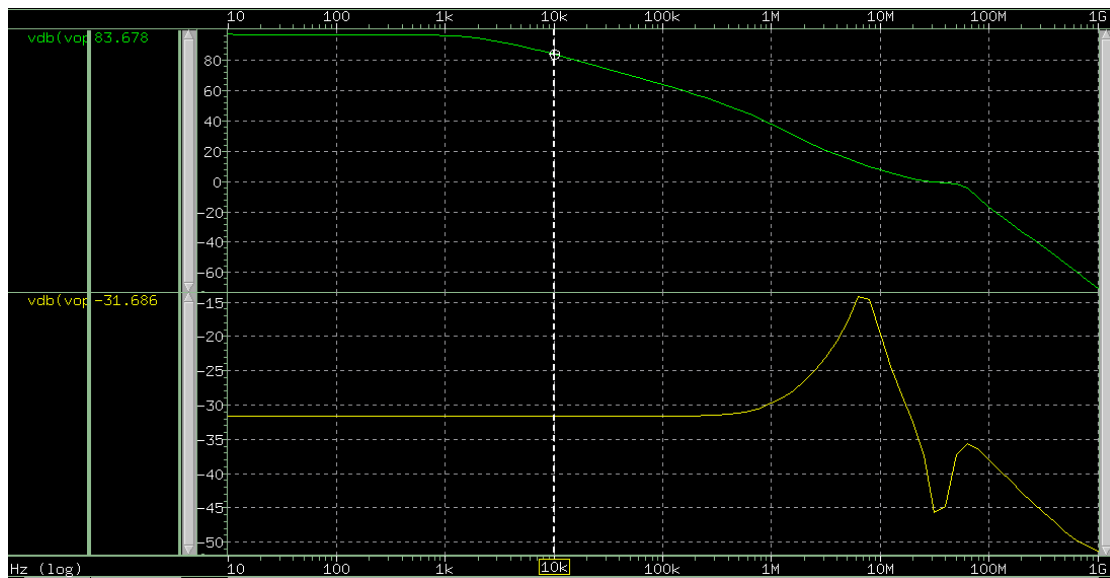
PSRR- = 101.052dB

4. SF corner:



PSRR- = 101.875dB

5. FS corner:



PSRR- = 115.364dB

VI. Slew Rate + (S.R.+) and Settling Time +:

從 15_stepp_lis 檔可以直接觀察到五個 corner 的 slew rate 和 settling time，pos_settling 是 settling time，srp 是 slew rate。

1. TT corner:

closed-loop step response+

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 4.9997E-01
hlimit= 5.0002E-01
llimit= 4.9992E-01
htime= 2.4906E-06
ltime= 6.3529E-07
pos_settling= 2.4406E-06
final1= 1.1069E+00
hlimit1= 1.1070E+00
llimit1= 1.1068E+00
htime1= 9.9306E-07
ltime1= 7.5026E-07
pos_settling1= 9.4306E-07
final2= 6.0693E-01
hlimit2= 6.0699E-01
llimit2= 6.0687E-01
htime2= 1.3004E-06
ltime2= 2.4910E-06
pos_settling2= 2.4410E-06
srp_time= 8.3190E-08 targ= 1.4535E-07 trig= 6.2161E-08
srp= 9.6166E+06
```

S.R.+ = 9.6166 V/us, Settling time = 2.4406 us

2. FF corner:

closed-loop step response+

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 4.9996E-01
hlimit= 5.0001E-01
llimit= 4.9991E-01
htime= 2.4144E-06
ltime= 7.2572E-07
pos_settling= 2.3644E-06
final1= 1.1029E+00
hlimit1= 1.1030E+00
llimit1= 1.1028E+00
htime1= 9.7611E-07
ltime1= 8.9573E-07
pos_settling1= 9.2611E-07
final2= 6.0296E-01
hlimit2= 6.0302E-01
llimit2= 6.0290E-01
htime2= 1.2630E-06
ltime2= 2.9942E-06
pos_settling2= 2.9442E-06
srp_time= 7.3803E-08 targ= 1.3531E-07 trig= 6.1502E-08
srp= 1.0840E+07
```

S.R.+ = 10.84 V/us, Settling time = 2.3644 us

3. SS corner:

closed-loop step response+

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 4.9998E-01
hlimit= 5.0003E-01
llimit= 4.9993E-01
htime= 1.6651E-06
ltime= 1.7611E-06
pos_settling= 1.7111E-06
final1= 1.1183E+00
hlimit1= 1.1184E+00
llimit1= 1.1182E+00
htime1= 1.6463E-06
ltime1= 1.2724E-06
pos_settling1= 1.5963E-06
final2= 6.1829E-01
hlimit2= 6.1835E-01
llimit2= 6.1823E-01
htime2= 1.3600E-06
ltime2= 1.2583E-06
pos_settling2= 1.3100E-06
srp_time= 1.0741E-07 targ= 1.7294E-07 trig= 6.5526E-08
srp= 7.4479E+06
```

S.R.+ = 7.4479 V/us, Settling time = 1.7111 us

4. SF corner:

closed-loop step response+

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 5.0000E-01
hlimit= 5.0005E-01
llimit= 4.9995E-01
htime= 1.8615E-06
ltime= 3.9205E-06
pos_settling= 3.8705E-06
final1= 1.1105E+00
hlimit1= 1.1106E+00
llimit1= 1.1104E+00
htime1= 1.2138E-06
ltime1= 1.1359E-06
pos_settling1= 1.1638E-06
final2= 6.1050E-01
hlimit2= 6.1056E-01
llimit2= 6.1044E-01
htime2= 3.1967E-06
ltime2= 1.6115E-06
pos_settling2= 3.1467E-06
srp_time= 8.2201E-08 targ= 1.4822E-07 trig= 6.6022E-08
srp= 9.7323E+06
```

S.R.+ = 9.7323 V/us, Settling time = 3.8705 us

5. FS corner:

closed-loop step response+

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= 5.0000E-01
hlimit= 5.0005E-01
llimit= 4.9995E-01
htime= 1.0157E-06
ltime= 2.0758E-06
pos_settling= 2.0258E-06
final1= 1.1057E+00
hlimit1= 1.1058E+00
llimit1= 1.1056E+00
htime1= 1.0866E-06
ltime1= 1.1627E-06
pos_settling1= 1.1127E-06
final2= 6.0569E-01
hlimit2= 6.0575E-01
llimit2= 6.0563E-01
htime2= 2.5300E-06
ltime2= 1.4635E-06
pos_settling2= 2.4800E-06
srp_time= 8.2453E-08 targ= 1.4523E-07 trig= 6.2772E-08
srp= 9.7025E+06
```

S.R.+ = 9.7025 V/us, Settling time = 2.0258 us

VII. Slew Rate – (S.R.–) and Settling Time –:

從 16_stepn_lis 檔可以直接觀察到五個 corner 的 slew rate 和 settling time，pos_settling 是 settling time，srp 是 slew rate。

1. TT corner:

closed-loop step response-

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -4.9997E-01
hlimit= -5.0002E-01
llimit= -4.9992E-01
htime= 2.4906E-06
ltime= 6.3529E-07
pos_settling= 2.4406E-06
final1= 6.0693E-01
hlimit1= 6.0699E-01
llimit1= 6.0687E-01
htime1= 1.3004E-06
ltime1= 2.4910E-06
pos_settling1= 2.4410E-06
final2= 1.1069E+00
hlimit2= 1.1070E+00
llimit2= 1.1068E+00
htime2= 9.9306E-07
ltime2= 7.5026E-07
pos_settling2= 9.4306E-07
srn_time= 8.3190E-08 targ= 1.4535E-07 trig= 6.2161E-08
srn= 9.6166E+06
```

S.R.– = 9.6166 V/us, Settling time = 2.4406 us

2. FF corner:

closed-loop step response-

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -4.9996E-01
hlimit= -5.0001E-01
llimit= -4.9991E-01
htime= 2.4144E-06
ltime= 7.2572E-07
pos_settling= 2.3644E-06
final1= 6.0296E-01
hlimit1= 6.0302E-01
llimit1= 6.0290E-01
htime1= 1.2630E-06
ltime1= 2.9942E-06
pos_settling1= 2.9442E-06
final2= 1.1029E+00
hlimit2= 1.1030E+00
llimit2= 1.1028E+00
htime2= 9.7611E-07
ltime2= 8.9573E-07
pos_settling2= 9.2611E-07
srn_time= 7.3803E-08 targ= 1.3531E-07 trig= 6.1502E-08
srn= 1.0840E+07
```

S.R.– = 10.84 V/us, Settling time = 2.3644 us

3. SS corner:

closed-loop step response-

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -4.9998E-01
hlimit= -5.0003E-01
llimit= -4.9993E-01
htime= 1.6651E-06
ltime= 1.7611E-06
pos_settling= 1.7111E-06
final1= 6.1829E-01
hlimit1= 6.1835E-01
llimit1= 6.1823E-01
htime1= 1.3600E-06
ltime1= 1.2583E-06
pos_settling1= 1.3100E-06
final2= 1.1183E+00
hlimit2= 1.1184E+00
llimit2= 1.1182E+00
htime2= 1.6463E-06
ltime2= 1.2724E-06
pos_settling2= 1.5963E-06
srn_time= 1.0741E-07 targ= 1.7294E-07 trig= 6.5526E-08
srn= 7.4479E+06
```

S.R.- = 7.4479 V/us, Settling time = 1.7111 us

4. SF corner:

closed-loop step response-

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -5.0000E-01
hlimit= -5.0005E-01
llimit= -4.9995E-01
htime= 1.8615E-06
ltime= 3.9205E-06
pos_settling= 3.8705E-06
final1= 6.1050E-01
hlimit1= 6.1056E-01
llimit1= 6.1044E-01
htime1= 3.1967E-06
ltime1= 1.6115E-06
pos_settling1= 3.1467E-06
final2= 1.1105E+00
hlimit2= 1.1106E+00
llimit2= 1.1104E+00
htime2= 1.2138E-06
ltime2= 1.1359E-06
pos_settling2= 1.1638E-06
srn_time= 8.2201E-08 targ= 1.4822E-07 trig= 6.6022E-08
srn= 9.7323E+06
```

S.R.- = 9.7323 V/us, Settling time = 3.8705 us

5. FS corner:

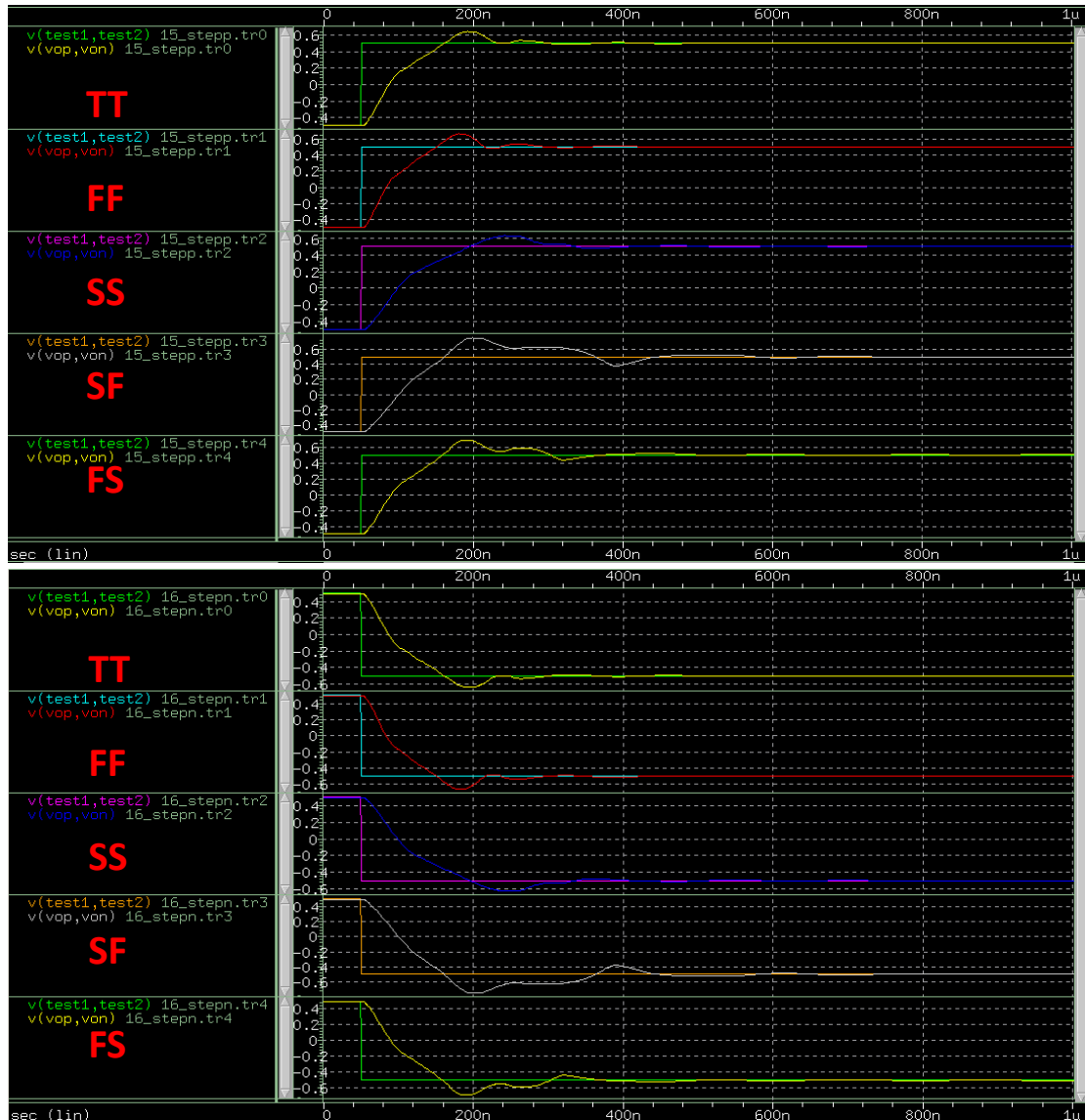
closed-loop step response-

```

***** transient analysis tnom= 25.000 temp= 25.000 *****
final= -5.0000E-01
hlimit= -5.0005E-01
llimit= -4.9995E-01
htime= 1.0157E-06
ltime= 2.0758E-06
pos_settling= 2.0258E-06
final1= 6.0569E-01
hlimit1= 6.0575E-01
llimit1= 6.0563E-01
htime1= 2.5300E-06
ltime1= 1.4635E-06
pos_settling1= 2.4800E-06
final2= 1.1057E+00
hlimit2= 1.1058E+00
llimit2= 1.1056E+00
htime2= 1.0866E-06
ltime2= 1.1627E-06
pos_settling2= 1.1127E-06
srn_time= 8.2453E-08 targ= 1.4523E-07 trig= 6.2772E-08
srn= 9.7025E+06

```

S.R.– = 9.7025 V/us, Settling time = 2.0258 us



VIII. Specification Table:

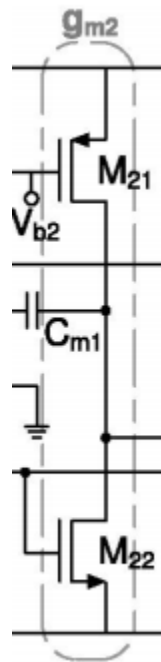
| Specification | | | | | | |
|--------------------------|--------------------------------------|-----------|-----------|-----------|-----------|-----------|
| Design Items | Specifications | TT | SS | SF | FS | FF |
| Technology | CIC pseudo technology | | | | | |
| Supply voltage | <1.8V, low as possible | 1.4V | 1.4V | 1.4V | 1.4V | 1.4V |
| power | <5mW (10%) Small as possible | 2.0046 | 1.981 | 1.9856 | 1.9985 | 2.0313 |
| Loading | 100pF / 20K Ω | | | | | |
| DC gain | >90dB (10%) large as possible | 96.826dB | 95.971dB | 96.55dB | 96.776dB | 97.191dB |
| GBW | >20MHz (10%) large as possible | 30.991 | 24.844 | 20.063 | 27.944 | 31.45 |
| P.M. | >60°(10%) | 73.499° | 71.619° | 76.367° | 75.538° | 75.441° |
| C.M.R.R.@10KHz | >100db (5%) | 108.289 | 98.962 | 99.04 | 105.894 | 111.593 |
| P.S.R.R.+@10KHz | >100db (7.5%) | 114.312 | 108.779 | 106.382 | 128.631 | 130.173 |
| P.S.R.R.-@10KHz | >100db (7.5%) | 128.311 | 101.051 | 101.875 | 115.364 | 125.381 |
| Unity-gain configuration | | | | | | |
| S.R.+(10% ~ 90%) | >5V/us (7.5%) | 9.6166 | 7.4479 | 9.7323 | 9.7025 | 10.84 |
| S.R.-(10% ~ 90%) | >5V/us (7.5%) | 9.6166 | 7.4479 | 9.7323 | 9.7025 | 10.84 |
| Settling+(1Vpp,0.01) | <5us (7.5%) | 2.4406 us | 1.7111 us | 3.8705 us | 2.0258 us | 2.3644 us |
| Settling-(1Vpp,0.01) | <5us (7.5%) | 2.4406 us | 1.7111 us | 3.8705 us | 2.0258 us | 2.3644 us |
| Figure of Merit (FoM) | | | | | | |
| Small signal | $\frac{GBW(MHz)}{Power(mW)}$ (5%) | 15.4599 | 12.5411 | 10.1043 | 13.9825 | 15.4827 |
| Large signal | $\frac{SR(V/us)}{Power(mW)}$ (5%) | 4.7973 | 3.7597 | 4.9014 | 4.8549 | 5.3365 |

by CCHsieh

(從 Demo 完的 spec table 掃描而來的~hahaha)

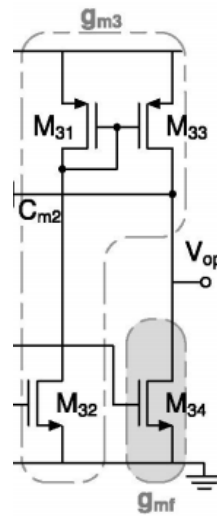
低頻的位置，導致做完 compensation 後 pole 往前移，使得 gain 太早開始掉，導致在 10KHz 時的 CMRR、PSRR+、PSRR- 達不到要求的 100dB，因此我們選擇增加比較多的 g_m ，而 R_{out} 則 design 在適當的大小。為了讓 input MOS 的 g_m 變大，我們將 M12、M13 的 size 調大，也讓 M14 的電流大多流向 M12、M13，但須注意的是這些 MOS 的 m 不宜太大，否則寄生電容太大會使得 step response 很難 settle，最後得到差不多 45~60dB 左右的 gain，pole 的位置差不多在 1MHz 以外，即完成我們的第一級 design。

(2) Second stage



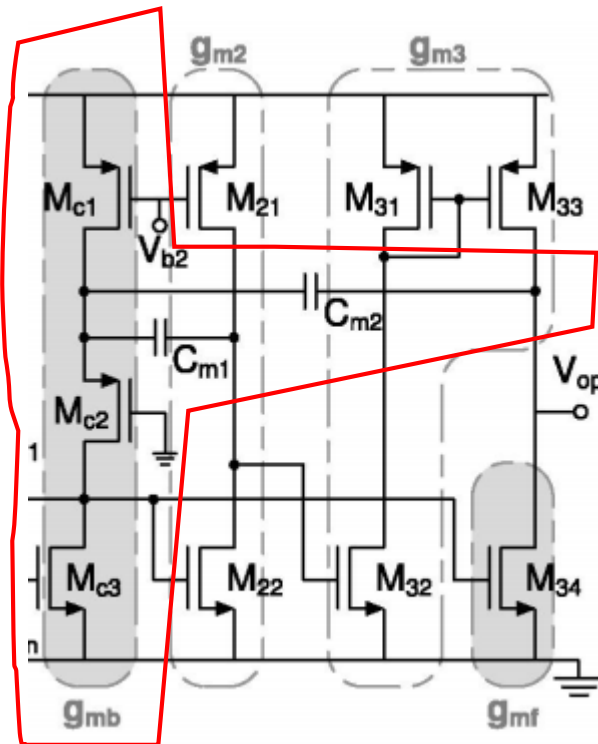
第二級是簡單的 common source，由一顆 PMOS 和一顆 NMOS 組成，M22 這顆 NMOS 當成 input，M21 這顆 PMOS 當成 active load，此級主要的目的是為要提高整顆 OP 的 gain，因在第一級的 gain 還無法到達要求的 spec，因此需要加上此級來激升 gain，此級的 gain 大概有 40~50 就足夠可以讓整顆 OP 有 90dB 的 gain 了，此級的 gain 可以表示成 $g_{m22} \times (r_{o22} \parallel r_{o21})$ ，因此我們要提升 M22 的 g_m ，所以要把 M22 的 size 加大以達到我們的需求。

(3) Third stage



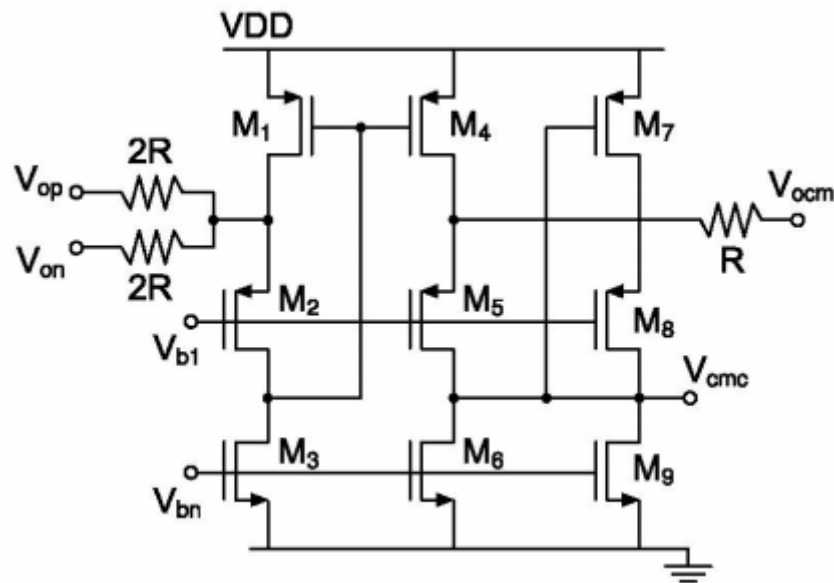
第三級為了衝高 slew rate 而做的電路，從前一級的 output 會變成 M32 的 Input voltage，然後經過 M32 這顆 MOS 會 V 轉 I 變成 current，使得 M31 和 M33 變成 current mirror，而我們知道 slew rate 的公式約等於 $\frac{I}{C}$ ，因此為了讓 output 有較大的電流來提高 slew rate，我們設計 M33 的 size 大於 M31 來達成 spec。另外，M34 有點像是這一級 gain 的 g_m ，將第一級的 output 電壓當作 input 電壓，是 feed forward 的路徑，用來提高 slew rate，也要將 M34 的 size 設計大一點。

(4) Compensation Circuit



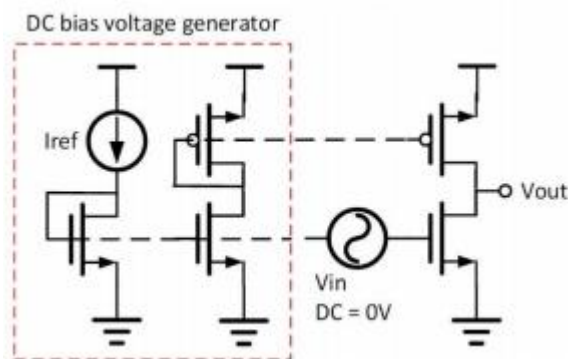
為了要有比較好的 PM，我們用了這個 nested miller compensation 讓 PM 可以好一點，這邊的 C_{m1} 跟 C_{m2} 和一個 buffer 連接，就像是和 resistor 連接一樣，適當的調整 C 的大小(C 不建議取太大 10p 以內)可以消除 RHP zero(有許多 zero 藏在 20M Hz)，但是在調整的同時可以發現 PM 跟 GBW 會有一個 tradeoff，不能調整得太過頭，這樣總有一個東西會被搶走太多，後來我們也選擇了比較好的 PM，然後讓 GBW 可以大約超過 20M 多一點就好了。

II. Common Mode Feedback



我們認為這是此次 OP amplifier 最重要的架構，WITHOUT IT, WE GONNA FAIL，由此可知他的重要性， V_{op} 和 V_{on} 會藉由 $2R$ 電阻 sense 到 M_1 的 drain 端， V_{ocm} 是我們想要讓 output common mode 的電壓(也就是 $V_{DD}/2$)，藉由 R 電阻 sense 到 M_4 的 drain 端，此兩個電阻 sense 出的電壓會互相比較，經由電流大小不一樣來改變 V_{cmc} ，進而達到 common mode feedback 的目的。

III. Biasing Circuit



我們會做這個電路是因為之前在寫作業時也有用過，他除了可以產

生 mos 所需要的偏壓之外，最大的目的是因為為了適應五個不一樣的 corner。在改變 corner 時，mos 的 V_{th} 會有較大的波動，想要得到可以隨著波動變化的偏壓就會用這種電路，值得注意的是 mos 的 size 需要跟想要偏壓那個 mos 是一樣的，這樣才能確保流過的電流接近，產生幾乎固定的偏壓電壓，最後藉由一個外加的 I_{ref} 讓偏壓出來。

另外，在聽從助教的解惑後，我們也有嘗試在 diode connected 的 PMOS 上方在加一顆 PMOS，助教說這樣會讓這個 biasing circuit 更加穩定，但我們還是無法做出想要的 performance，所以最後還是維持我們原本的電路。(但真的有發現會較準一點)

D. Discussion and conclusion:

這次的 final project 真的是非常的不簡單，一開始我們以為期末考考完後可以再開始慢慢地打，所以耍廢了好幾天，當剩下六天的時候我們聽從學長的建議必須要開始做了，不然會來不及，於是乎就開始動工了。

我們一開始就是一級一級的製作電路，因為這麼大的一個電路對我們來說一氣呵成應該是很難的，不如一步一步來，至少可以避免較多的錯誤。但是殊不知我們在做第一級的時候，還不太清楚會發生甚麼事情，於是想說不如就先追求越大的 gain 越好，於是我們發揮了電路的極限，得到了一個高 gain 但是殊不知可怕的就在此後，當接上第二級之後，發現原本的電路壞了，許多 mos 都 cutoff 了，這就像是當你期末考考很爛，但是因為有人考 100 分所以不能調分的那種絕望。後來我們試過了好幾種第一級的架構，像是捨棄論文上面的 folded cascode，改成我們熟悉的 telescopic 的架構，但後來試一試發現：柏鈞真的很厲害，還是聽他的好。

於是我們經過一番討論之後發現：這個 final 真的很不簡單，想必助教是花了許多心機在這裡頭，為了怕我們做不出最後完美的 final，經過討論之後我們決定要先保住我們一線生機，那就是一個人做 1.8V(感覺比較好做)，另外一個人做 1.4V(可以加上 bonus 的分數)，並且固定一段時間和對方更新自己對於這個電路的了解與新發現。俗話說，競爭使人發揮 200% 的實力，這句話真的很有道理，我們兩個人為了看誰先做出一個比較穩定、不會動不動就 cutoff 的電路，卯足了全力，終於在第三天我們做出了一個還算能夠動的 OP，雖然有些 spec 還沒有達到要求，但是樂觀的我們覺得這真的是一件好事，為了慶祝這件事，我們去了召喚峽谷慶祝一圈才回來，這個時候已經來到了第四天。

現在回過頭來看，才發現原來難的東西不是做出一整個有 feedback 的電路，重點是當我們想要微調這整個電路時，我們要知道動這個 mos 的 size 會影響到這個電路的那些表現，是變好還是變壞，這些都需要靠不斷的嘗試、還有過人的記憶力才能完成這艱難的工作，因為我們總是要記得上一次我們改變了哪裡，哪一個表現變好了，哪一個表現變差了，讓我想到電機系某位教授沉浸於中醫的薰陶，常常說紮一針就可以治好你身上的不舒服，這種牽一髮而動全

身的概念我想就跟這次的電路有十分類比的觀念呀!

隨著 **deadline** 越來越接近，我們也越來越緊張，我們覺得上課時我們學到的都是一個一個分散開來的觀念，**cascode, feedback, current mirror** 這些東西都是很基本的，但是當全部組合在一起之後，我們就變得礙手礙腳的，調整這邊就失去那邊，一來一往的 **tradeoff** 不只考驗我們的耐心，也在不知不覺中讓我們漸漸地熟悉這些電路。尤其是那個 **Settling time**，他不知道傷了多少人的心，每

張永德



e04

當我們想要檢查他時，總是顯示 $5.00E-04$ ，真的是 **E04**，還好，我們有足夠的時間與他奮鬥，終於在最後讓他在規定的時間 **settle** 住了，真的非常的開心。

跟 **OP** 火拼了六天，我們覺得這真的是極限了，雖然到最後還有兩個 **CMRR** 沒有到，而且都在 **99.XXX**，但我們覺得這個 **OP** 在這個時候最有活力，所以就不想要再為難他，於是就派他出去 **DEMO** 了，最後，這學期修了類比之後覺得我們還是有許多可以再進步的地方，因為並不是每一個地方都學得非常懂，能做完這個 **OP** 要謝的人真的太多了，想起實驗室學長講過的一句話，要謝的人太多了，那就謝志成的助教吧，謝謝你們不厭其煩地幫助我們不管是完成平常的作業還是 **final project**。