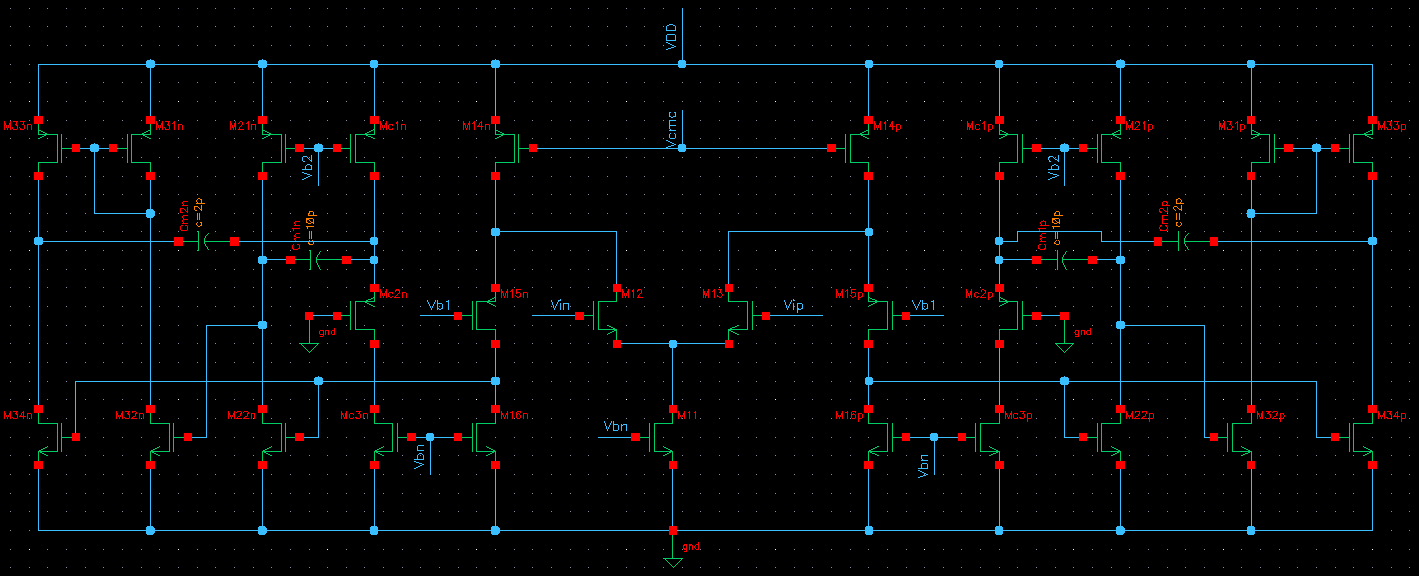
**AIC Final project**

**OP Amplifier**

**NTHU EE 102061219 林淳濂**

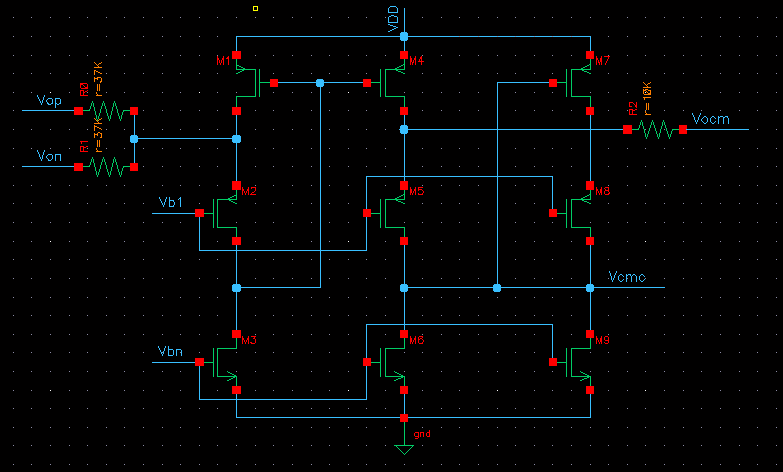
**NTHU EE 102061248 彭千威**

**No pain, No gain.**

1. **Schematic:**
2. **Core Amplifier Circuit**

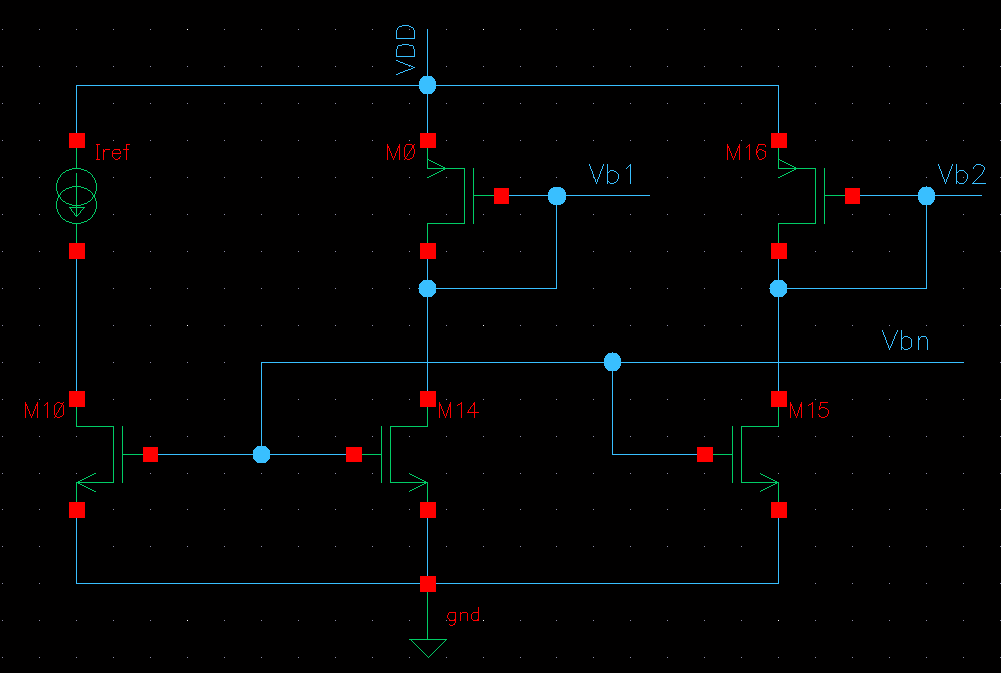
**Device size：**

|  |  |  |  |
| --- | --- | --- | --- |
| Mos name | W | L | M |
| M11 | 1 | 1 | 160 |
| M12 | 1 | 0.5 | 102 |
| M13 | 1 | 0.5 | 102 |
| M14p/ M14n | 1 | 1 | 100 |
| M15p/ M15n | 1 | 1 | 100 |
| M16p/ M16n | 1 | 1 | 100 |
| Mc1p/Mc1n | 1 | 1 | 10 |
| Mc2p/Mc2n | 1 | 1 | 12 |
| Mc3p/Mc3n | 1 | 1 | 1 |
| M21p/M21n | 1 | 1 | 6 |
| M22p/M22n | 1 | 1 | 21 |
| M31p/M31n | 1 | 1 | 20 |
| M32p/M32n | 1 | 1 | 18 |
| M33p/M33n | 1 | 0.4 | 21 |
| M34p/M34n | 1 | 1 | 28 |
| Cm1p/Cm1n | 10p | | |
| Cm2p/Cm2n | 2p | | |

1. **Common-Mode Feedback：**

**Device size：**

|  |  |  |  |
| --- | --- | --- | --- |
| Mos name | W | L | M |
| M1 | 1 | 1 | 10 |
| M2 | 1 | 1 | 80 |
| M3 | 1 | 1 | 30 |
| M4 | 1 | 1 | 10 |
| M5 | 1 | 1 | 80 |
| M6 | 1 | 1 | 30 |
| M7 | 1 | 1 | 10 |
| M8 | 1 | 1 | 15 |
| M9 | 1 | 1 | 5 |
| R0/R1 | 37K ohm | | |
| R2 | 10K ohm | | |

1. **Biasing Circuit：**

**Device size：**

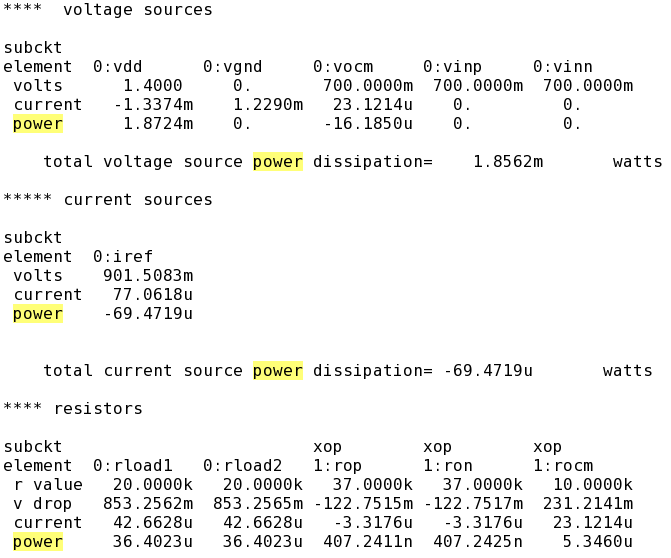
|  |  |  |  |
| --- | --- | --- | --- |
| Mos name | W | L | M |
| M0 | 1 | 1 | 6 |
| M10 | 1 | 1 | 40 |
| M14 | 1 | 1 | 40 |
| M15 | 1 | 1 | 10 |
| M16 | 1 | 1 | 3 |

Here the Iref=77.0618u, and we want this circuit to generate Vb1= 0.3v, Vb2=0.5v, Vbn=0.6v

1. **Simulation results:**
2. Power:

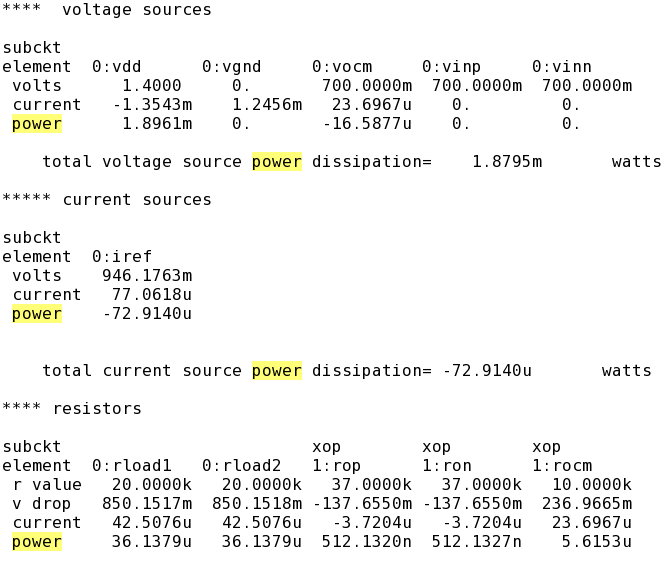
從11\_ac.lis檔裡找到五個corner的voltage source、current source和resistor個別消耗的power，然後加總起來即為Total Power consumption。

1. TT corner:



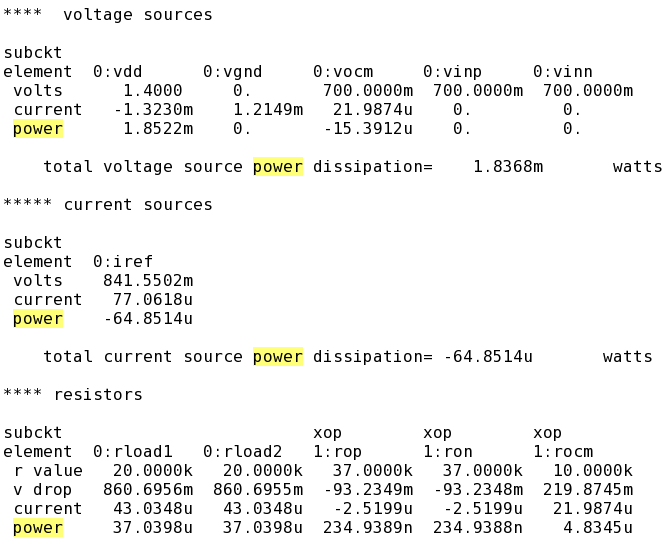
Total power = 2.0046mV

1. FF corner:



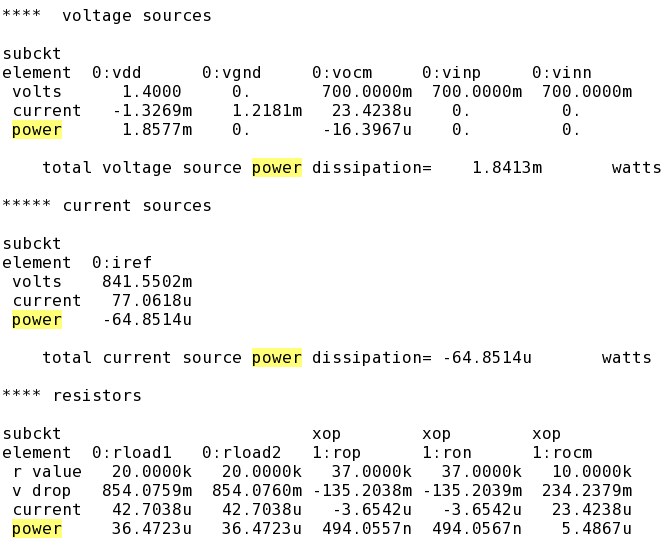
Total power = 2.0313mV

1. SS corner:



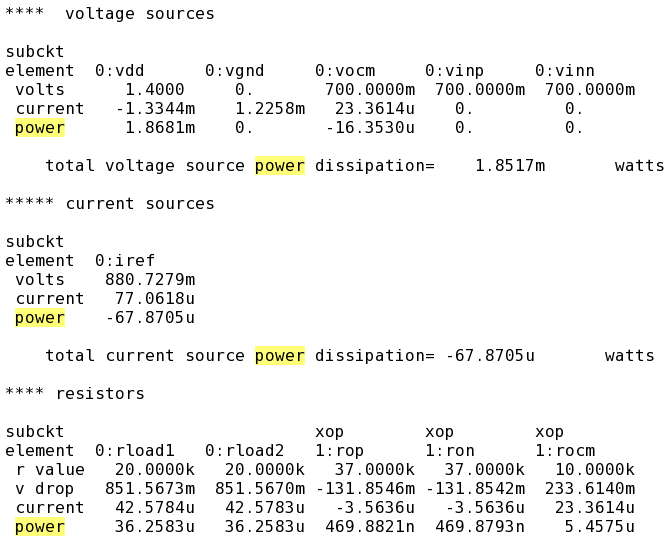
Total power = 1.981mV

1. SF corner:



Total power = 1.9856mV

1. FS corner:

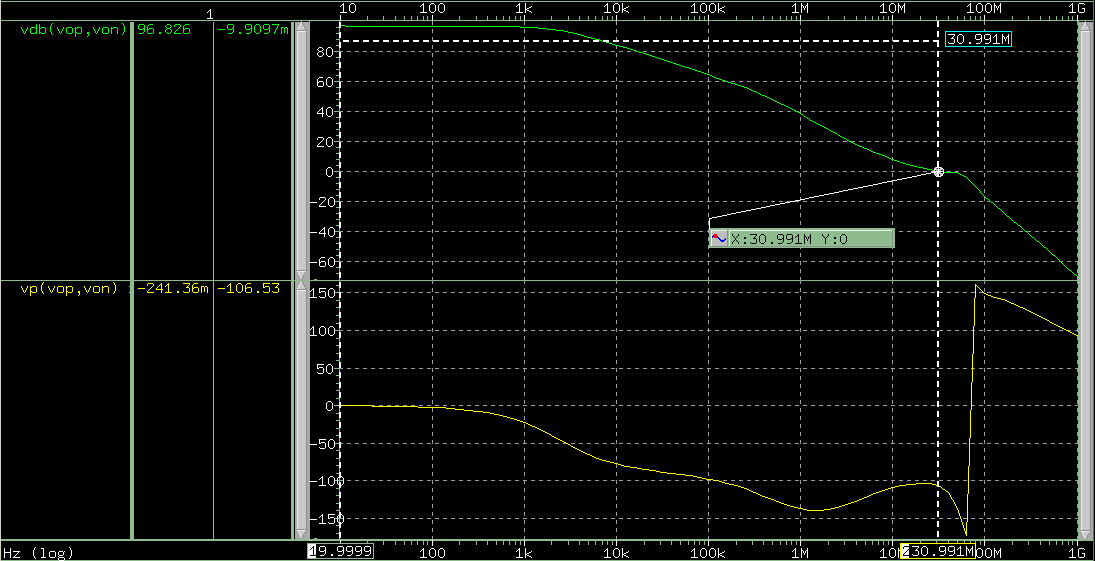


Total power = 1.9985mV

1. DC Gain, Gain Bandwidth(GBW) and Phase Margin(P.M.):

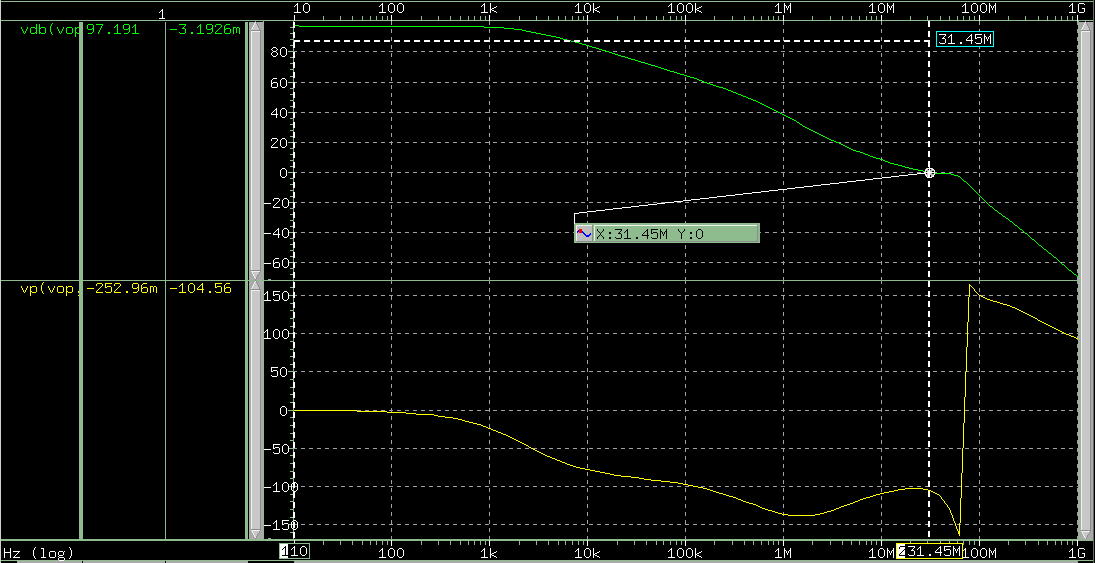
DC gain是看低頻的flat band位置，在這裡我們是取頻率為10Hz時的gain視為DC gain；Gain bandwidth是取unity gain bandwidth，也就是gain等於0dB時的點當作GBW；Phase margin是看頻率在unity gain bandwidth時的phase是幾度，然後再加上180度，即可求得P.M.。

1. TT corner:



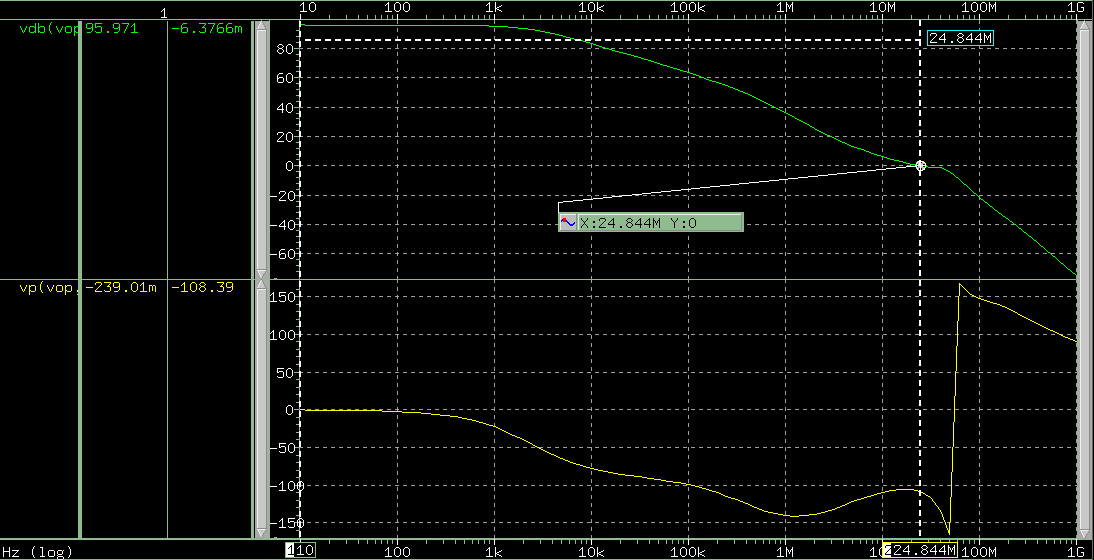
DC gain = 96.826dB , GBW = 30.991MHz , PM = 73.47

1. FF corner:



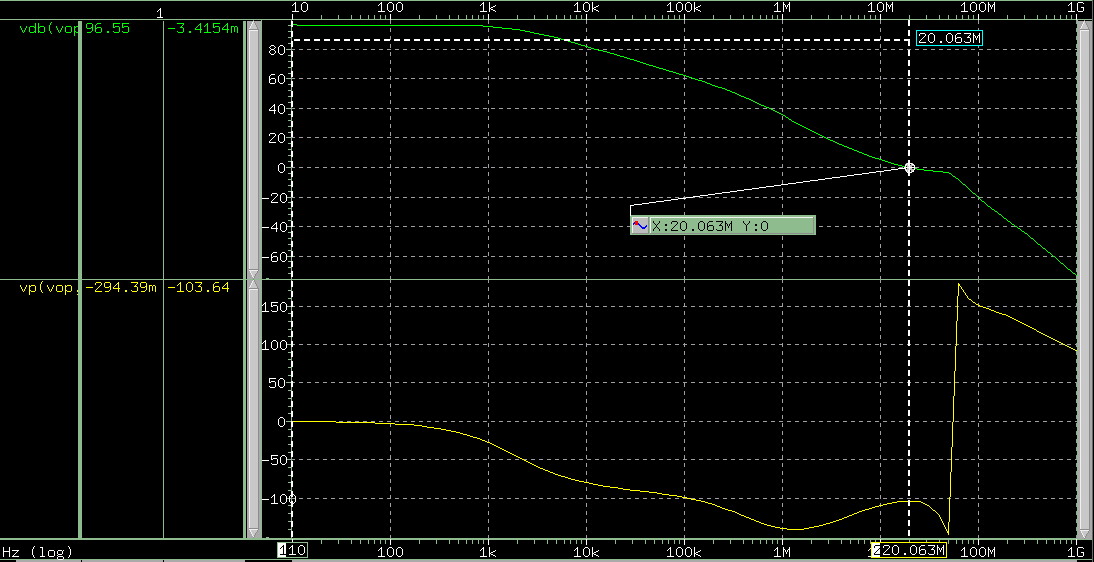
DC gain = 97.191dB , GBW = 31.45MHz , PM = 75.44

1. SS corner:



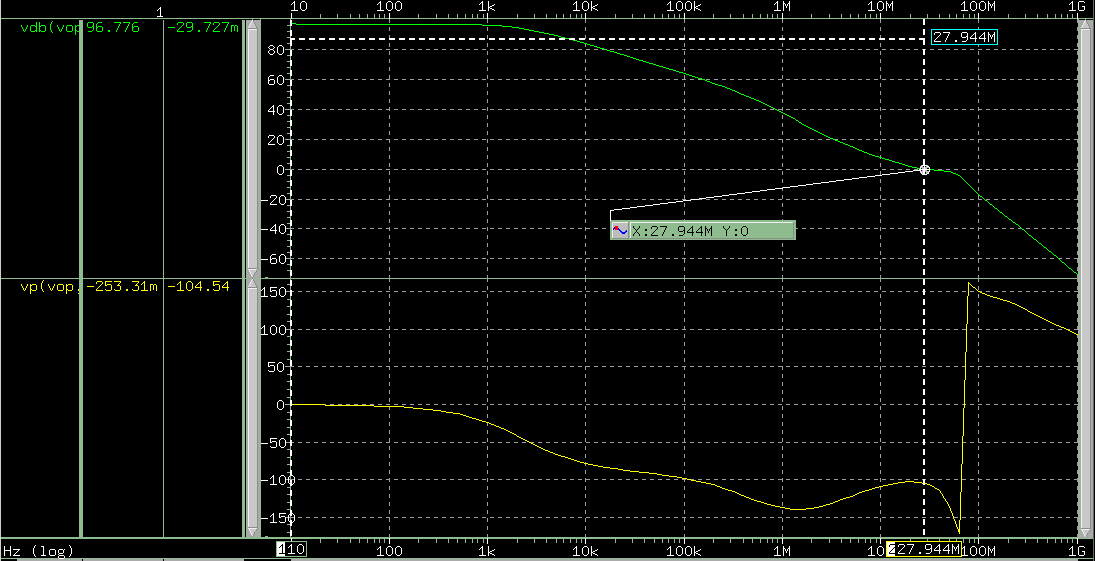
DC gain = 95.971dB , GBW = 24.844MHz , PM = 71.61

1. SF corner:



DC gain = 96.55dB , GBW = 20.063MHz , PM = 72.36

1. FS corner:

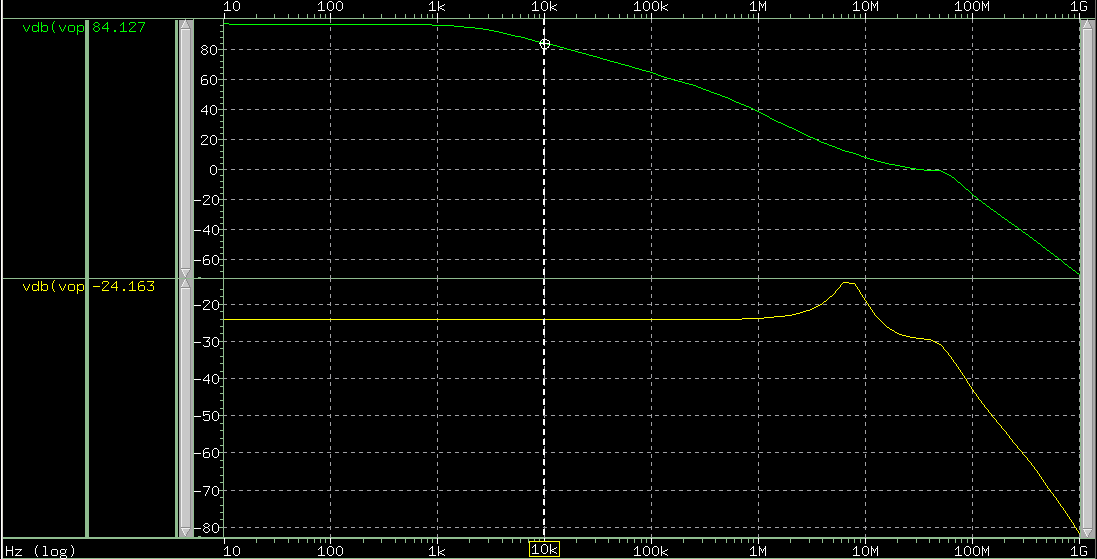


DC gain = 96.776dB , GBW = 27.944MHz , PM = 75.36

1. Common Mode Rejection Ratio (C.M.R.R.):

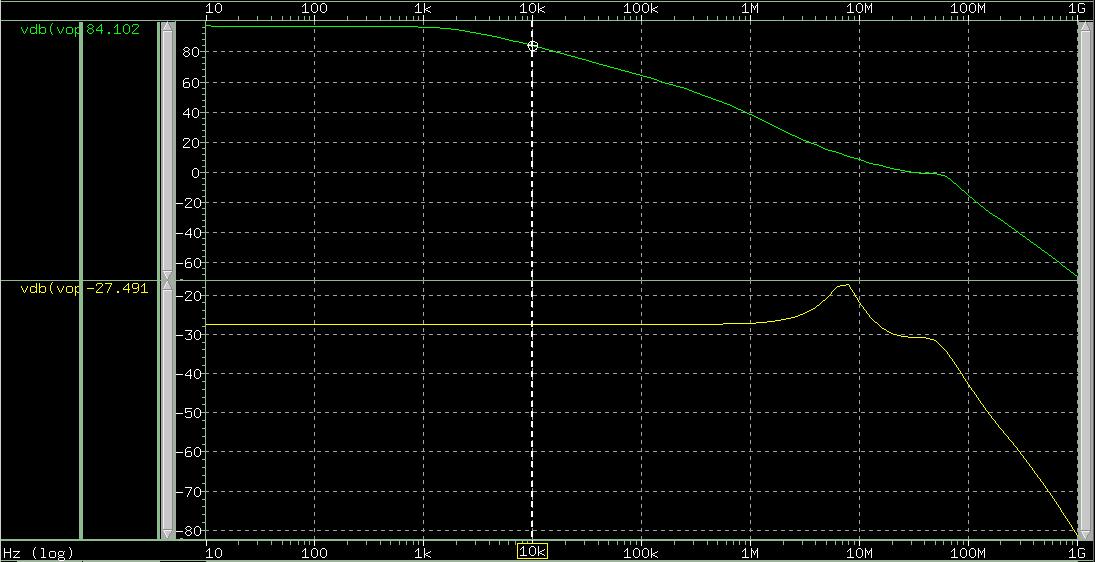
CMRR的定義是，若將gain寫成dB形式，則，在wave view裡取頻率為10 kHz時的gain來做上式的計算，即可求得CMRR。

1. TT corner:



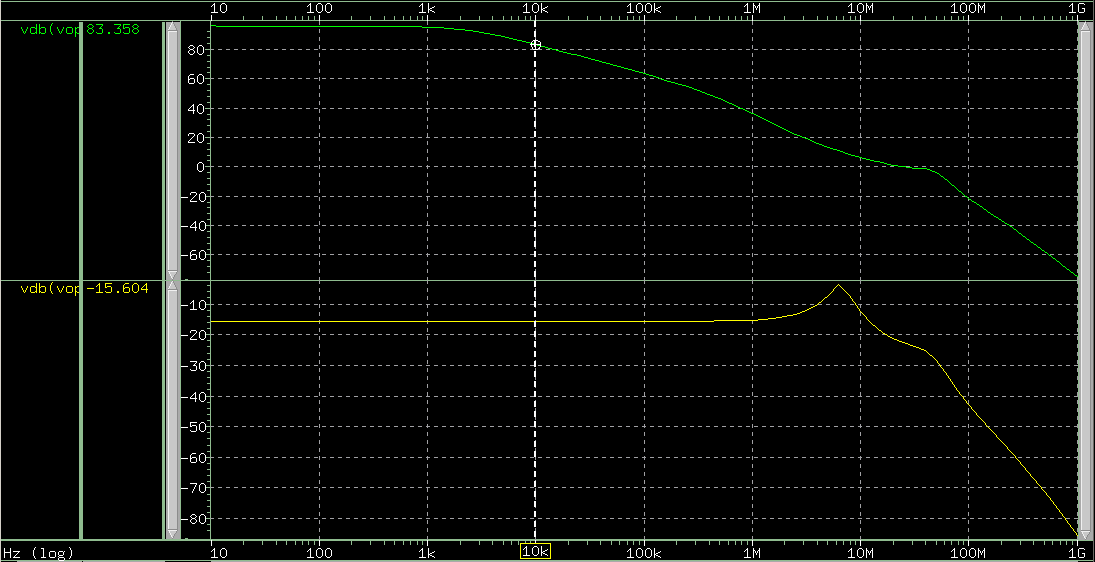
CMRR = 108.29dB

1. FF corner:



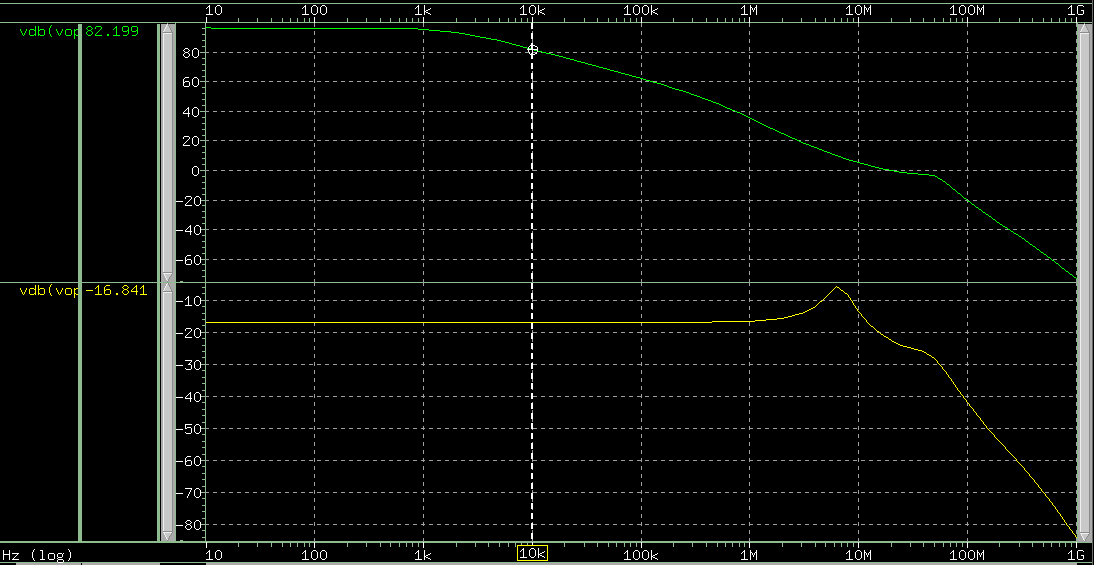
CMRR = 111.593dB

1. SS corner:



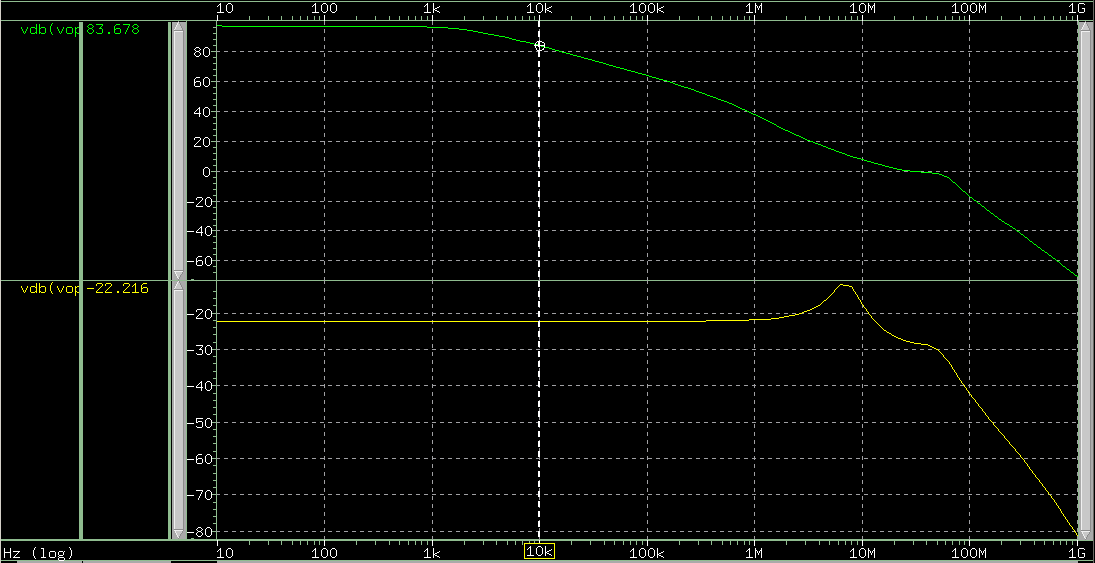
CMRR = 98.962 dB

1. SF corner:



CMRR = 99.04dB

1. FS corner:

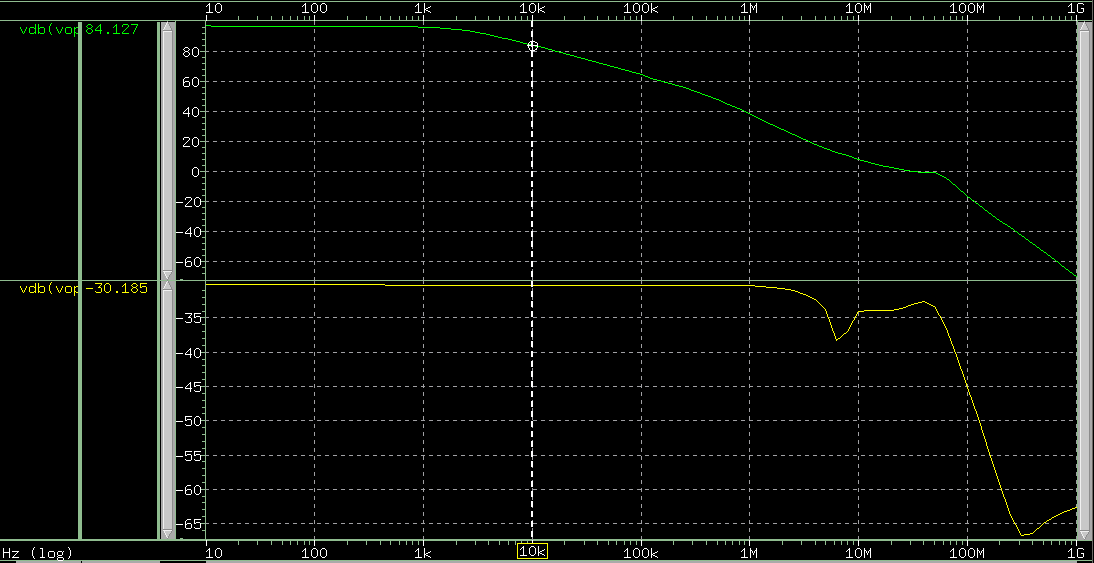


CMRR = 105.894dB

1. Power Supply Rejection Ratio + (P.S.R.R.+):

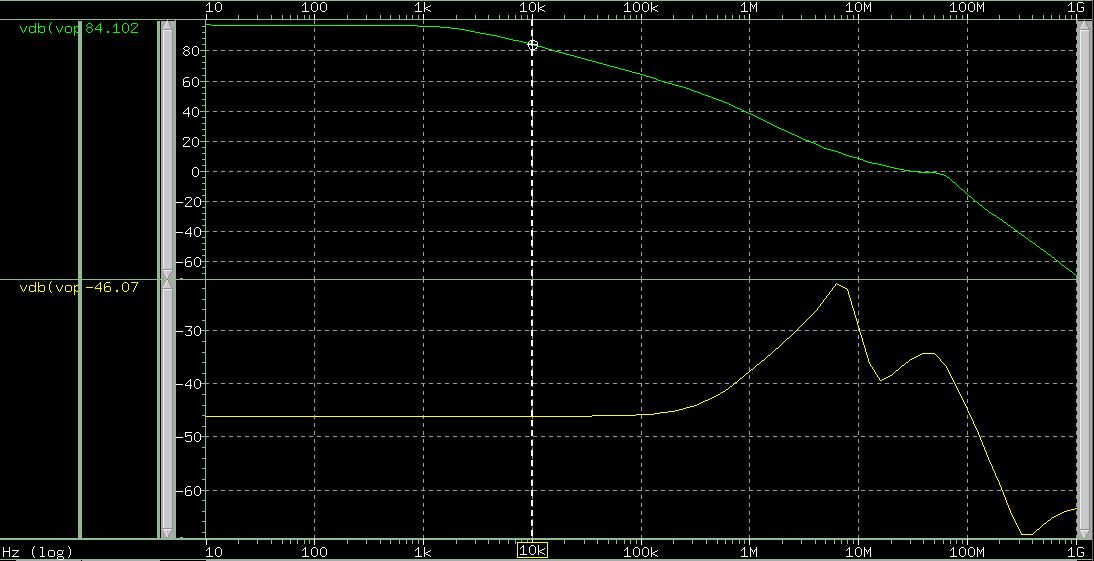
PSRR+的定義是，若將gain寫成dB形式，則，在wave view裡取頻率為10 kHz時的gain來做上式的計算，即可求得PSRR+。

1. TT corner:



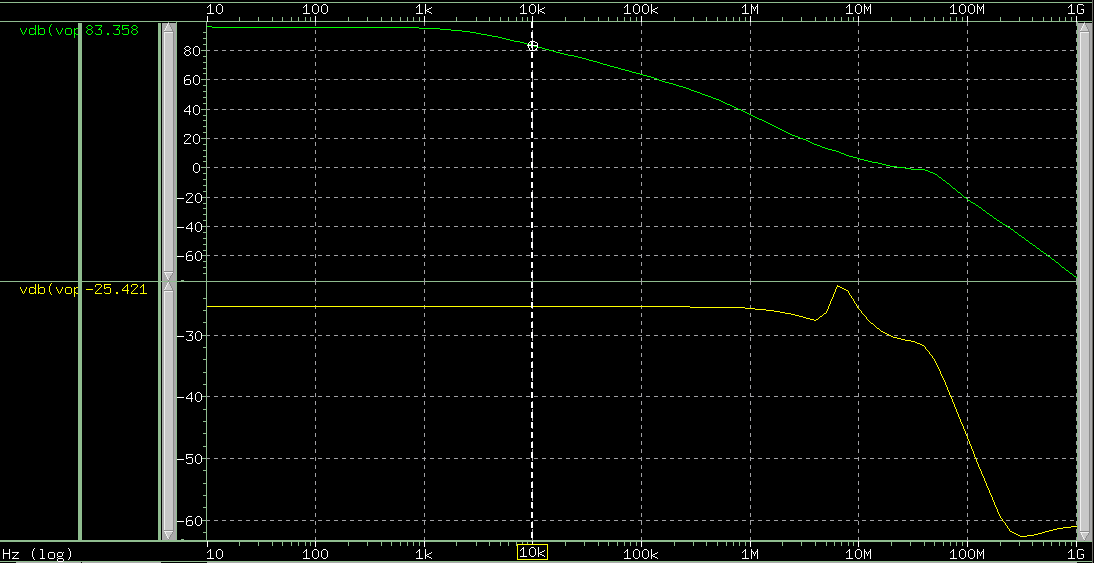
PSRR+ = 114.312dB

1. FF corner:



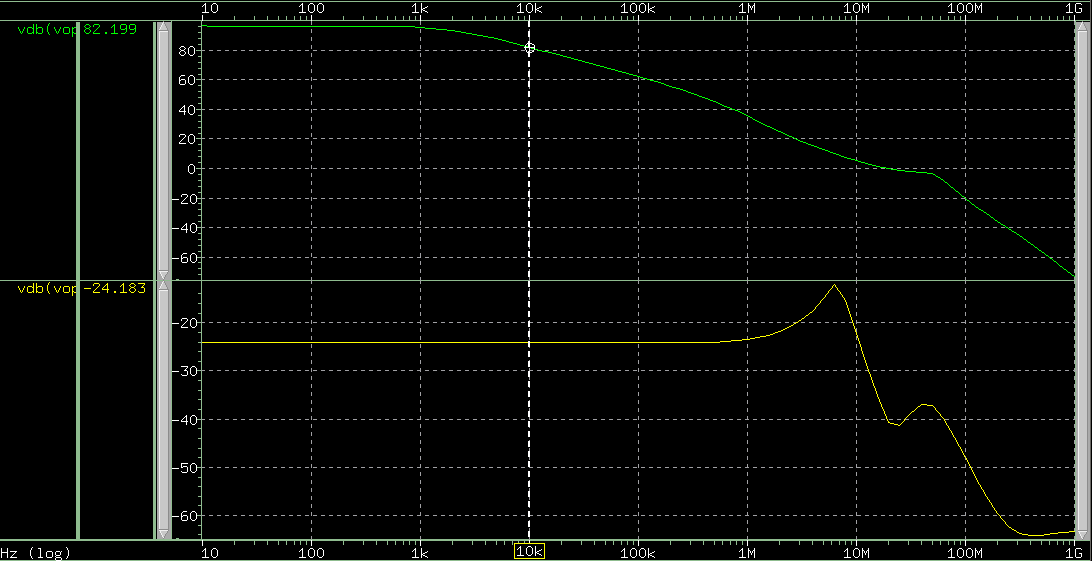
PSRR+ = 120.172dB

1. SS corner:



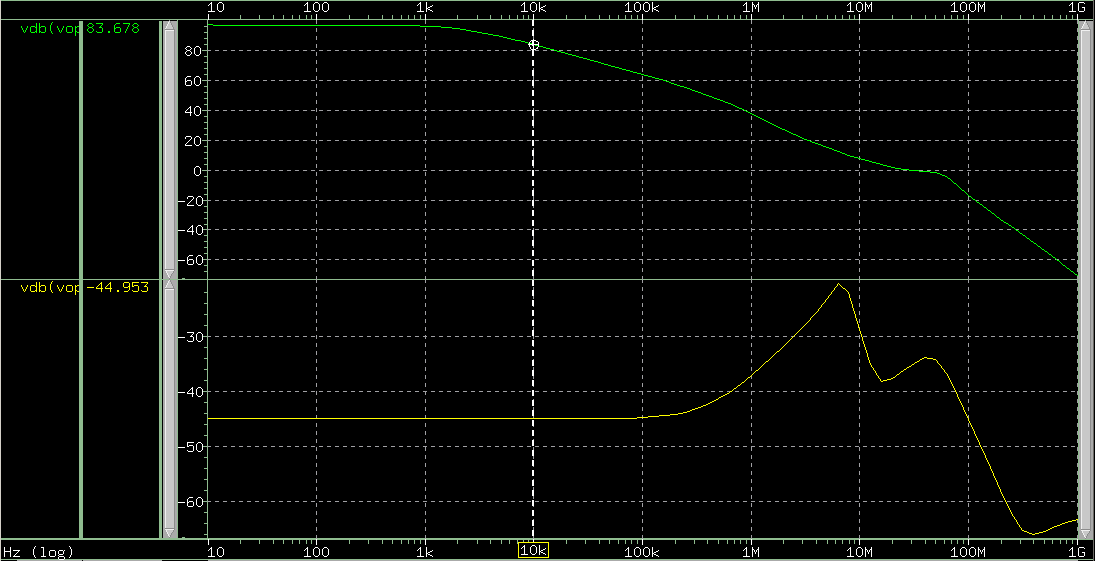
PSRR+ = 108.779dB

1. SF corner:



PSRR+ = 106.382dB

1. FS corner:

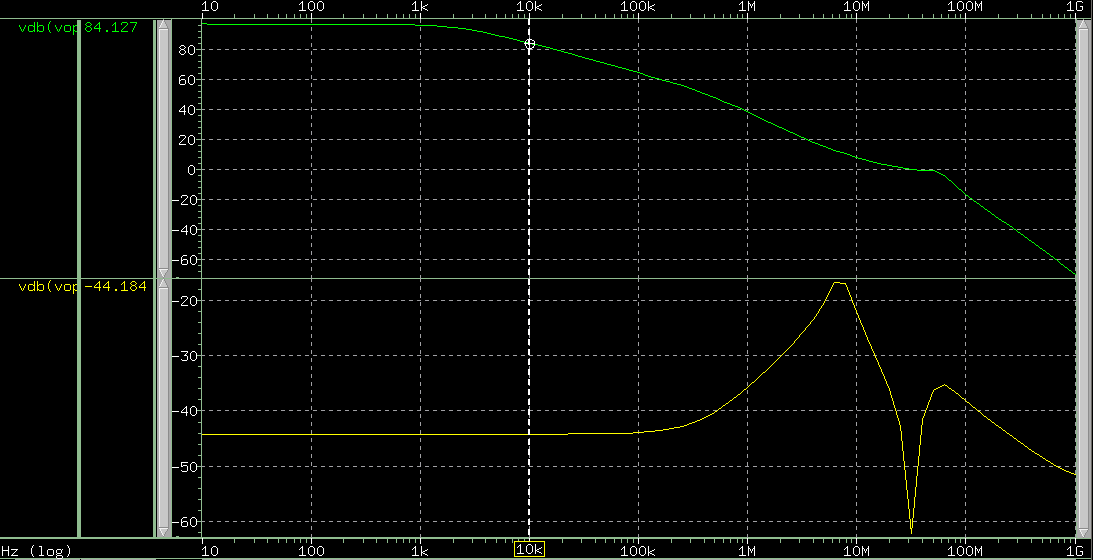


PSRR+ = 128.631dB

1. Power Supply Rejection Ratio – (P.S.R.R. –):

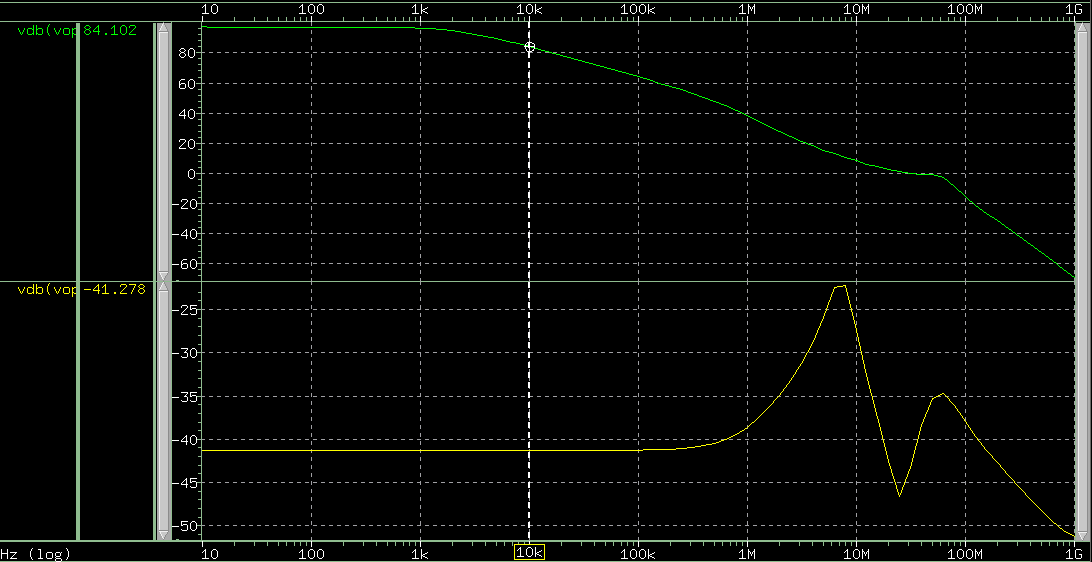
PSRR–的定義是，若將gain寫成dB形式，則，在wave view裡取頻率為10 kHz時的gain來做上式的計算，即可求得PSRR–。

1. TT corner:



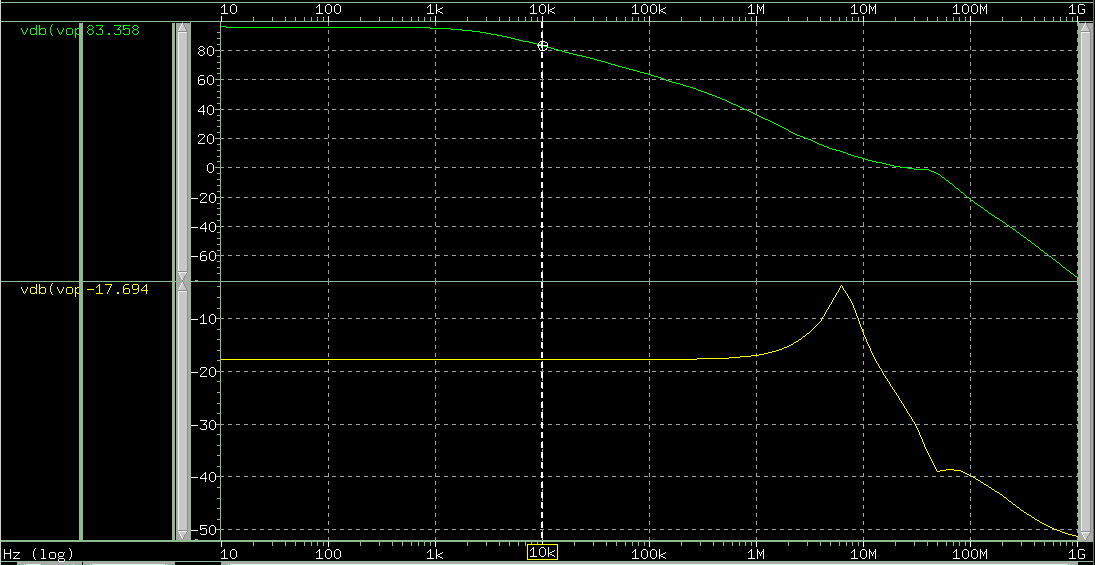
PSRR– = 128.311dB

1. FF corner:



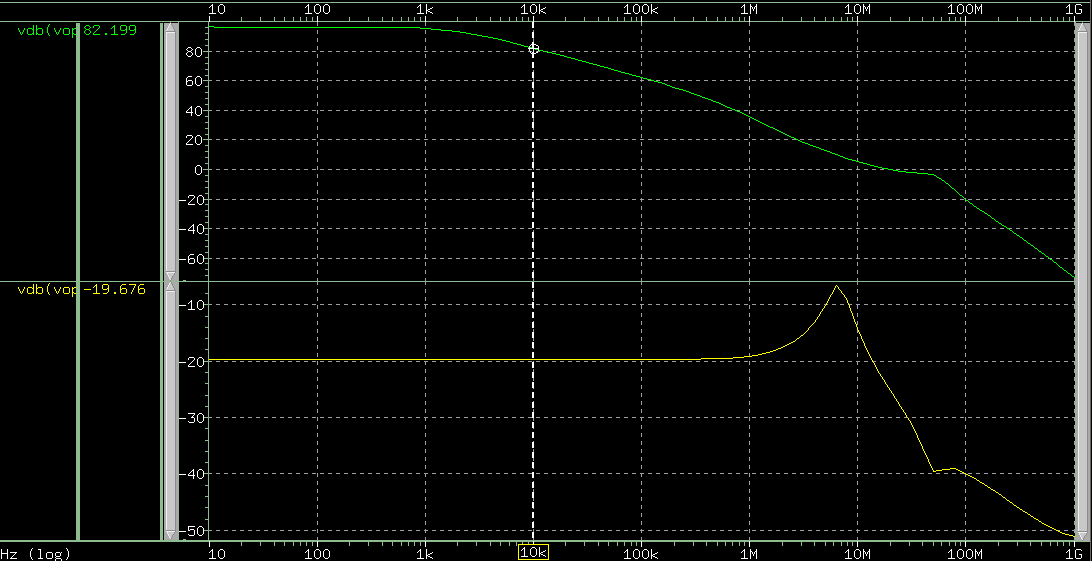
PSRR– = 125.38dB

1. SS corner:



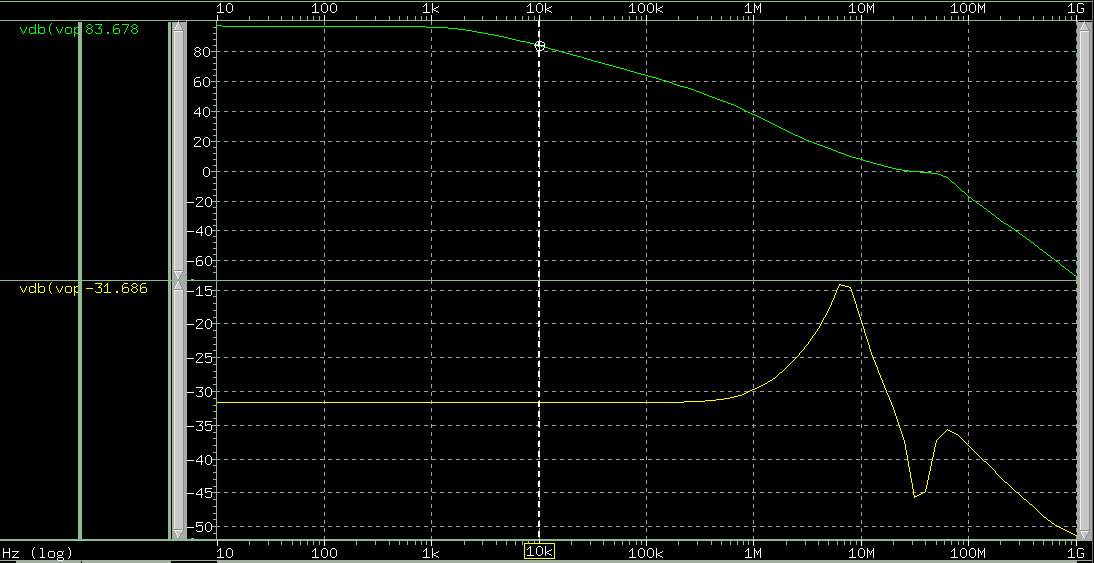
PSRR– = 101.052dB

1. SF corner:



PSRR– = 101.875dB

1. FS corner:

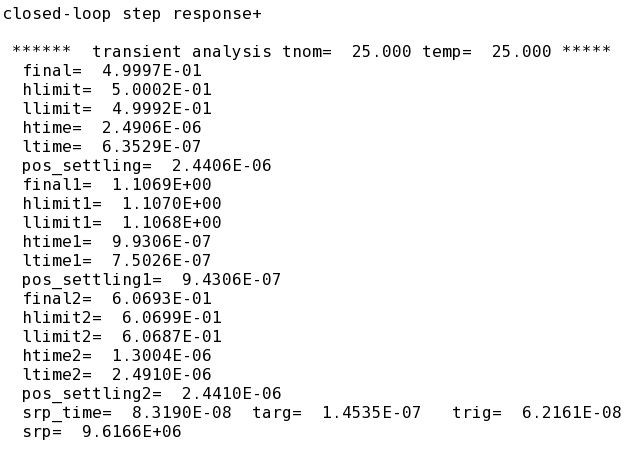


PSRR– = 115.364dB

1. Slew Rate + (S.R.+) and Settling Time +:

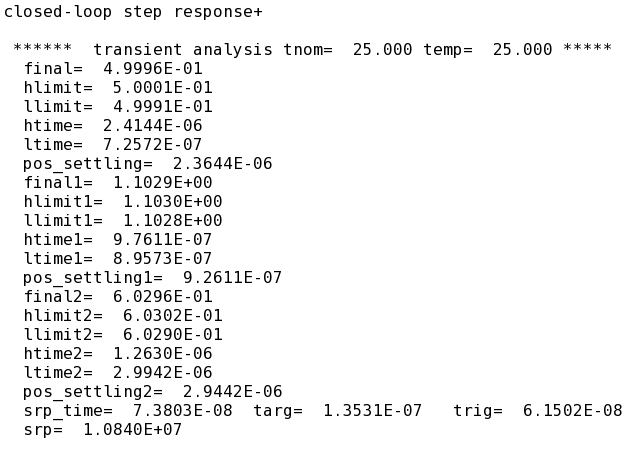
從15\_stepp\_lis檔可以直接觀察到五個corner的slew rate和settling time，pos\_settling是settling time，srp是slew rate。

1. TT corner:



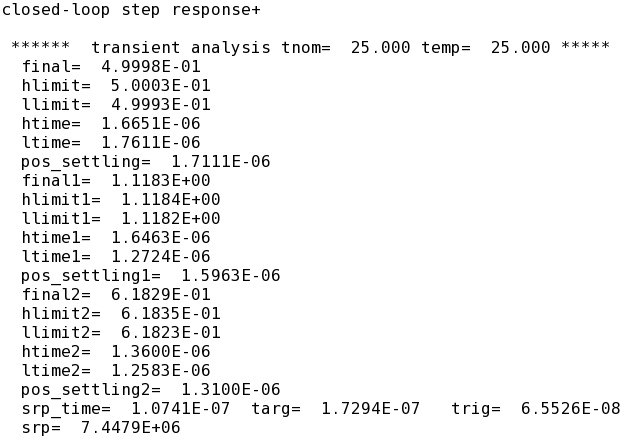
S.R.+ = 9.6166 V/us, Settling time = 2.4406 us

1. FF corner:



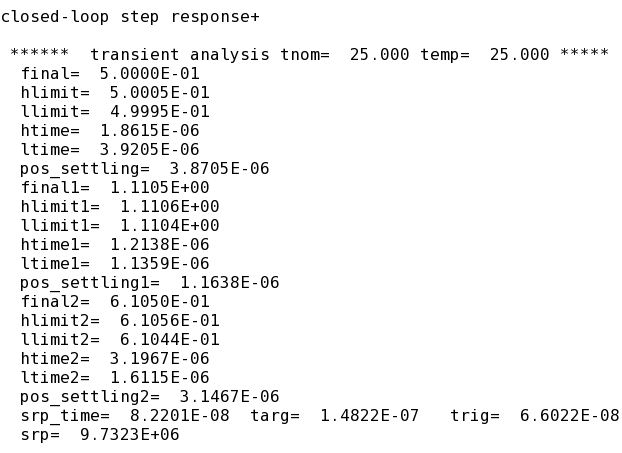
S.R.+ = 10.84 V/us, Settling time = 2.3644 us

1. SS corner:



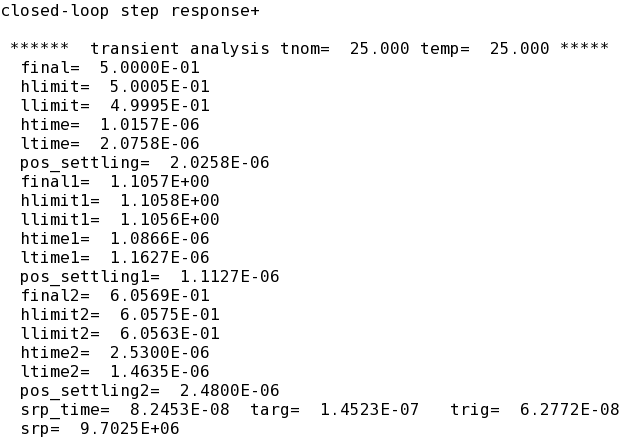
S.R.+ = 7.4479 V/us, Settling time = 1.7111 us

1. SF corner:



S.R.+ = 9.7323 V/us, Settling time = 3.8705 us

1. FS corner:

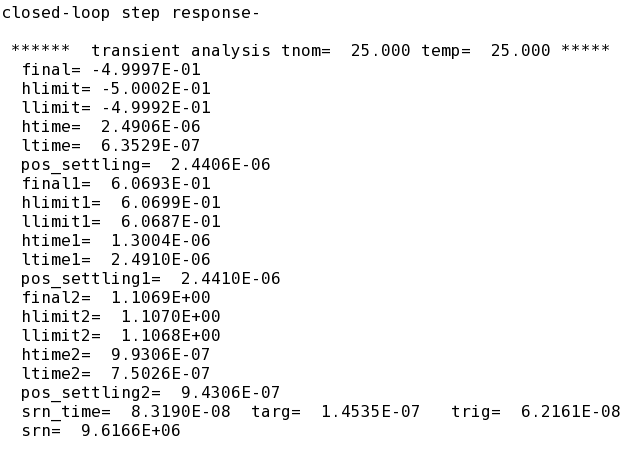


S.R.+ = 9.7025 V/us, Settling time = 2.0258 us

1. Slew Rate – (S.R.–) and Settling Time –:

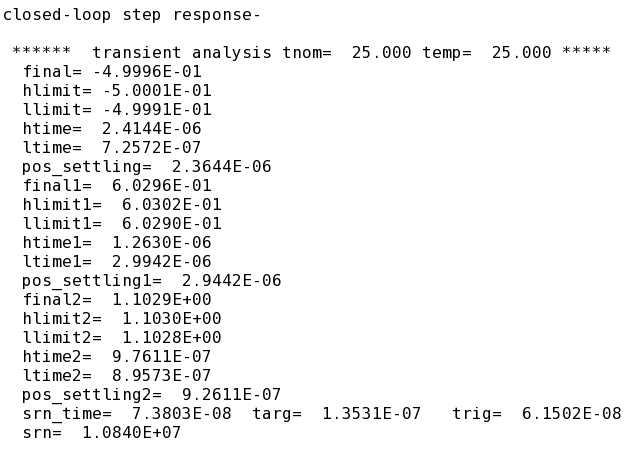
從16\_stepn\_lis檔可以直接觀察到五個corner的slew rate和settling time，pos\_settling是settling time，srp是slew rate。

1. TT corner:



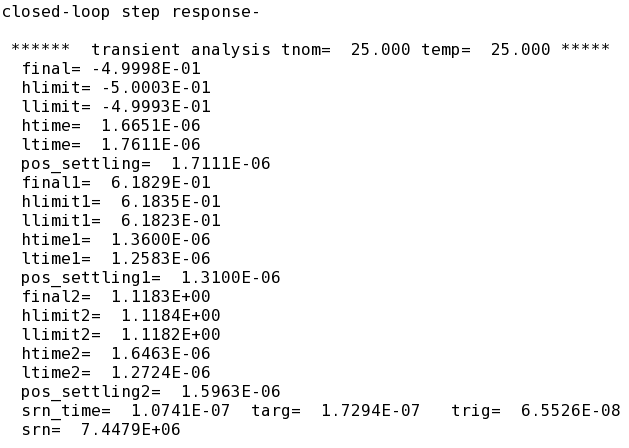
S.R.– = 9.6166 V/us, Settling time = 2.4406 us

1. FF corner:



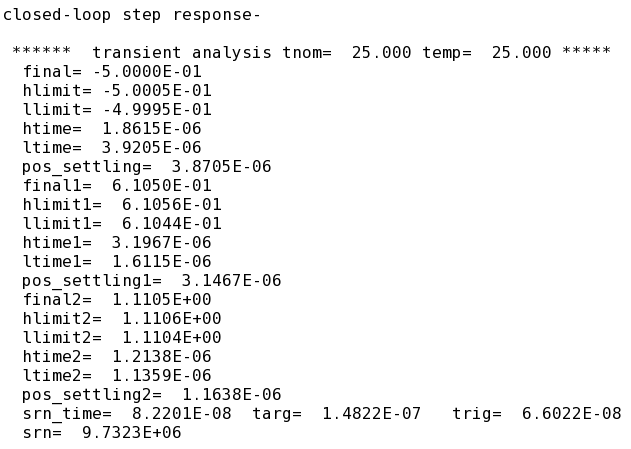
S.R.– = 10.84 V/us, Settling time = 2.3644 us

1. SS corner:



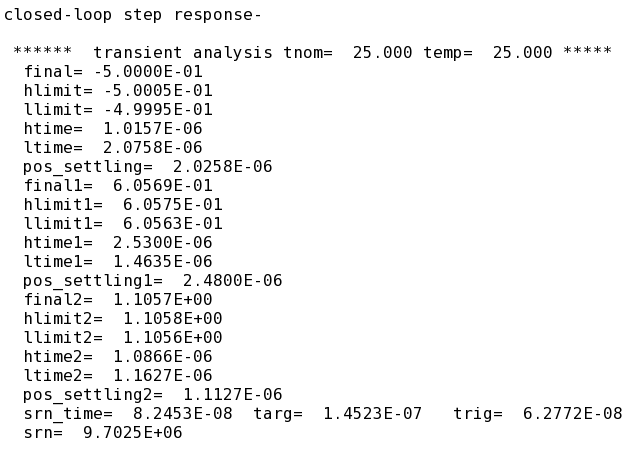
S.R.– = 7.4479 V/us, Settling time = 1.7111 us

1. SF corner:

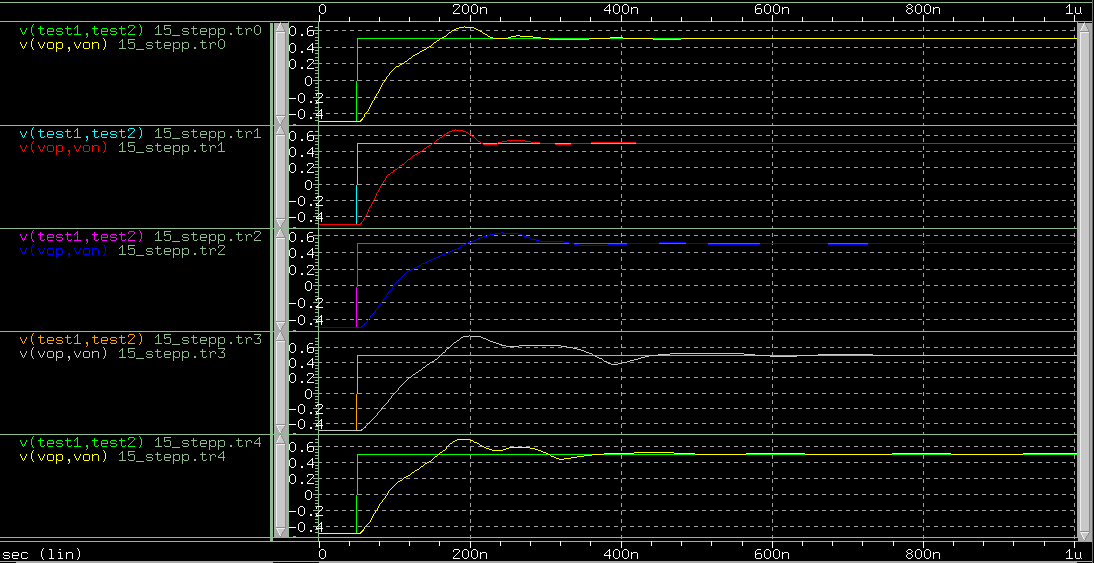


S.R.– = 9.7323 V/us, Settling time = 3.8705 us

1. FS corner:



S.R.– = 9.7025 V/us, Settling time = 2.0258 us



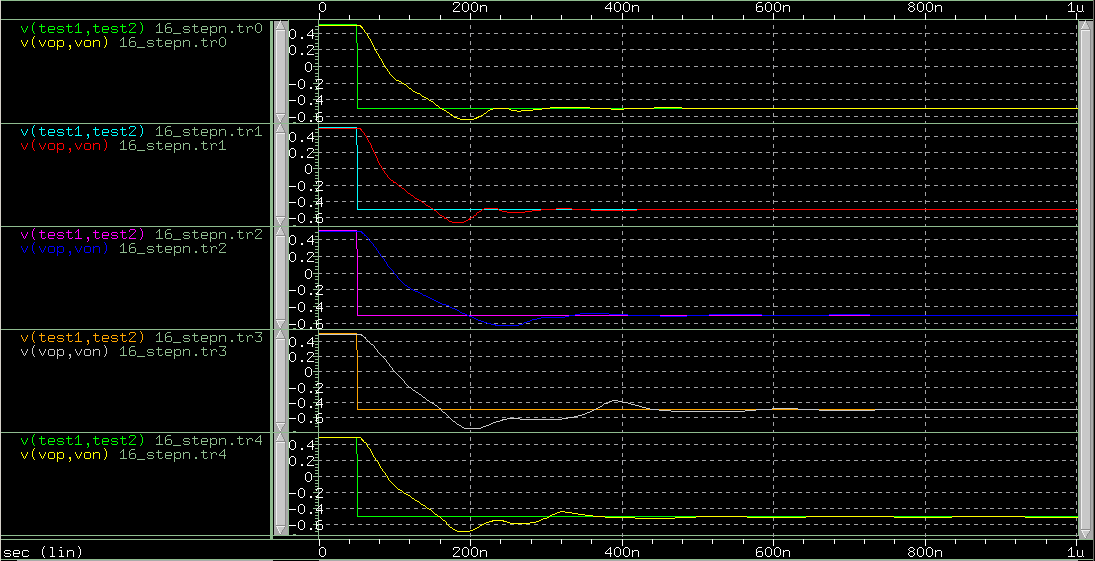
**TT**

**FF**

**SS**

**SF**

**FS**



**TT**

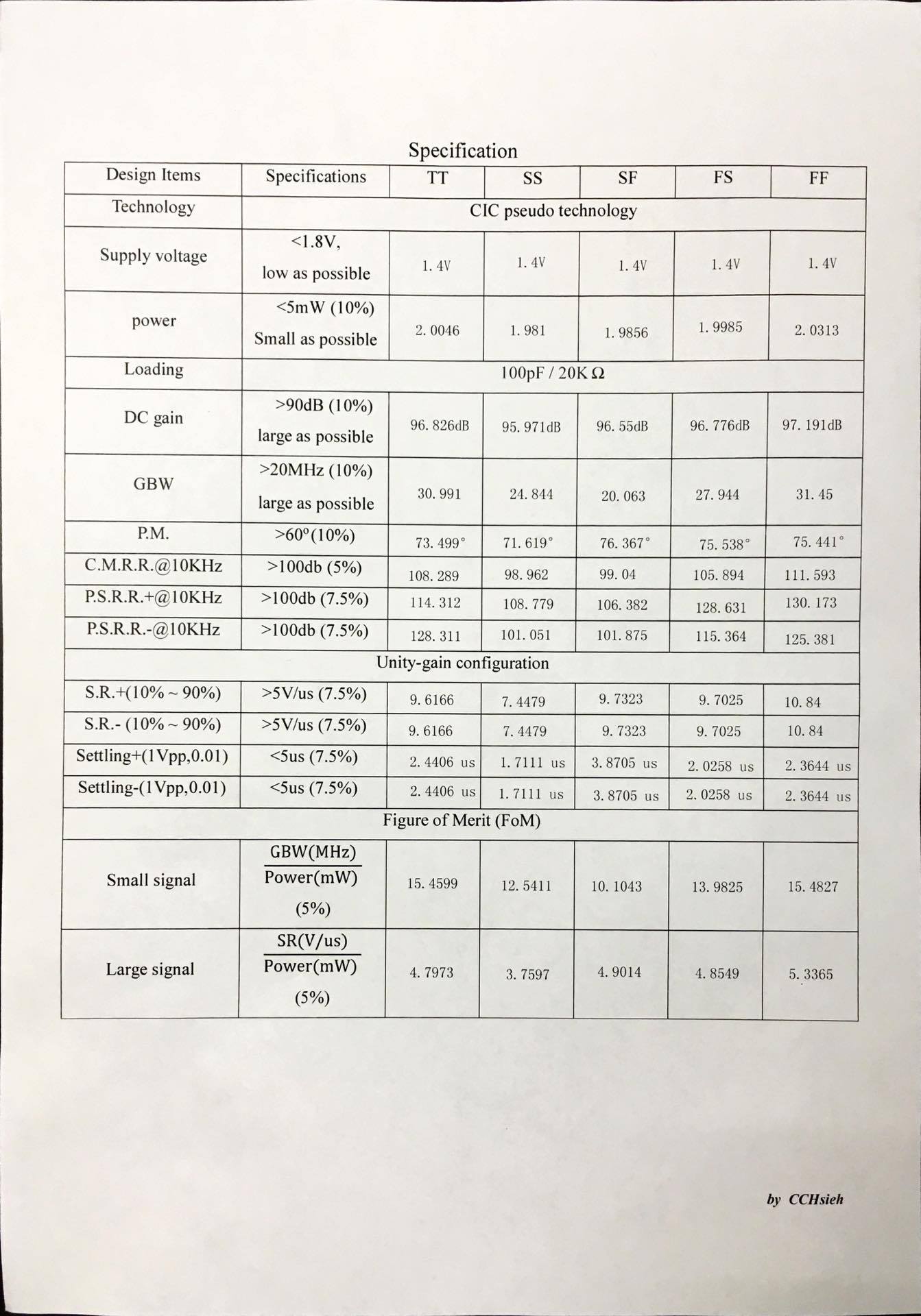
**FF**

**SS**

**SF**

**FS**

1. Specification Table:

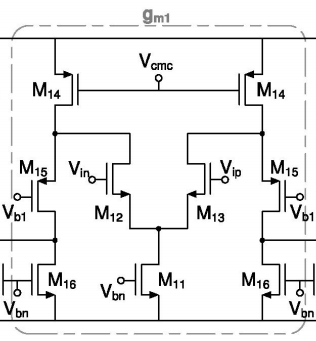


(從Demo完的spec table掃描而來的～hahaha)

1. **Design procedure and consideration:**

首先，我們選取的是06ASSCC (A 1.2V Fully Differential Amplifier with Buffered Reverse Nested Miller and Feedforward Compensations)這篇paper作為此次final project的OP架構，但不同於paper的地方是我們設計的supply voltage是操作在1.4V的情況下，接著開始說明OP amplifier中每個電路的設計與考量。

* 1. Core Amplifier Circuit
     1. First stage

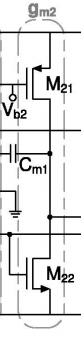


第一級是一個folded cascode differential amplifier，cascode讓此架構比起fully differential amplifier有更大Rout進而得到更大的gain，但缺點是swing會變小，因此就做了folded讓此架構比起cascode differential amplifier有差不多的gain卻有更大的swing。

此架構的input swing較大，對input voltage變動的容忍性較高，原因是input voltage本身的限制是不能超過input MOS的Vov，而在folded cascode的架構下，input MOS (M12、M13)的Vov很大，因此input swing較大。

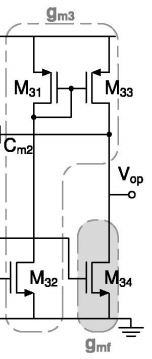
另外，此架構的gain還不錯大，我們的目標是大於90dB，因此在設計時我們考量在第一級至少要有45dB以上的gain，才能達到我們的目的，而注意到此級的gain可以表示成，而約等於，因此我們要做的是將input MOS的提升或是增加，但注意到不能讓第一級的pole在太低頻的位置，導致做完compensation後pole往前移，使得gain太早開始掉，導致在10KHz時的CMRR、PSRR+、PSRR-達不到要求的100dB，因此我們選擇增加比較多的，而則design在適當的大小。為了讓input MOS的變大，我們將M12、M13的size調大，也讓M14的電流大多流向M12、M13，但須注意的是這些MOS的m不宜太大，否則寄生電容太大會使得step response很難settle，最後得到差不多45~60dB左右的gain，pole的位置差不多在1MHz以外，即完成我們的第一級design。

* + 1. Second stage



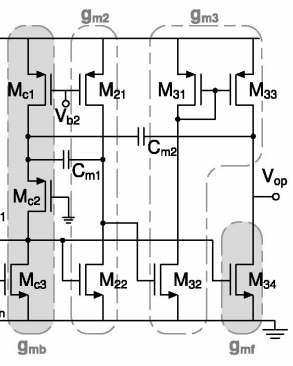
第二級是簡單的common source，由一顆PMOS和一顆NMOS組成，M22這顆NMOS當成input，M21這顆PMOS當成active load，此級主要的目的是為了要提高整顆OP的gain，因在第一級的gain還無法到達要求的spec，因此需要加上此級來激升gain，此級的gain大概有40～50就足夠可以讓整顆OP有90dB的gain了，此級的gain可以表示成，因此我們要提升M22的，所以要把M22的size加大以達到我們的需求。

* + 1. Third stage



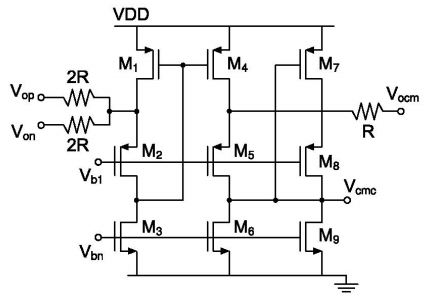
第三級為了衝高slew rate而做的電路，從前一級的output會變成M32的Input voltage，然後經過M32這顆MOS會V轉I變成current，使得M31和M33變成current mirror，而我們知道slew rate的公式約等於，因此為了讓output有較大的電流來提高slew rate，我們設計M33的size大於M31來達成spec。另外，M34有點像是這一級gain的，將第一級的output電壓當作input電壓，是feed forward的路徑，用來提高slew rate，也要將M34的size設計大一點。

* + 1. Compensation Circuit



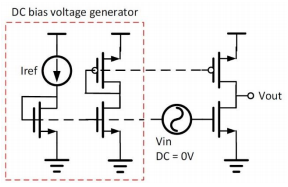
為了要有比較好的PM，我們用了這個nested miller compensation讓PM可以好一點，這邊的Cm1跟Cm2和一個buffer連接，就像是和resistor連接一樣，適當的調整C的大小(C不建議取太大10p以內)可以消除RHP zero(有許多zero藏在20M Hz)，但是在調整的同時可以發現PM跟GBW會有一個tradeoff，不能調整得太過頭，這樣總有一個東西會被搶走太多，後來我們也選擇了比較好的PM，然後讓GBW可以大約超過20M多一點就好了。

* 1. Common Mode Feedback



我們認為這是此次OP amplifier最重要的架構，WITHOUT IT, WE GONNA FAIL，由此可知他的重要性，Vop和Von會藉由2R電阻sense到M1的drain端，Vocm是我們想要讓output common mode的電壓(也就是VDD/2)，藉由R電阻sense到M4的drain端，此兩個電阻sense出的電壓會互相比較，經由電流大小不一樣來改變Vcmc，進而達到common mode feedback的目的。

* 1. Biasing Circuit



我們會做這個電路是因為之前在寫作業時也有用過，他除了可以產生mos所需要的偏壓之外，最大的目的是因為為了適應五個不一樣的corner。在改變corner時，mos的Vth會有較大的波動，想要得到可以隨著波動變化的偏壓就會用這種電路，值得注意的是mos的size需要跟想要偏壓那個mos是一樣的，這樣才能確保流過的電流接近，產生幾乎固定的偏壓電壓，最後藉由一個外加的Iref讓偏壓出來。

另外，在聽從助教的解惑後，我們也有嘗試在diode connected的PMOS上方在加一顆PMOS，助教說這樣會讓這個biasing circuit更加穩定，但我們還是無法做出想要的performance，所以最後還是維持我們原本的電路。(但真的有發現會較準一點)

1. **Discussion and conclusion:**

這次的final project 真的是非常的不簡單，一開始我們以為期末考考完後可以再開始慢慢地打，所以耍廢了好幾天，當剩下六天的時候我們聽從學長的建議必須要開始做了，不然會來不及，於是乎就開始動工了。

我們一開始就是一級一級的製作電路，因為這麼大的一個電路對我們來說一氣呵成應該是很難的，不如一步一步來，至少可以避免較多的錯誤。但是殊不知我們在做第一級的時候，還不太清楚會發生甚麼事情，於是想說不如就先追求越大的gain越好，於是我們發揮了電路的極限，得到了一個高gain但是殊不知可怕的就在後頭，當接上第二級之後，發現原本的電路壞了，許多mos都cutoff了，這就像是當你期末考考很爛，但是因為有人考100分所以不能調分的那種絕望。後來我們試過了好幾種第一級的架構，像是捨棄論文上面的folded cascode，改成我們熟悉的telescopic的架構，但後來試一試發現：柏鈞真的很厲害，還是聽他的好。

於是我們經過一番討論之後發現：這個final真的很不簡單，想必助教是花了許多心機在這裡頭，為了怕我們做不出最後完美的final，經過討論之後我們決定要先保住我們一線生機，那就是一個人做1.8V(感覺比較好做)，另外一個人做1.4V(可以加上bonus的分數)，並且固定一段時間和對方更新自己對於這個電路的了解與新發現。俗話說，競爭使人發揮200%的實力，這句話真的很有道理，我們兩個人為了看誰先做出一個比較穩定、不會動不動就cutoff的電路，卯足了全力，終於在第三天我們做出了一個還算能夠動的OP，雖然有些spec還沒有達到要求，但是樂觀的我們覺得這真的是一件好事，為了慶祝這件事，我們去了召喚峽谷慶祝一圈才回來，這個時候已經來到了第四天。

現在回過頭來看，才發現原來難的東西不是做出一整個有feedback的電路，重點是當我們想要微調這整個電路時，我們要知道動這個mos的size會影響到這個電路的那些表現，是變好還是變壞，這些都需要靠不斷的嘗試、還有過人的記憶力才能完成這艱難的工作，因為我們總是要記得上一次我們改變了哪裡，哪一個表現變好了，哪一個表現變差了，讓我想到電機系某位教授沉浸於中醫的薰陶，常常說紮一針就可以治好你身上的不舒服，這種牽一髮而動全身的概念我想就跟這次的電路有十分類比的觀念呀!

隨著deadline越來越接近，我們也越來越緊張，我們覺得上課時我們學到的都是一個一個分散開來的觀念，cascode,feedback,current mirror這些東西都是很基本的，但是當全部組合在一起之後，我們就變得礙手礙腳的，調整這邊就失去那邊，一來一往的tradeoff不只考驗我們的耐心，也在不知不覺中讓我們漸漸地熟悉這些電路。尤其是那個Settling time，他不知道傷了多少人的心，每當我們想要檢查他時，總是顯示5.00E-04，真的是E04 ，還好，我們有足夠的時間與他奮鬥，終於在最後讓他在規定的時間settle住了，真的非常的開心。

跟OP火拼了六天，我們覺得這真的是極限了，雖然到最後還有兩個CMRR沒有到，而且都在99.XXX，但我們覺得這個OP在這個時候最有活力，所以就不想要再為難他，於是就派他出去DEMO了，最後，這學期修了類比之後覺得我們還是有許多可以再進步的地方，因為並不是每一個地方都學得非常懂，能做完這個OP要謝的人真的太多了，想起實驗室學長講過的一句話，要謝的人太多了，那就謝志成的助教吧，謝謝你們不厭其煩地幫助我們不管是完成平常的作業還是final project。