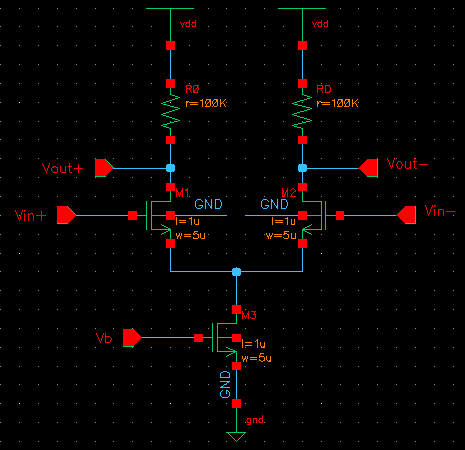
**AIC HW3 林淳濂 102061219**

**(a)**

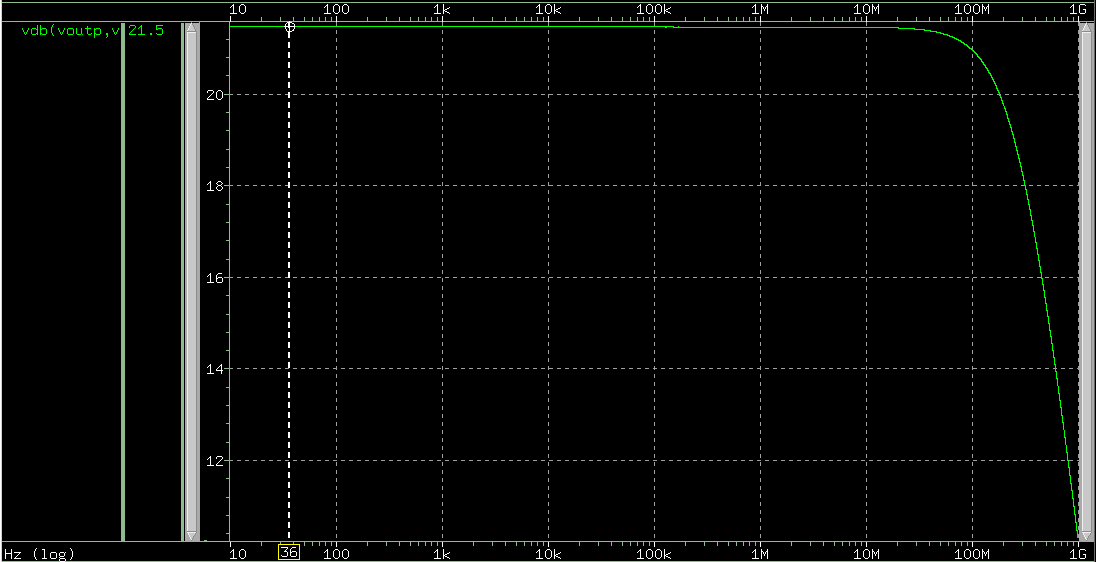
* **Schematic:**



* **Specification:**

|  |  |
| --- | --- |
| M1 | W=5um ; L=1um ; m=1 |
| M2 | W=5um ; L=1um ; m=1 |
| M3 | W=5um ; L=1um ; m=1 |
| RDp | 100k |
| RDn | 100k |
| Vb | DC=0.5475V |

* **Waveform:**

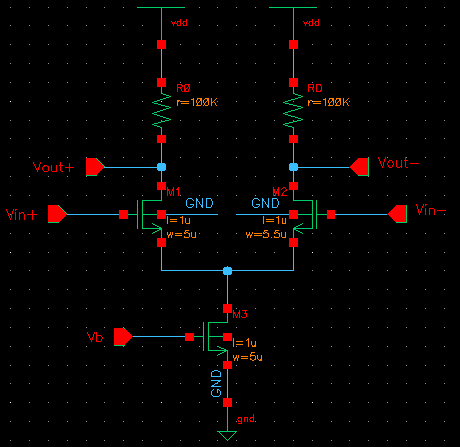
****

* **Comment:**

由frequency response可以看出，differential mode gain = 21.5 dB，符合題目大於20dB的要求。

**(b)**

* **Schematic:**



* **Specification:**

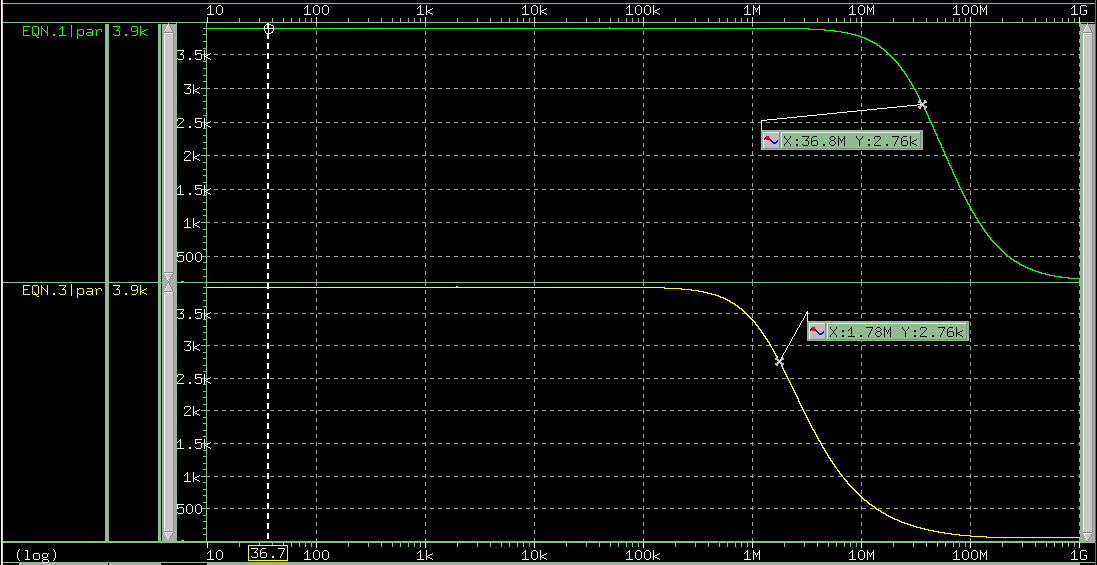
|  |  |
| --- | --- |
| M1 | W=5um ; L=1um ; m=1 |
| M2 | W=5.5um ; L=1um ; m=1 |
| M3 | W=5um ; L=1um ; m=1 |
| RDp | 100k |
| RDn | 100k |
| Vb | DC=0.5475V |

* **Waveform:**

Frequency response:



CMRR: (將differential mode gain除以common mode to differential mode gain作圖)



* **Comment:**

此題將M2的width調整大於M1的width 10%，造成differential兩端沒有完全symmetric，產生input common mode變動而使differential output變動，而有common mode to differential mode的gain。由frequency response可以看出，不論有沒有在P點加上Cp的電容，differential mode gain都等於12、common mode to differential mode gain都等於3.07m。

依據定義，。

由CMRR的frequency response圖可以看出，在加了Cp電容後bandwidth會變小，CMRR會在較低頻時開始下降，且沒加Cp的CMRR的-3dB bandwidth約等於36.8MHz，加了Cp的CMRR的-3dB bandwidth約等於1.78MHz，bandwidth大於下降了35.02Hz。(這裡-3dB bandwidth求法是找到CMRR等於的值)

加上電容後會使得CMRR bandwidth變小的現象可由公式來解釋，common mode to differential mode gain的公式為



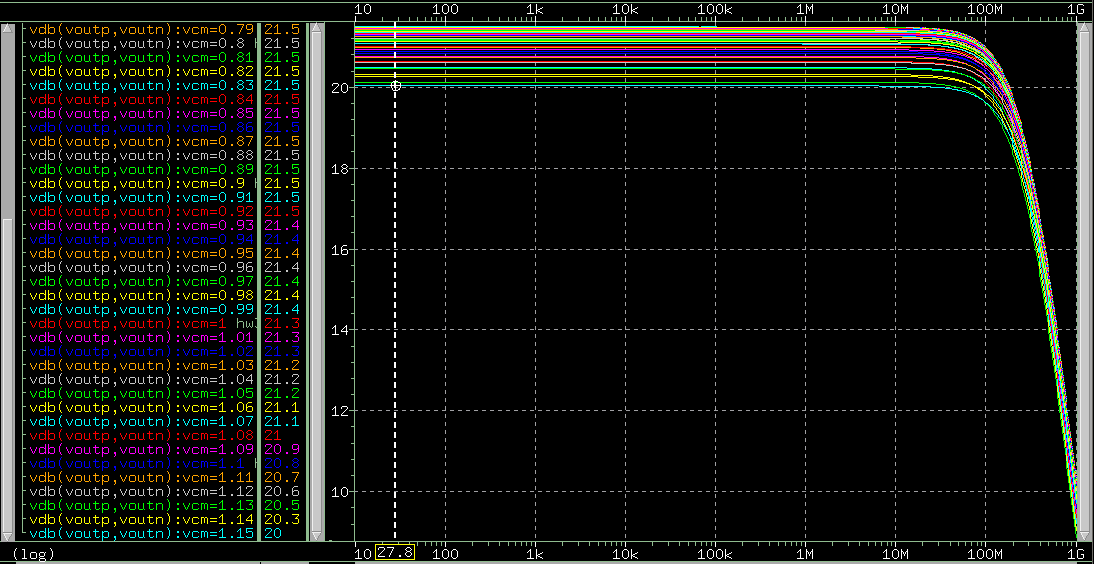
可以看到與呈反向關係，當越小時，越大，CMRR就會越小。在此題中，我們為了明顯化模擬parasitic電容對電路的影響，所以在P點並聯一個Cp電容，因為電容的impedance可以寫成 ，當頻率越高時，電容Cp的impedance就會越小，到更高頻時會短路，將P點直接連到ground，且因為Cp與並聯，所以等效上的電阻變小，造成越大，CMRR就會越小，所以bandwidth會變小。

**(c)**

* **Comment:**

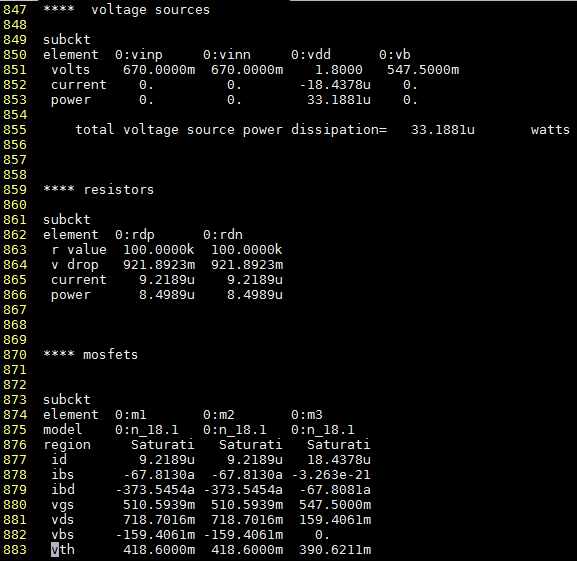
1. **Find input common mode range when differential mode gain > 20dB**

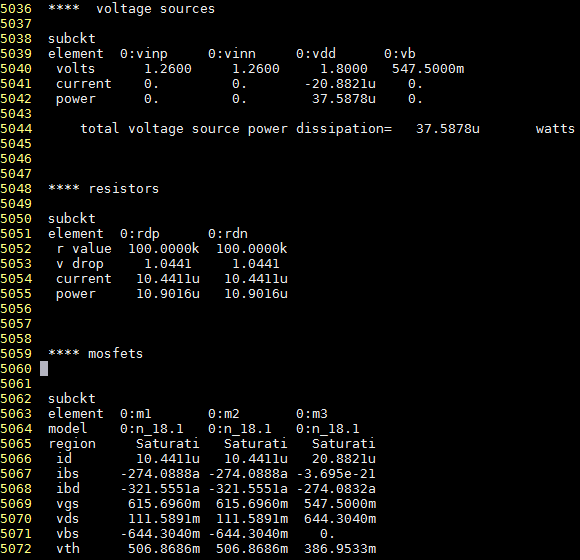




我利用sweep input common mode的值，從0到1.8V慢慢縮小範圍，最後找到input common mode voltage在0.57V～1.15V之間時differential gain都會大於20dB，如上面兩張圖所示。

1. **Find input common range when all MOS operate in saturation region**



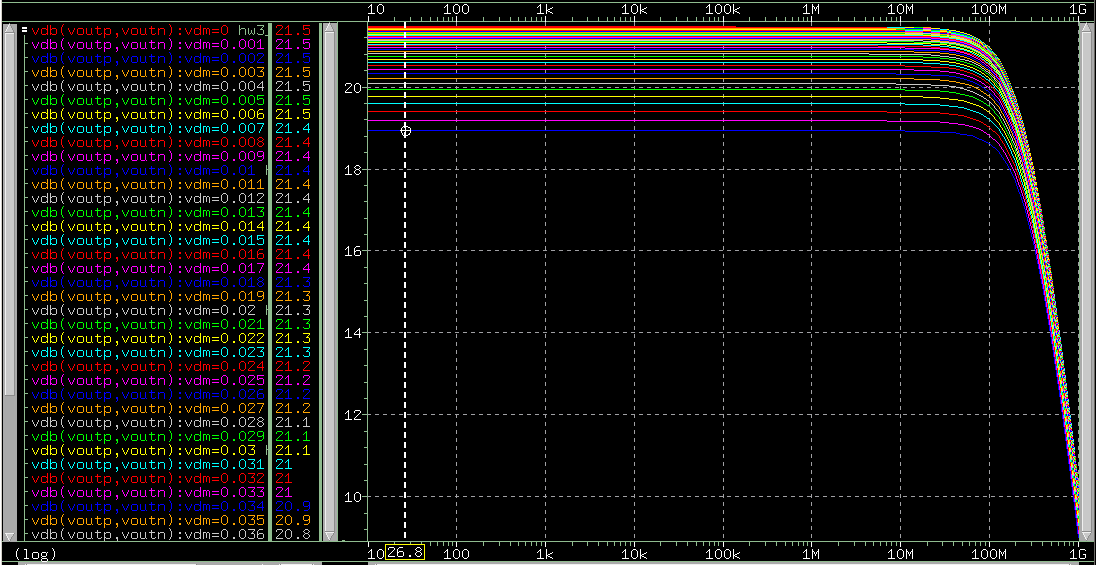


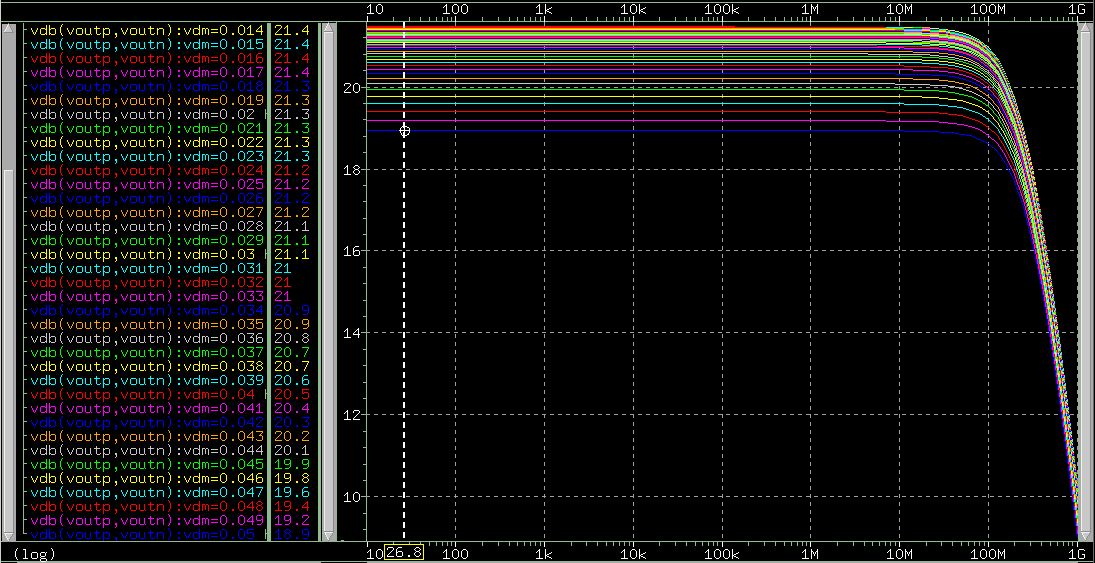
從.lis檔裡可以找到讓每顆MOS都saturation的input common mode voltage的lower bound是0.67V，upper bound是1.26V，所以saturation的範圍是0.67V～1.26V。

最後，取differential gain大於20dB的input common code range與all MOS in saturation region的input common code range的交集，也就是題目要求的範圍為**0.67V～1.15V**。

**(d)**

* **Comment:**



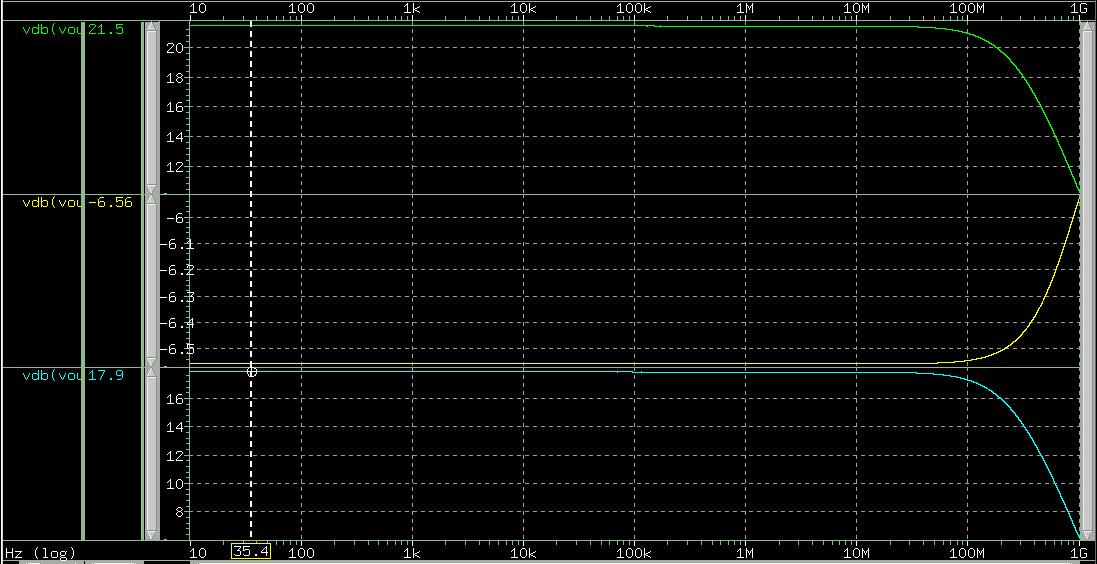


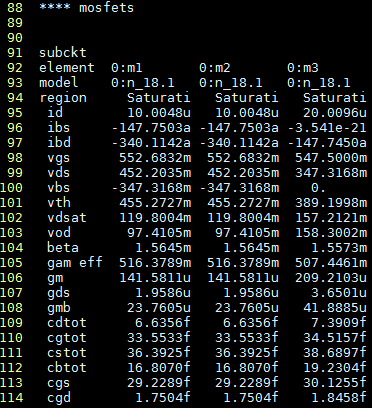
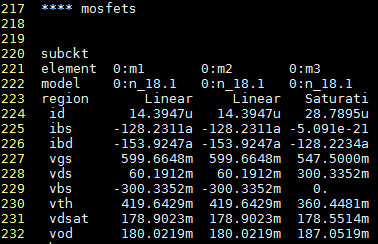
我在Vin正端輸入0.9加上、負端輸入0.9減掉，並sweep從0V到0.05V，來找input differential range，由waveview可以看到當在0V～0.044V之間時，也就是Vin正端或負端在0.878V～0.922V時，differential mode gain都大於20dB，且由上一題得知all MOS in saturation region的範圍是0.67～1.26V，符合saturation的條件，所以input differential range = 0.044V。

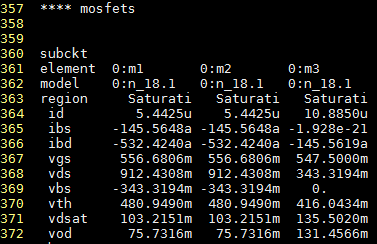
**(e)**

* **Using ideal voltage source to simulate TT, FF, SS corner**

Frequency response under different corner:

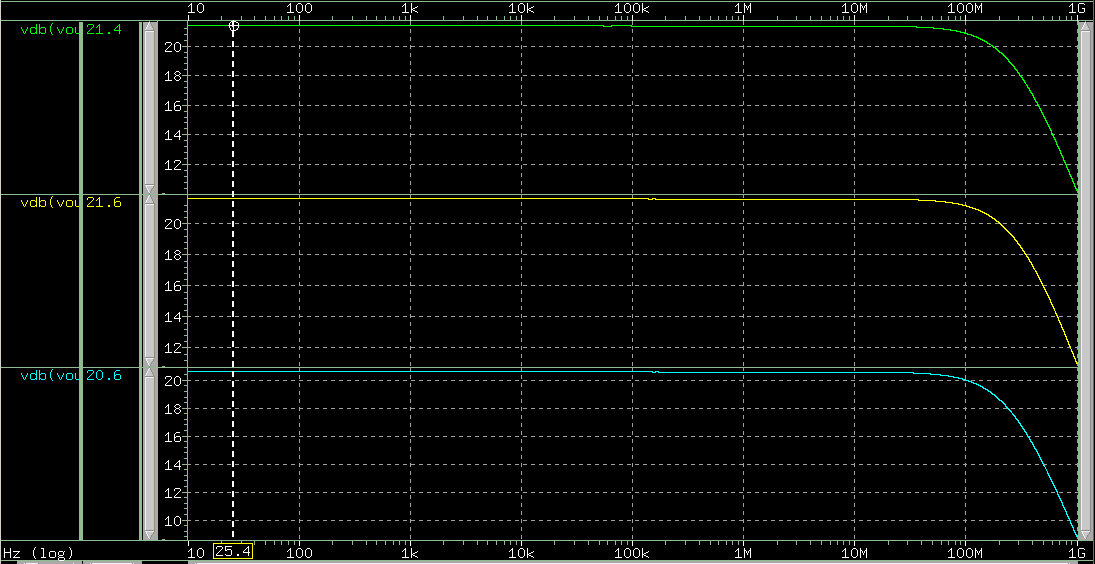


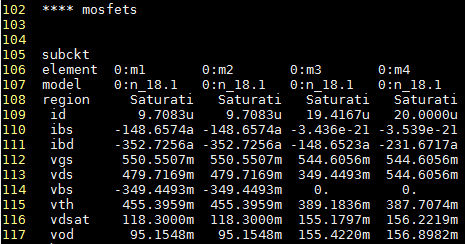
 

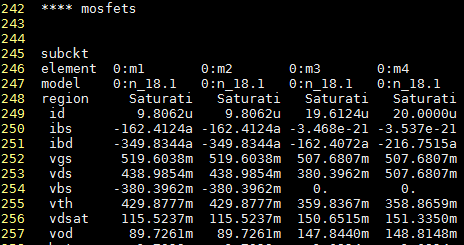


* **Using current mirror to simulate TT, FF, SS corner**

Frequency response under different corner:









* **Comment:**

從.lis檔可以看出當使用ideal voltage source時，TT和SS corner都會saturation，但是FF corner的M1和M2卻在linear，造成gain大幅下降，但M3的bias current上升變成28uA；另外SS corner的gain也下降了許多，M3的bias current也下降成10uA左右。而如果使用一顆與M3相同size的M4加上一個20uA的直流電流源來做成current mirror，來給定Vb的bias voltage使M3的電流為20uA，結果TT、FF和SS corner的所有MOS都會在saturation，且這三個corner的M3電流都是19uA左右，gain也都差不多21dB左右，可以看出使用current mirror來產生Vb電壓比ideal voltage source效果還好！

為了解釋這個現象，我們可以觀察到MOS在FF corner的Vth最小，在TT corner的Vth中等，在SS corner的Vth最大，因此如果使用ideal voltage source時，觀察M3，根據電流公式：



因為Vb是定值，所以Vgs固定，且W/L也固定，當Vth變小時，電流會變大，也就是FF corner的情形，而電流變大會造成的壓降變大再加上Vov3變大的影響，會使得M1和M2的Vds太小而無法saturation只能在linear；當Vth變大時，電流會變小，也就是SS corner的情形，因為電流變小會使的壓降變小再加上Vov3變小的影響，會造成M1和M2的Vds變大而繼續維持在saturation。

但如果使用current mirror的話，會讓流過M3的電流固定，使得的壓降變動不大，所以M1和M2的Vds都足夠大到維持在saturation region。

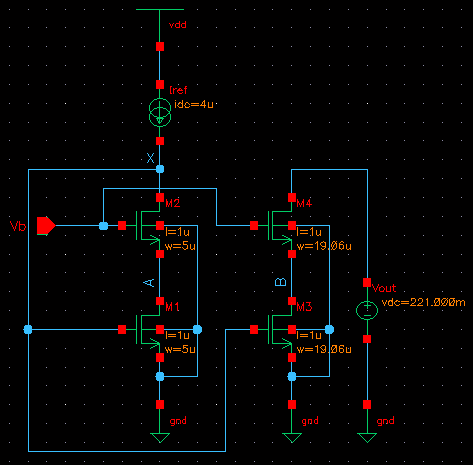
另外，為了解釋gain的變動，可以從Vth的變動與gain的公式來解釋，differential pair的 ，而根據的公式：



可以發現當Vth變大，會變小，differential gain也會變小，這是FF corner的情形；當Vth變小，會變大，differential gain也會變大，這是SS corner的情形。因此我們可以發現再接上current mirror後differential gain的大小比較為：SS > TT > FF。

**(a)**

* **Schematic:**

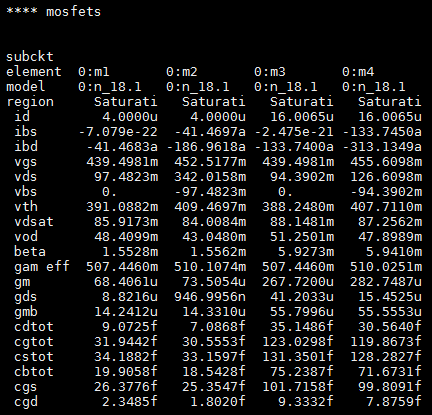


* **Specification:**

|  |  |
| --- | --- |
| M1 | W=5um ; L=1um ; m=1 |
| M2 | W=5um ; L=1um ; m=1 |
| M3 | W=19.06um ; L=1um ; m=1 |
| M4 | W=19.06um ; L=1um ; m=1 |
| Vb | DC=0.55V |
| Vout | DC=0.22V |

* **Waveform:**



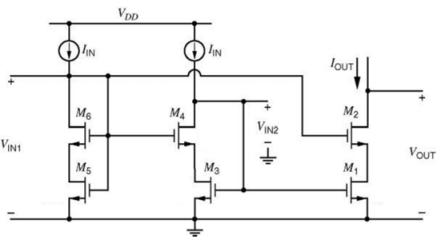


* **Comment:**

這題是要求我們做出一個1:4的cascode current mirror，我調整Vb電壓=0.55V使得Iout電流變成16uA，再掃Vout DC從0V到0.3V，從waveview probe出Iout對Vout的圖形，利用 來求出Rout的圖形，發現我可以讓Rout>600k、電流等於16uA的最小Vout如圖所示為220mV，符合Vout minimum<300mV的條件。

**(b)**

* **Calculation:**



1. M6’s operation region:

因為M6的gate和drain接在一起(diode connected)，所以，因此，我可以知道M6一定會在saturation region。

1. M5’s operation region:

因為M6的gate和M5的gate接在一起，所以、，又因為M6在saturation region，也就是說，所以可以得到，也就是，因此M5操作在Linear region。

1. 從M1和M2來計算Vb點的電壓，因M1和M2 size相同，可以得到，所以M5的、，M6的。
2. 利用電流公式讓M6電流與M5電流相等來計算size：

代入

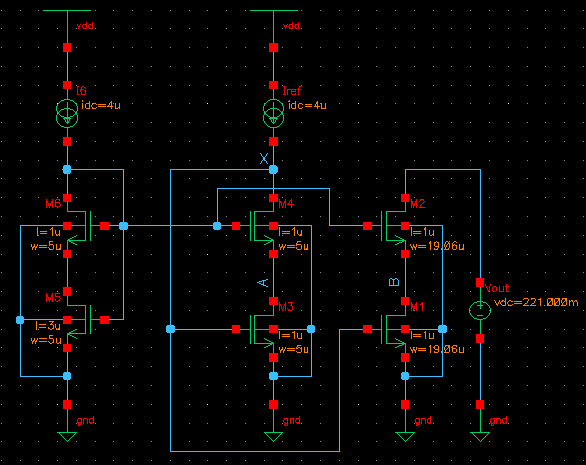
所以我設計M6跟M3和M4相同的W/L，M5則是W/3L。

**(c)**

* **Specification:**

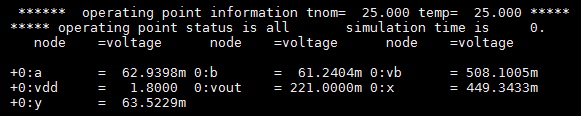
|  |  |
| --- | --- |
| M1 | W=19.06um ; L=1um ; m=1 |
| M2 | W=19.06um ; L=1um ; m=1 |
| M3 | W=5um ; L=1um ; m=1 |
| M4 | W=5um ; L=1um ; m=1 |
| M5 | W=5um ; L=3um ; m=1 |
| M6 | W=5um ; L=1um ; m=1 |
| Iin | DC=4uA |
| Iin2 | DC=4uA |
| Vout | DC=0.221V |

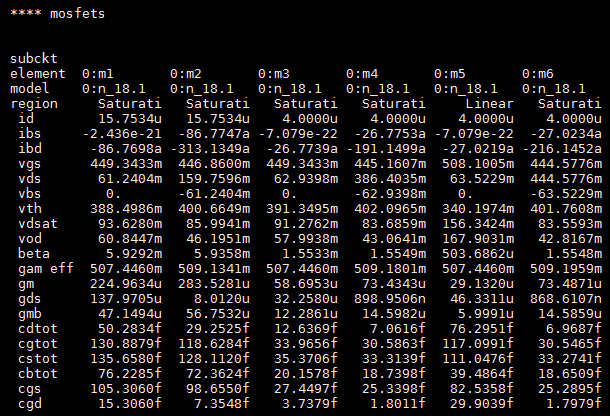
* **Schematic:**

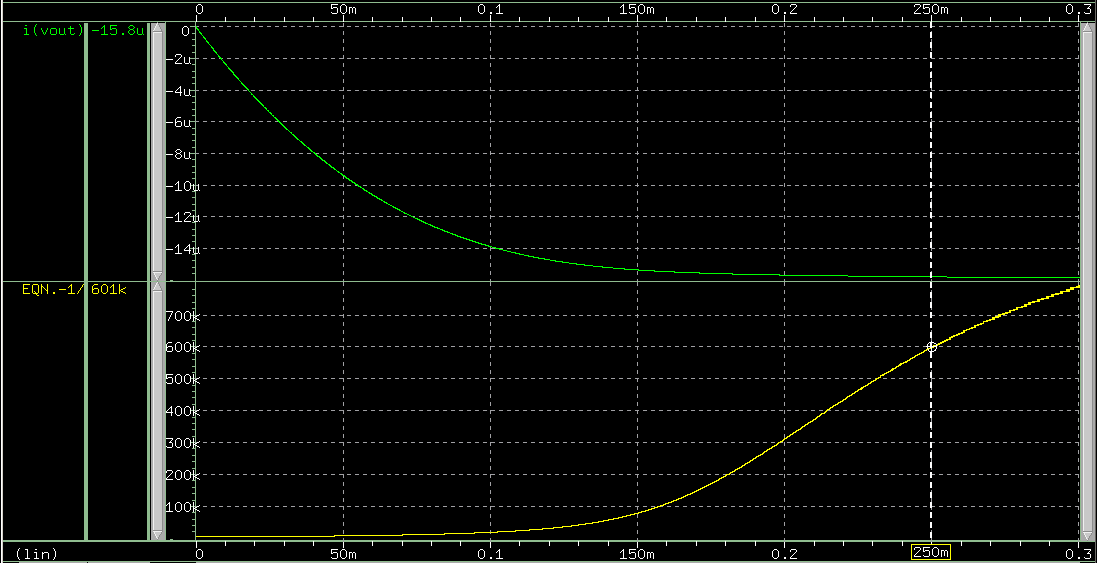


* **Simulate under TT, FF, SS corner(M5’s W/L=5um/3um):**

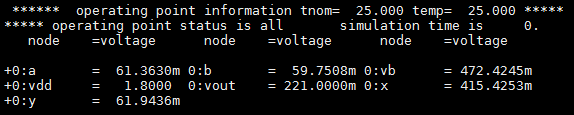
**TT corner：**

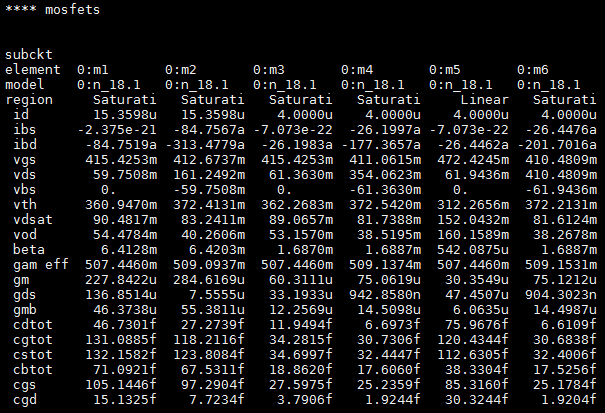


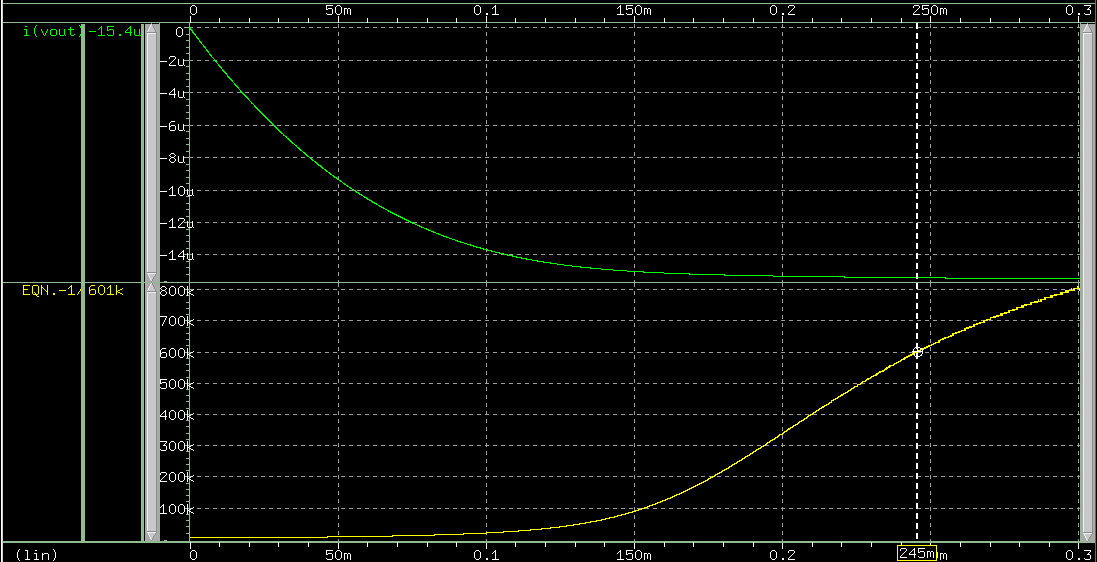




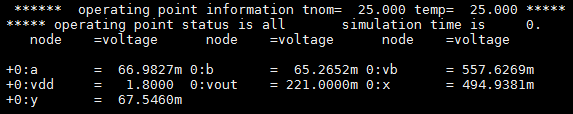
**FF corner：**

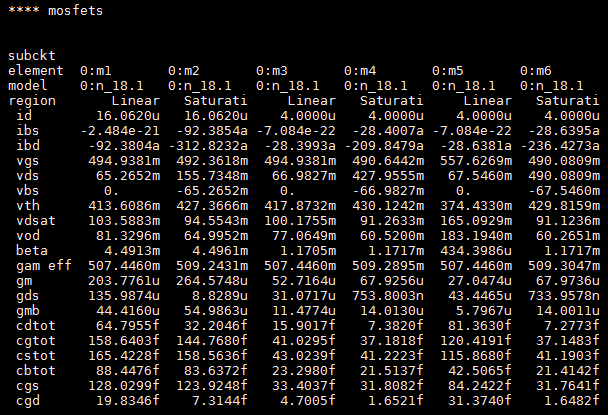


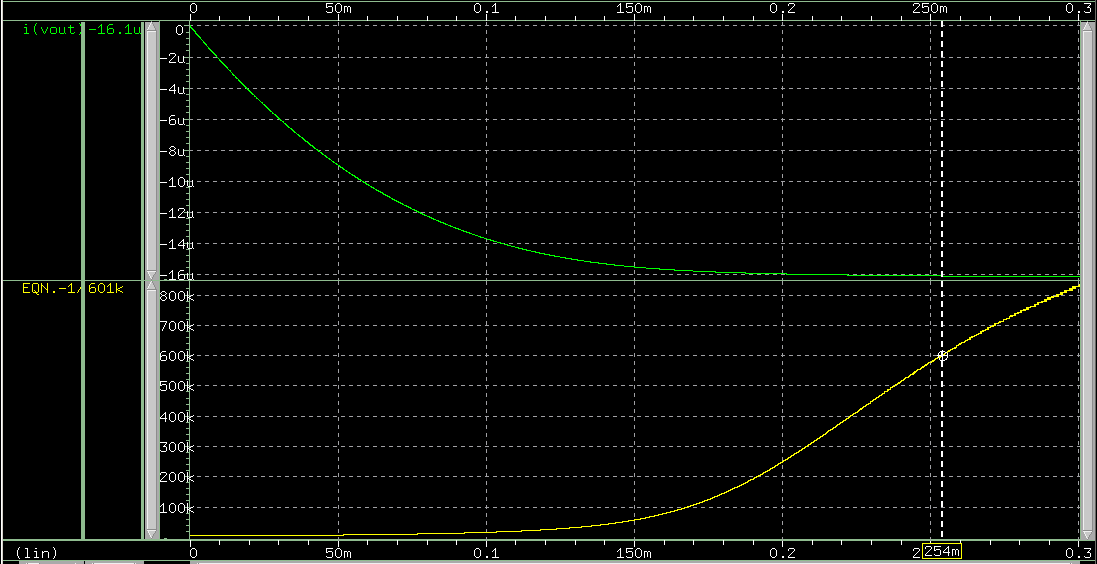




**SS corner：**

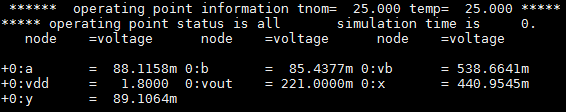


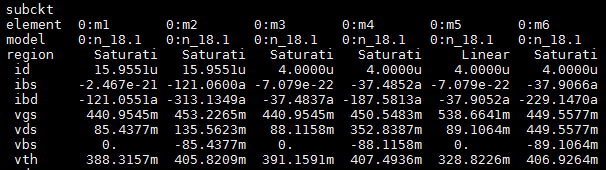




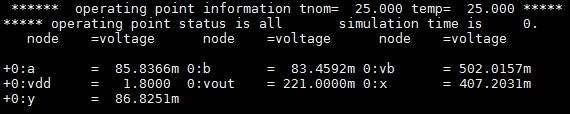
* **Simulate under TT, FF, SS corner(M5’s W/L=5um/5um):**

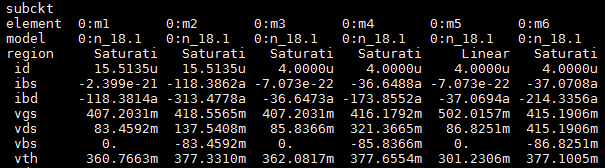
**TT corner：**



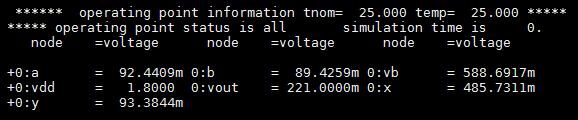


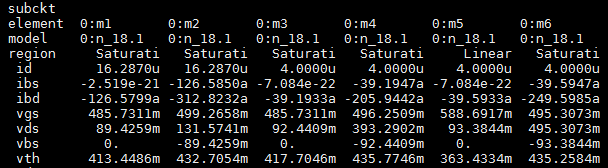
**FF corner：**





**SS corner：**





* **Comment:**

由.lis檔可以看出在TT、FF、SS corner的Vb分別為508.1005mV、472.4245mV、557.6269mV，與在(a)小題使用ideal voltage source給的Vb=550mV有些差距，且TT、FF、SS corner mirror出來的Iout電流分別為15.7334uA、15.3598uA、16.062uA。這是因為Vth會隨著製程環境而變，MOS在FF corner的Vth最小，在TT corner的Vth中等，在SS corner的Vth最大，而依據電流公式：，Vth變動導致Iout電流會改變。而Vb會不準確的原因為當作current mirror的M5和M6 size比例時，並未考慮channel length modulation effect和body effect等等，而影響mirror出來的bias電壓不準確，且在跑SS corner時，M1和M3會跑到linear region。

為了得到更準確的結果，我調整M5的size從原本的W/L=5um/3um變成W/L=5um/5um再做相同的模擬，發現此時電路在TT、FF、SS corner下除了M5會Linear外，其他MOS都saturation；在TT、FF、SS corner的Vb分別為538.6641mV、502.0157mV、588.6917mV，更接近(a)小題使用ideal voltage source給的Vb=550mV；在TT、FF、SS corner mirror出來的Iout電流分別為15.9551uA、15.5135uA、16.287uA，Iout電流更接近16uA。

另外，使用current mirror來給Vb電壓的好處是可以讓每個corner下的MOS較容易維持在saturation region，因為是用固定電流來給bias電壓，只要size得妥當效果會較使用ideal voltage source直接給電壓來的好！

**(d)**

* **Calculation:**

1. M6’s operation region:

因為M6的gate和drain接在一起(diode connected)，所以，因此，我可以知道M6一定會在saturation region。

1. M5’s operation region:

因為M6的gate和M5的gate接在一起，所以、，又因為M6在saturation region，也就是說，所以可以得到，也就是，因此M5操作在Linear region。

**(e)**

* **Calculation:**

可以從M1和M2來計算的電壓，因M1和M2 size相同，為了使M1和M2操作在saturation region，、，可以得到。