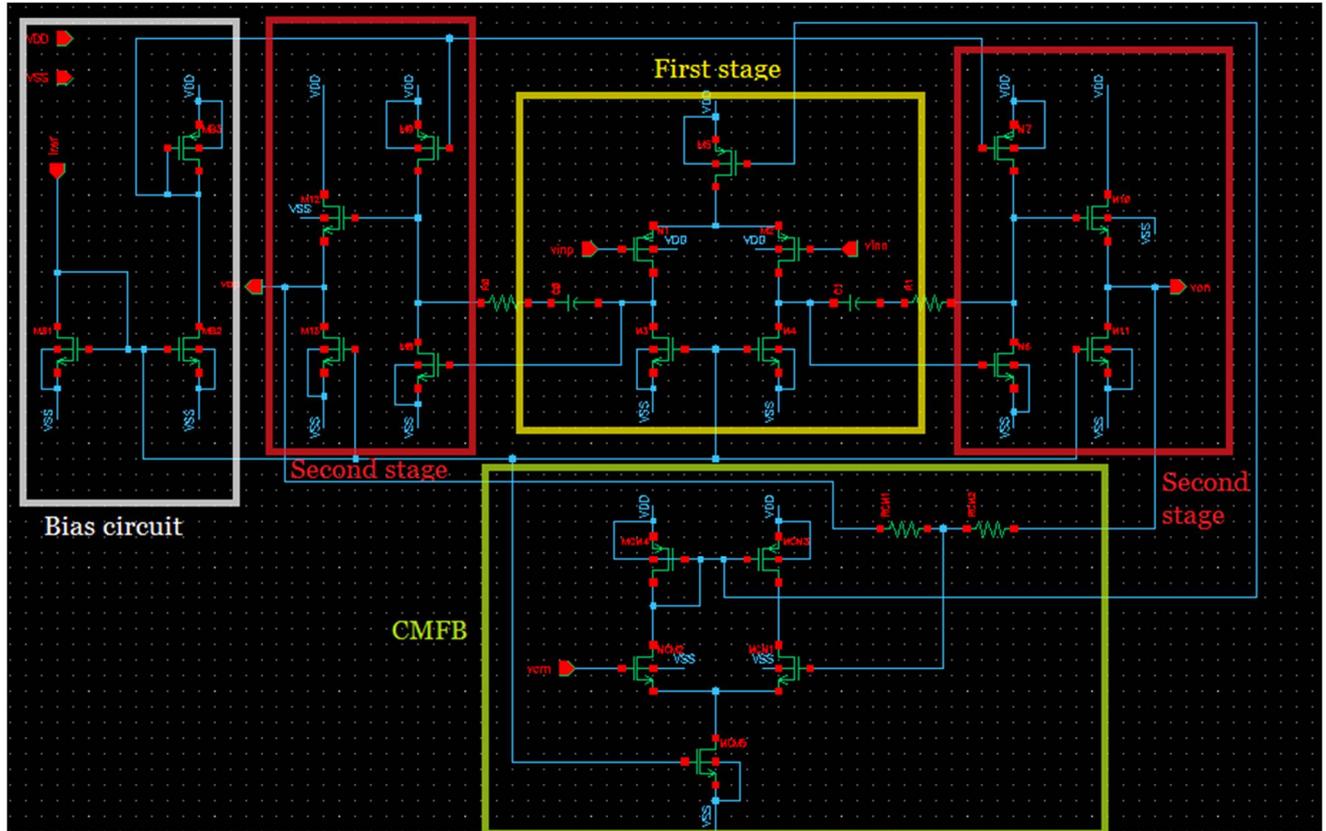


Analog IC Design Final Project

102061146 陳彥廷 100000032 楊振基

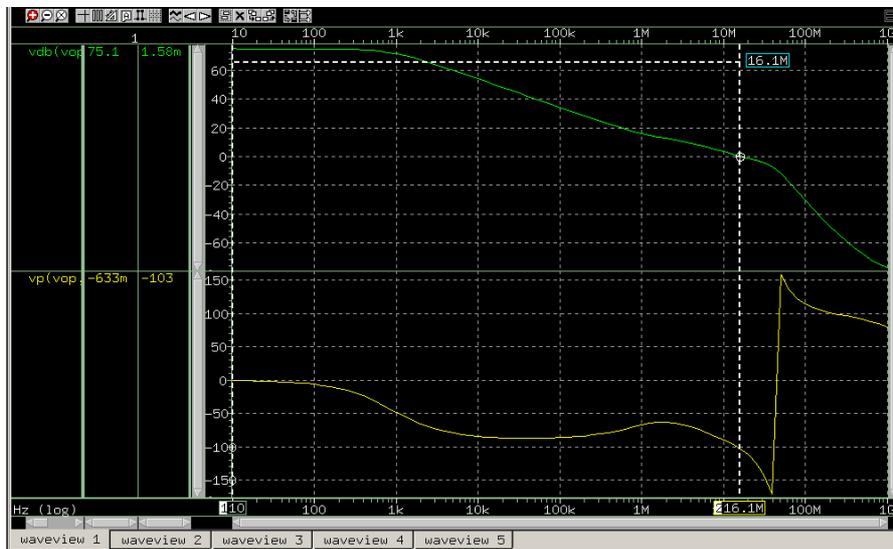
A. Schematics



B. Simulation results

1. AC simulation

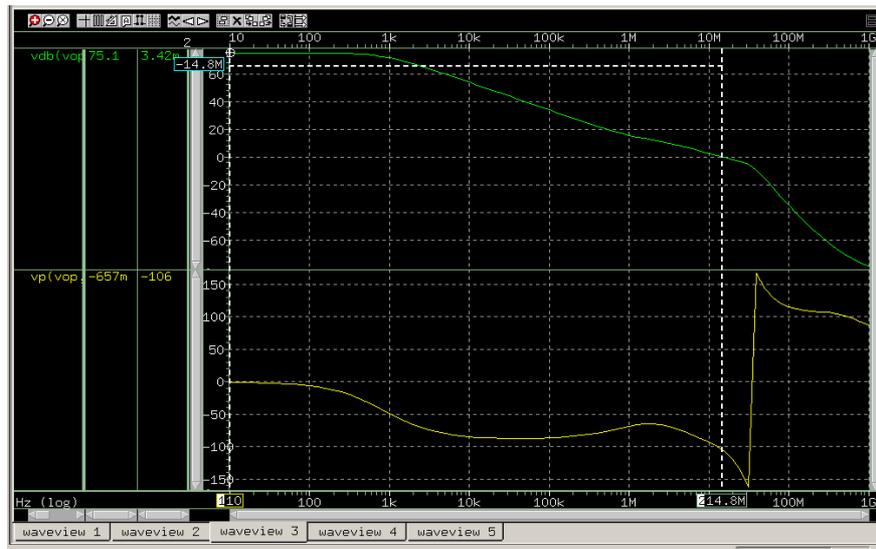
TT : Gain \cong 75.08 dB, Unity-gain bandwidth \cong 16.144 MHz, Phase margin \cong 76.5°



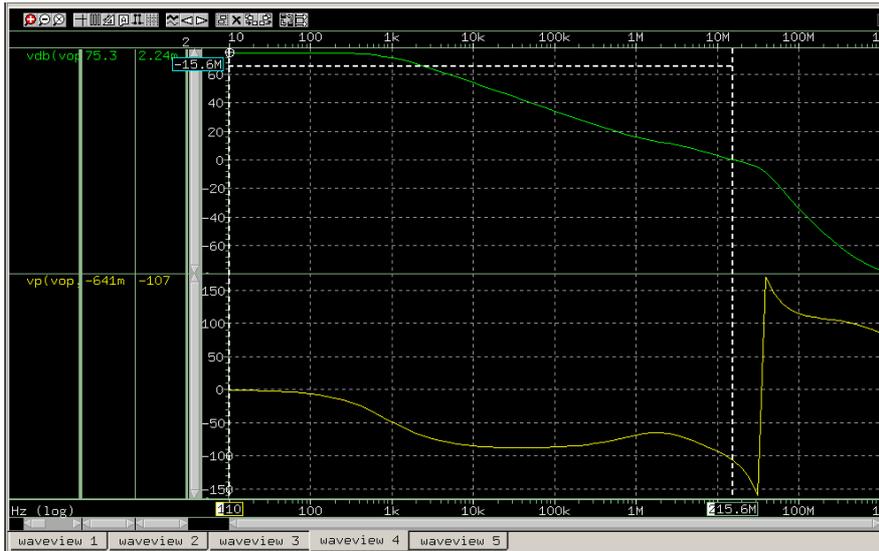
FF : Gain \cong 75.339 dB, Unity-gain bandwidth \cong 17.192 MHz, Phase margin \cong 75.41°



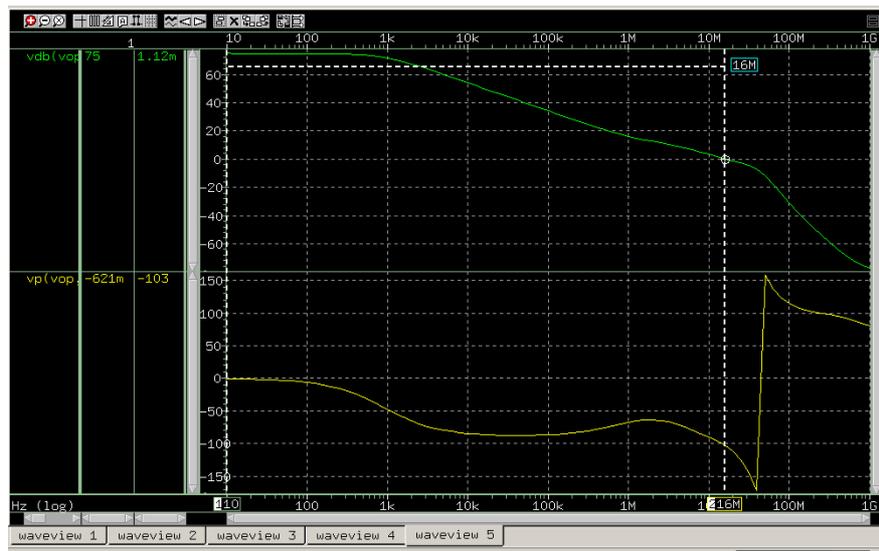
SS : Gain \cong 75.102 dB, Unity-gain bandwidth \cong 14.896 MHz, Phase margin \cong 74.41°



SF : Gain \cong 75.268 dB, Unity-gain bandwidth \cong 15.63 MHz, Phase margin \cong 73.3°

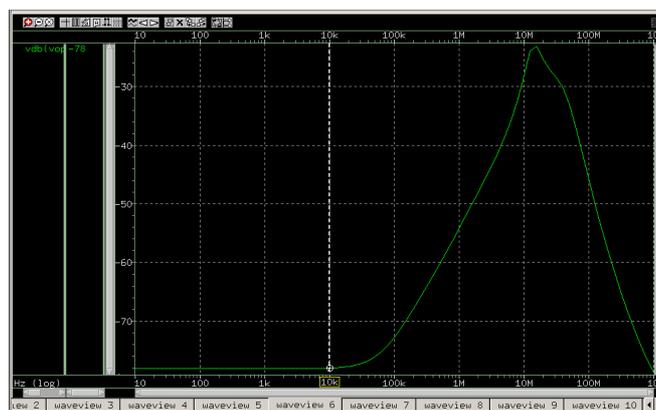


FS : Gain \cong 74.95 dB, Unity-gain bandwidth \cong 16.02 MHz, Phase margin \cong 76.605°

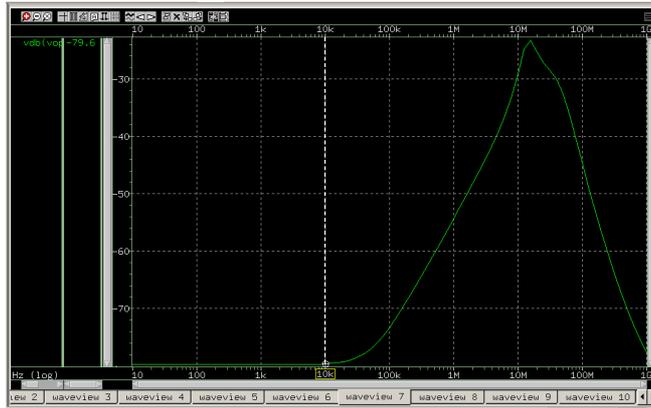


2. CMRR simulation

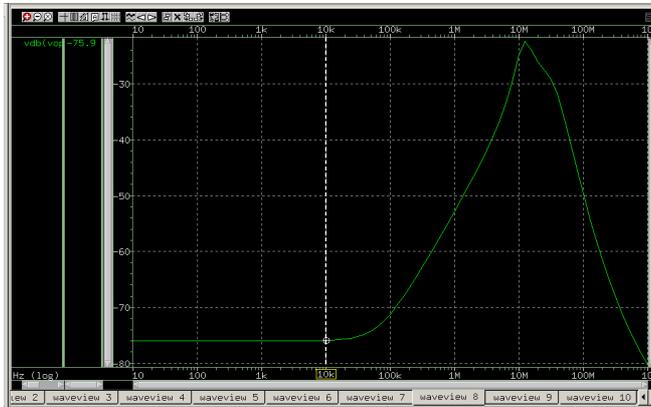
TT : 78.05 dB



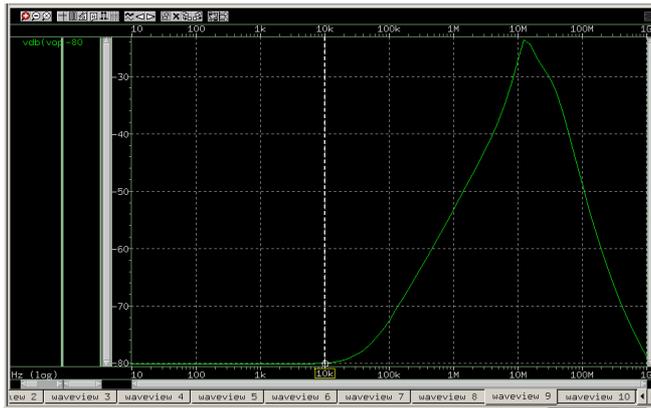
FF : 79.65 dB



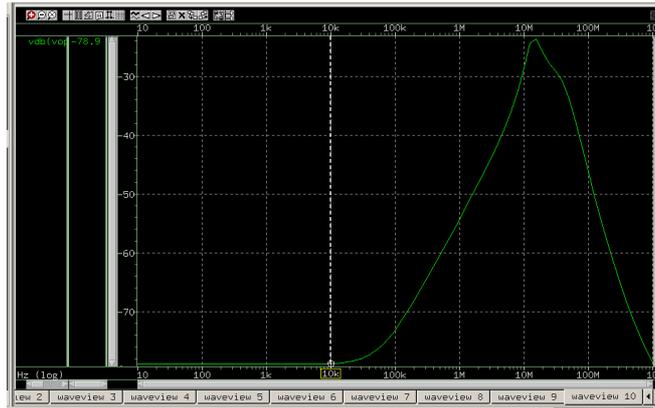
SS : 75.92 dB



SF : 79.96 dB

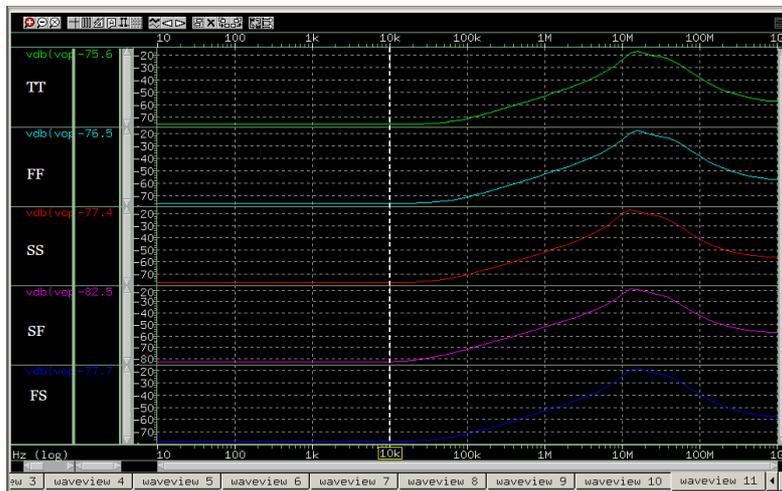


FS : 78.86 dB



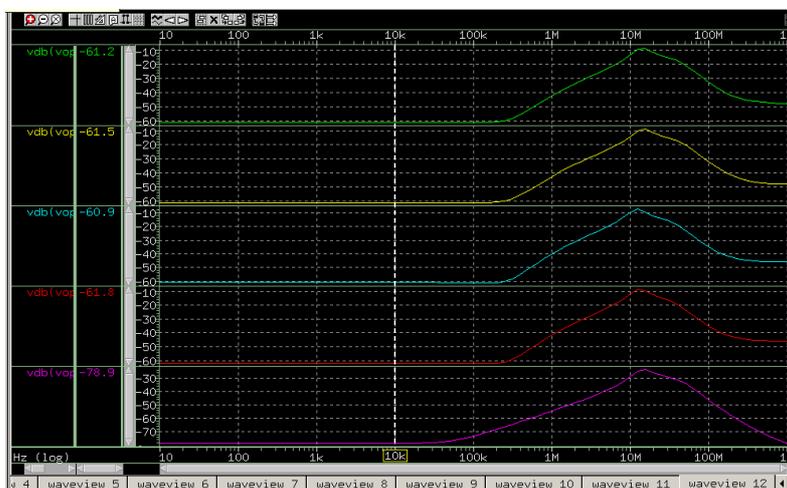
3. PSRR+ simulation

TT : 75.61 dB FF : 76.45 dB SS : 77.38 dB SF : 82.46 dB FS : 77.655 dB



4. PSRR- simulation :

TT : 61.18 dB FF : 61.47 dB SS : 60.87 dB SF : 61.8 dB FS : 61.24 dB



5. Slew rate+ and settling time+ simulation

The settling time in all the corners equals 0.5 ms.

Slew rate+ :

TT : 1.6935 V/us FF : 1.6416 V/us SS : 1.4122 V/us SF : 1.5122 V/us

FS : 1.6479



6. Slew rate- and settling time- simulation

The settling time in all the corners equals 0.5 ms.

Slew rate- :

TT : 1.6935 V/us FF : 1.6416 V/us SS : 1.4122 V/us SF : 1.5122 V/us

FS : 1.6479



C. Performance summary

Design Items	TT	FF	SS	SF	FS
Supply Voltage(<1.8V)	1.7V				
Power	0.829	0.838	0.816	0.818	0.826
DC gain(>85dB)	75.08	75.34	75.1	75.27	74.95
G-BW(>15MHz)	16.144	17.192	14.896	15.63	16.02
P.M(>60degree)	76.497	75.409	74.405	73.298	76.605
CMRR@10kHz(>100dB)	78.05	79.65	75.92	79.96	78.86
PSRR+@10kHz(>100dB)	75.61	76.45	77.38	82.46	77.655
PSRR-@10kHz(>100dB)	61.18	61.47	60.87	61.8	61.24
SR+(>5V/us)	1.6935	1.6416	1.4122	1.5122	1.6479
SR-(>5V/us)	1.6935	1.6416	1.4122	1.5122	1.6479
Settling+ (<0.5ms) (1Vpp,0.01)	0.5ms	0.5ms	0.5ms	0.5ms	0.5ms
Settling- (<0.5ms) (1Vpp,0.01)	0.5ms	0.5ms	0.5ms	0.5ms	0.5ms
GBW(MHz)/Power(mW)	19.474	20.516	18.255	19.108	19.395
SR(V/us)/Power(mW)	2.043	1.959	1.731	1.849	1.995

※紅色字體表示該模擬結果未達規格

D. Design procedure and consideration

1. 電路架構：當初看到去年學長的電路，一開始有點擔心 gain 會到不了 spec (雖然最後也的確差了 10 dB 左右…)，但因為知道兩級的 op 在頻寬及 phase margin 上較具先天優勢，且消耗功率也較低，因此抱著賭一把的心態決定用 two-stage op。關於兩級放大器的部分，因為 gain 主要表現在第一級，故應加大其 g_m 及 r_o 、提升電流。這時 bias circuit 中元件的 W/L 和第一級各元件的 W/L，尤其用來做 tail current 的 M5，其比例的調控便相當重要。而由於該 op 是採用 differential 的架構，故再加上一個 CMFB 的電路 (採用 single-ended output 的 differential 架構) 以保持第一級 common mode 的穩定。至於第二級的電路，去年學長設定 M6 及 M8 為 cutoff，藉 sub-threshold conduction 產生小電流，但我們討論後認為不妥，因此重新設計。第二級的部分包括一組 common source 和一組 source follower，前者靠著較大的 r_o 以提供 gain，而後者做為一個 buffer 以降低 op 的輸出阻抗。而 CMFB 的部分，利用一組電阻去 sense output common mode level，再輸入相當於 comparator 的電路和 vocm 比較，並將結果送回 M5 以穩定第一級的 common mode level。
2. Bias 設計：為了讓整個電路能在環境或製程的變動下仍能正常運作，故設計一組 bias circuit 帶動電路運作，並以電流鏡提供兩級 op 中各元件的偏壓

，使各級所需的電流可藉由調控 bias 而獲得，因此各級中做為電流源的元件大小和 bias circuit 中各元件的大小比例便相當重要。至於 CMFB 中做為 tail current 的 MCM5，其偏壓亦由 bias circuit 獲得。

3. Phase margin & unity-gain bandwidth：由於我們電路上的限制，使最後的 gain 表現不如預期，過不了 spec，故 phase margin 和頻寬是我們在最後集中所有精力調整的重點。我們的理念是，既然訊號放大的效果有限，那至少要力求電路的穩定(不過即使 PM 已經 75 度以上，暫態模擬出來還是會震盪...)。藉由加上 C_C 作為頻率補償以加強 phase margin，並在網路上查到 C_C 應大於 $0.22C_L$ ，故設計為 23 pF。另外改變 R_Z 和 C_C 也可一同調整頻寬，一來一往之下便可調出適當的頻寬及 phase margin。
4. CMRR：由於 $CMRR = |A_{DM}/A_{CM-DM}|$ ，故該值會受電路本身 gain 的影響。又因為我們電路的 gain 就已低於 spec 許多，因此連帶影響 CMRR 和 PSRR，使之也無法達到 spec，這現象可謂唇亡齒寒啊！
5. Slew rate：一跑完模擬發現 slew rate 遠低於 spec，看完 .lis 檔推論可能是第二級的電流不夠高，因為電容值是固定的。知道可以透過提高第二級元件的 W 提升電流，但此舉將牽動許多其他考量，且因較晚發現該現象，所以來不及將 slew rate 調至 spec 所需的值。
6. Settling time：這是最令人匪夷所思之處，竟然所有 corner 模擬結果都相同—皆為 0.5 ms，而且暫態模擬結果 output 竟然在 PM 高達 75 度的情形下仍會震盪。原本認為 phase margin 和 settling time 都是和電路穩定性有關的參數，卻發現兩者結果似乎矛盾，目前推斷可能是 RC time constant，但已來不及做驗證。

E. Discussion and conclusion

一開始決定電路架構的時候其實有許多選擇，經過我們篩選後選出 3 種—講義上的 telescopic+folded cascode+two stage、學長的 two stage+source follower，還有助教所給 paper 裡的 3 stage 電路。由於 paper 裡的電路架構較難理解，加上 folded cascode 的架構會多個 pole，將使頻寬和 phase margin 變得相當難調，即使 gain 很容易達到 spec。加上學長那份 two stage 的電路竟然 gain 能高達 80 幾 dB，讓我們頗感心動，因此決定放手一搏試試看。開始設計之後，由於沒有做大型電路的經驗，也沒有和別組討論，就一次把 bias 跟所有 stage 還有 CMFB 都接上去之後才調參數，過程可謂痛苦萬分，直到有學長說要將各 stage 分開調比較容易之後才恍然大悟，效率馬上提高好幾倍。接著遇到最大的問題就是 gain 上不去，證明我們的賭注是失敗的，於是我們轉而追求電路的穩定，加強 phase margin，最後居然達到 75 度以上。當然，在 deadline 前一天晚上，我們也曾試圖將電路再加上第三級，但是由於 bias 的問題遲遲無法解決，只好在凌晨 4 點多放棄。雖然這次結果非常慘烈、失敗至極，甚至做了好幾天的白工，但是學到了不少設計電路的方法及經驗，也讓我們更加認真地去了解電路

分析和設計，除了不斷請教學長姊還有四位很有耐心的助教之外，也不斷地翻找講義及課本，以重拾一些重要觀念，若覺仍有不足之處再上網查資料，包括一些 paper 和他校的課程講義，甚至 PTT 的 Electronics 版，也都提供非常多關於類比電路的分析和設計的資訊。我想這學期在電路分析和設計方面真的學到很多(尤其在 final project)，也補強了一些電子學課程中較模糊的觀念，更體驗到各種 trade off，可謂魚與熊掌不可兼得。最後也很感謝四位助教這學期不厭其煩地為我們解答，這幾天還讓我們到 lab 請教 final project 相關的問題，令人感動！臨表涕泣，不知所云啊！