

lab3

lab3_1

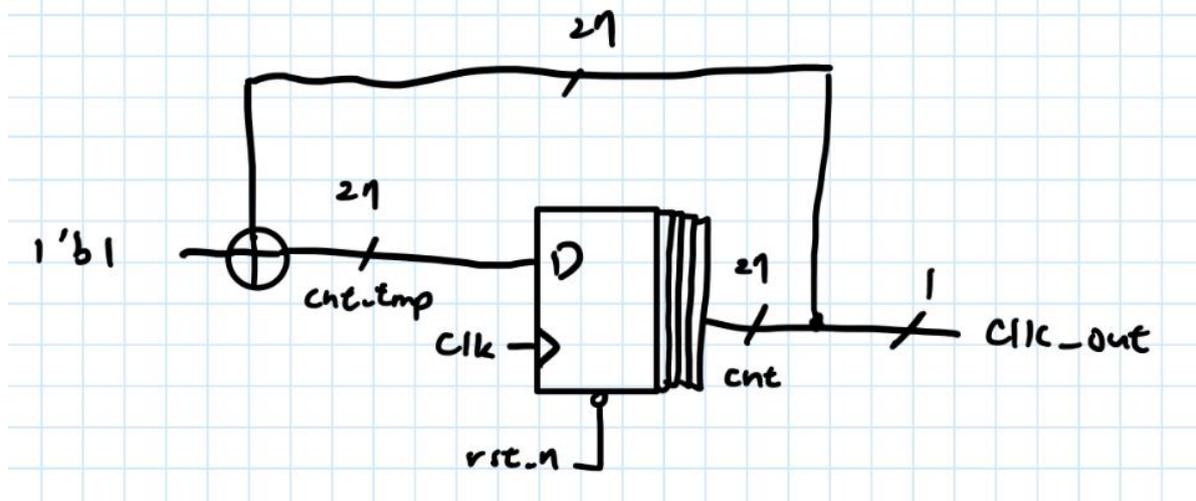
Design Specification

For a frequency divider

Input: clk, rst_n

Output: clk_out.

Design Implementation



I/O	fcystal	clk_out	rst_n
Site	W5	U16	R2

Discussion

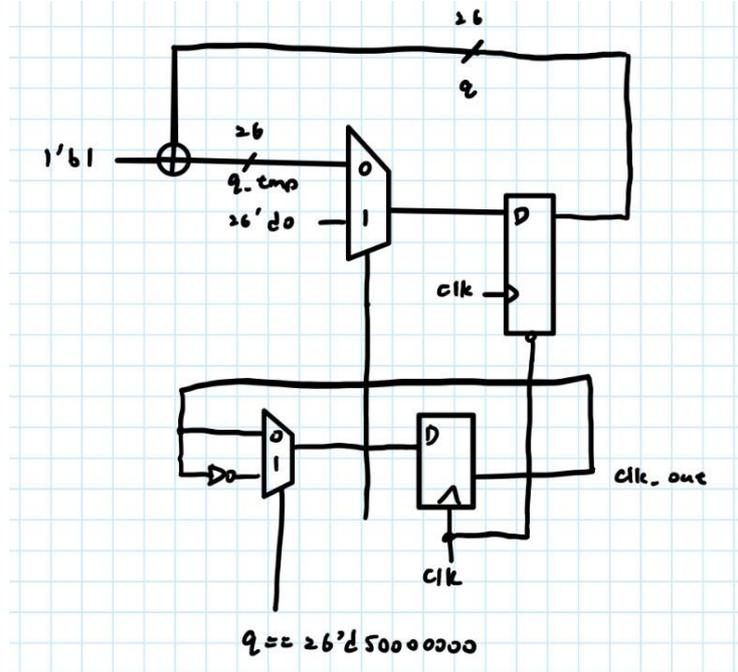
一開始看到這個題目時，第一個想到的是在做 counter 時，利用前一個的 DFF 的 output 接到下一個 DFF 的 input，會使得頻率加倍而得到降頻的效果，而透過計算除了 27 次之後，大約可以得到一赫茲的頻率。

lab3_2

Design Specification

For a 1HZ frequency divider
 Input: clk, rst_n
 Output: clk_out.

Design Implementation



I/O	fcystal	clk_out	rst_n
Site	W5	U16	R2

Discussion

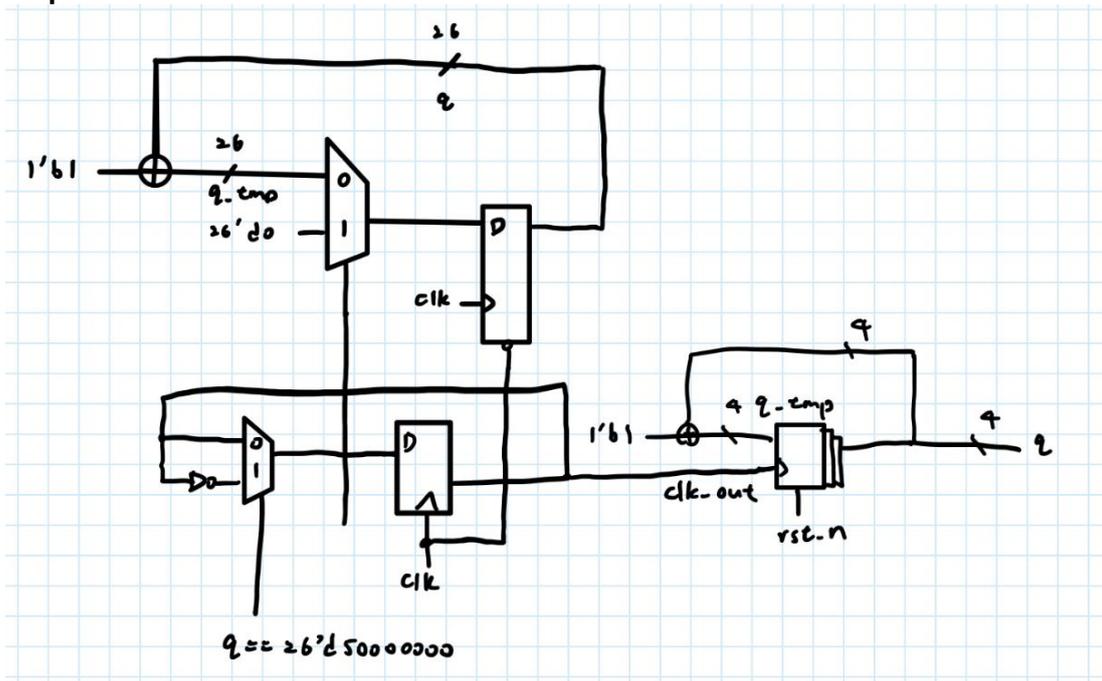
本實驗室要我們把 100MHZ 的頻率轉為 1HZ，最直觀的想法是利用一個 up counter 數到 50M 然後使得 clk_out toggle 一次，也就是說 clk_out 的值會在每 0.5 秒翻一次而使得亮與亮之間的頻率剛好為一赫茲，而得到所求。

lab3_3

Design Specification

For a frequency divider
 Input: clk, rst_n
 Output: clk_out.

Design Implementation



I/O	fcystal	q3	q2	q1	q0	rst_n
Site	W5	V19	U19	E19	U16	R2

Discussion

這個 lab 是結合了一赫茲的 clk 加上 pre_lab1 4-bit 的 binary up counter，所以想法是利用新的 clk 來當作 binary up counter 的 clk，在每一秒之後加一。

lab3_4

Design Specification

For a frequency divider
 Input: clk, rst_n
 Output: clk_out.

Design Implementation

