

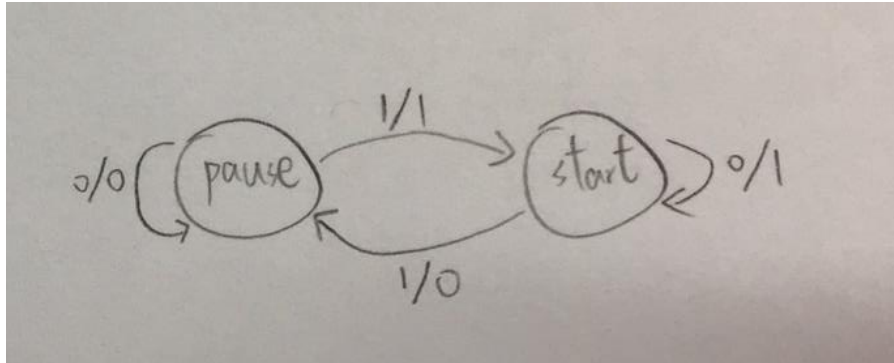
Construct a 30-second down counter (timer) with pause function. When the counter goes to 0, all the LEDs will be lighted up. You can use one push button for reset and one other for pause/start function.

1.1 Write the spec (inputs, outputs, and function table) of the design.

Input: clk, rst_n, in

Output: cnt_en, state

1.2 Draw the related block/logic diagram.



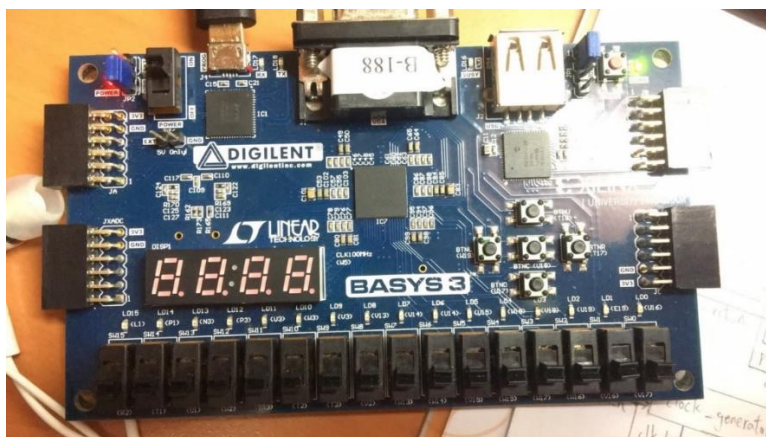
State: pause 為 0 / start 為 1

重置時的 state 會在 pause 的狀態，當不是 reset 時只要輸入 in 為 1，則 state 在 clock 的 positive edge 時會從原本的變成另外一個 state(pause(0)→start(1), count enable 為 1 / start(1)→pause(0), count enable 為 0)；而當輸入 in 為 0，state 會維持在原本的 state(pause(0)→pause(0), count enable 為 0 / start(1)→start(1), count enable 為 1)。

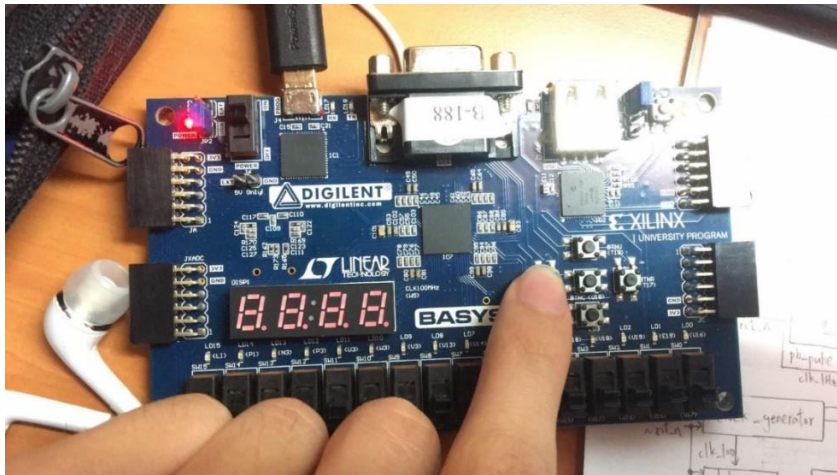
1.3 Use an FSM to implement the function of pause/start function. Use one LED to represent current state.

將 FSM 的 state 抓出來當作輸出(pause 為 0 和 start 為 1)，並連接 FPGA 板最右方的 LED 燈訊號：

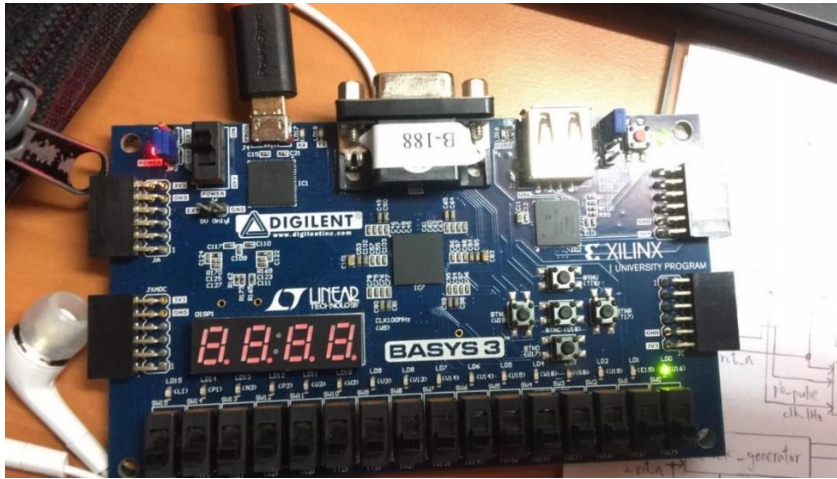
初始狀態:pause(0)，燈不亮



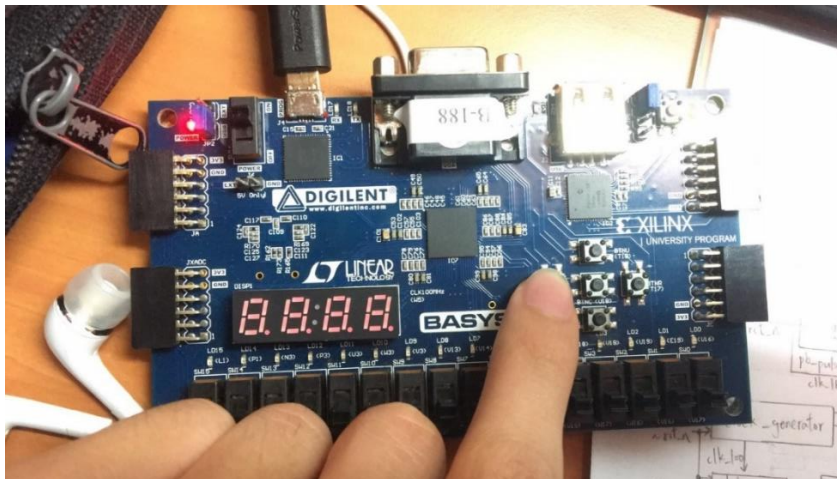
按下 push bottom



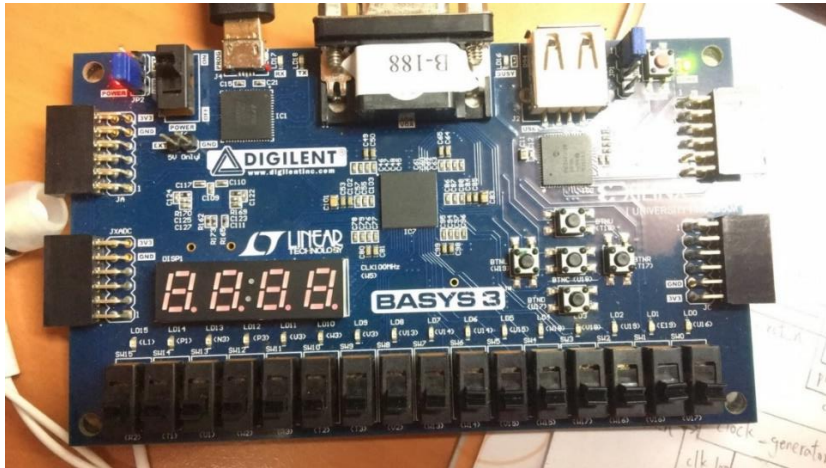
State 由 pause(0)變成 start(1)，最右方 LED 燈亮起。



再次按下 push bottom



State 由 start(1)變回 pause(0)，LED 燈熄滅。



1.4 Use Verilog to implement 1.3 and verify the design with simulation results.

由以下模擬圖可以得知當 reset 的時候 state 會在 pause 的狀態，當不是 reset 時只要輸入 in 為 1，則 state 會在 clock 的 positive edge 時從原本的變成另外一個 state(pause→start, start→pause)；而當輸入 in 為 0，state 會維持在原本的 state(pause→pause, start→start)，因此模擬圖與理論是相符的。

