

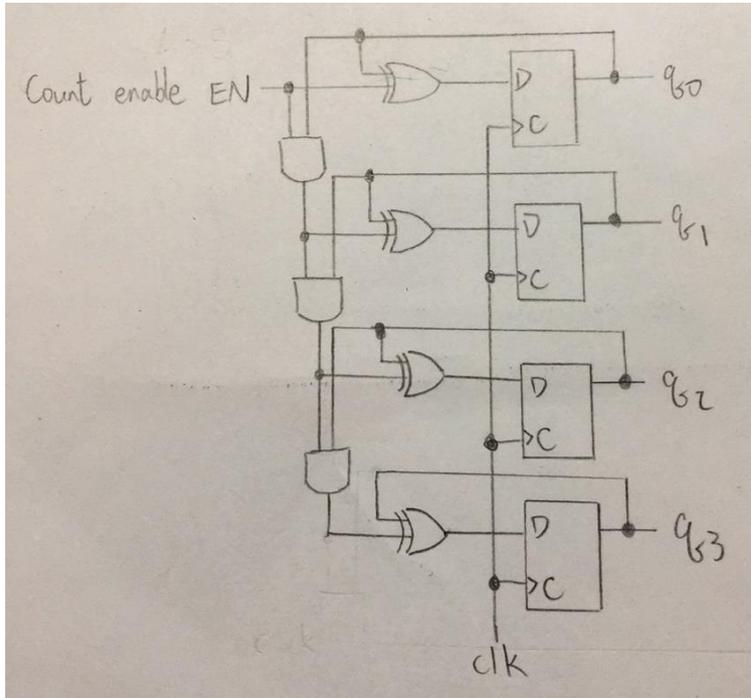
(1)4-bit synchronous binary up counter:

IO:

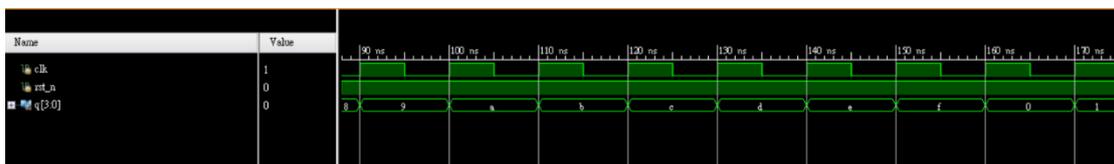
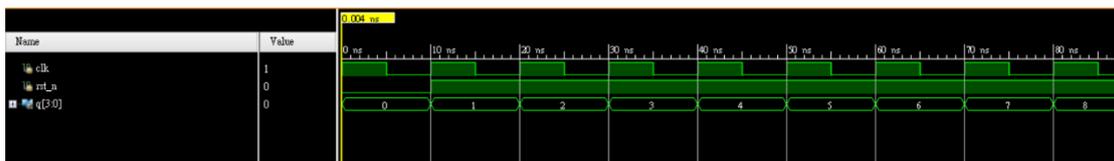
Input: clk, rst_n

Output: [3:0]q

Logic diagram:



Verilog RTL representation for the logics with verification:



Discussion:

本實驗要製作一個 4bit 的 binary counter，透過四個 T-flip-flop，可以達到每當一個 clock 的 positive edge 來時就將輸出(q)的最小位數 toggle 一次的效果，當進位時，可以牽動更高位數也 toggle 一次，以此類推，進而完成一個 4bit 的 binary counter。

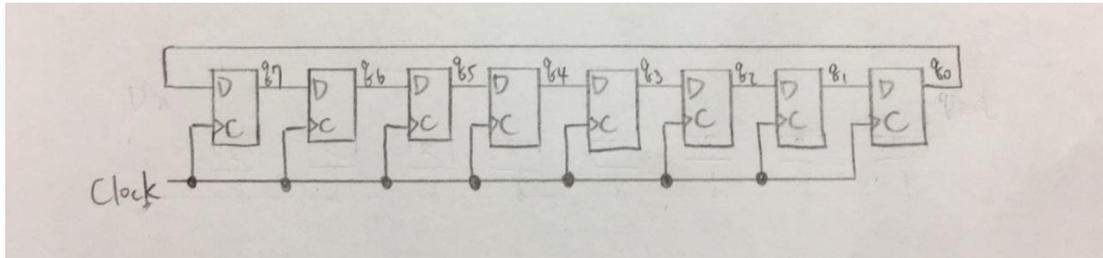
(2)ring counter:

IO:

Input: clk, rst_n

Output: [7:0]q

Logic diagram:



Verilog RTL representation for the logics with verification:



Discussion:

本實驗要建造一個 8bit 輸出的 ring counter，建構理念是透過同步的 clock 可以同時在 clock 的 positive edge 時將上一位的值傳給下一位，如此重複，而 reset 的時候輸出(q)為 01010101，即可完成一個 8bit 的 ring counter。

Conclusion:

這次 prelab 的目的在為 lab3 的 3、4 小題提早做準備，等第 2 小題完成後便可將 1Hz 的頻率連接上這兩題的 clock 上，也希望之後做 lab3 實驗時能夠順利的進行。