

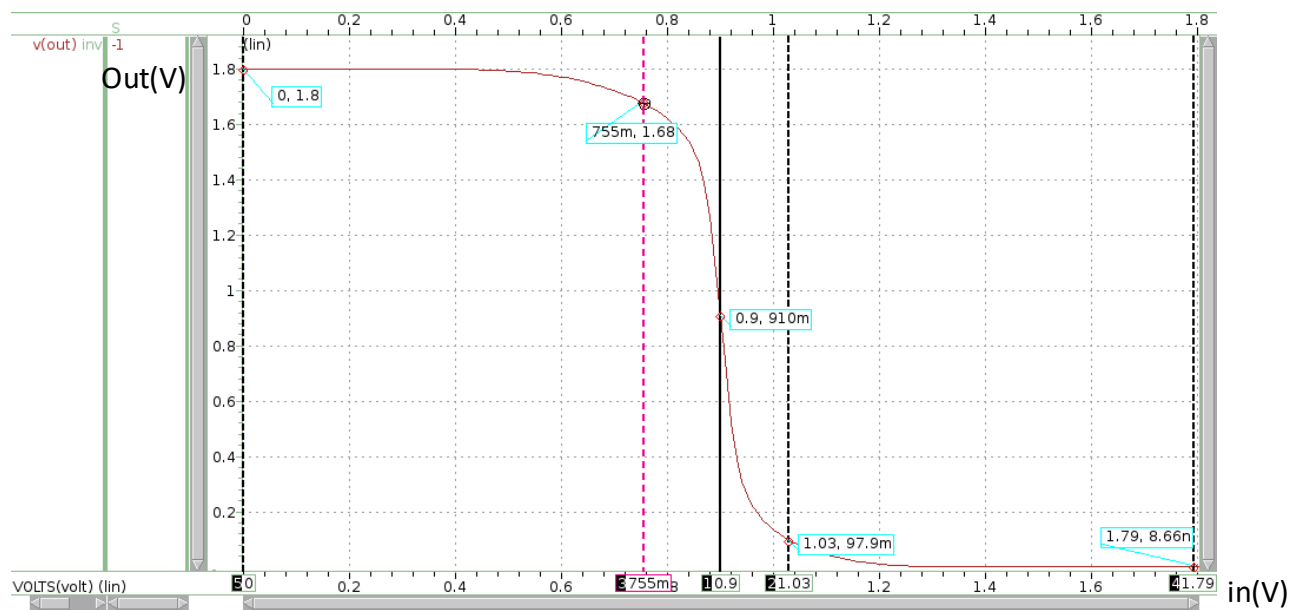
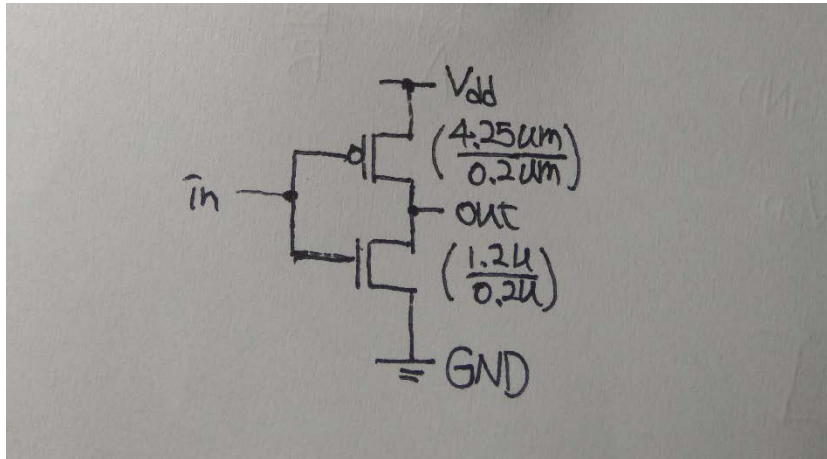
Hw2
105061112 王柏崴

a.

Design result :

$$\left(\frac{W}{L}\right)_p = \frac{4.25\mu\text{m}}{0.2\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_n = \frac{1.2\mu\text{m}}{0.2\mu\text{m}}$$



當 $in = 0.5 * V_{dd} = 0.9V$ 時，

由上圖可知：

$$\begin{aligned} out &\cong 0.9V \\ V_{IL} &= 755mV \\ V_{IH} &= 1.03V \\ V_{OL} &= 97.9mV \end{aligned}$$

$$V_{OH} = 1.68V$$

Noise margin :

$$NM_L = V_{IL} - V_{OL} = 657.1mV$$

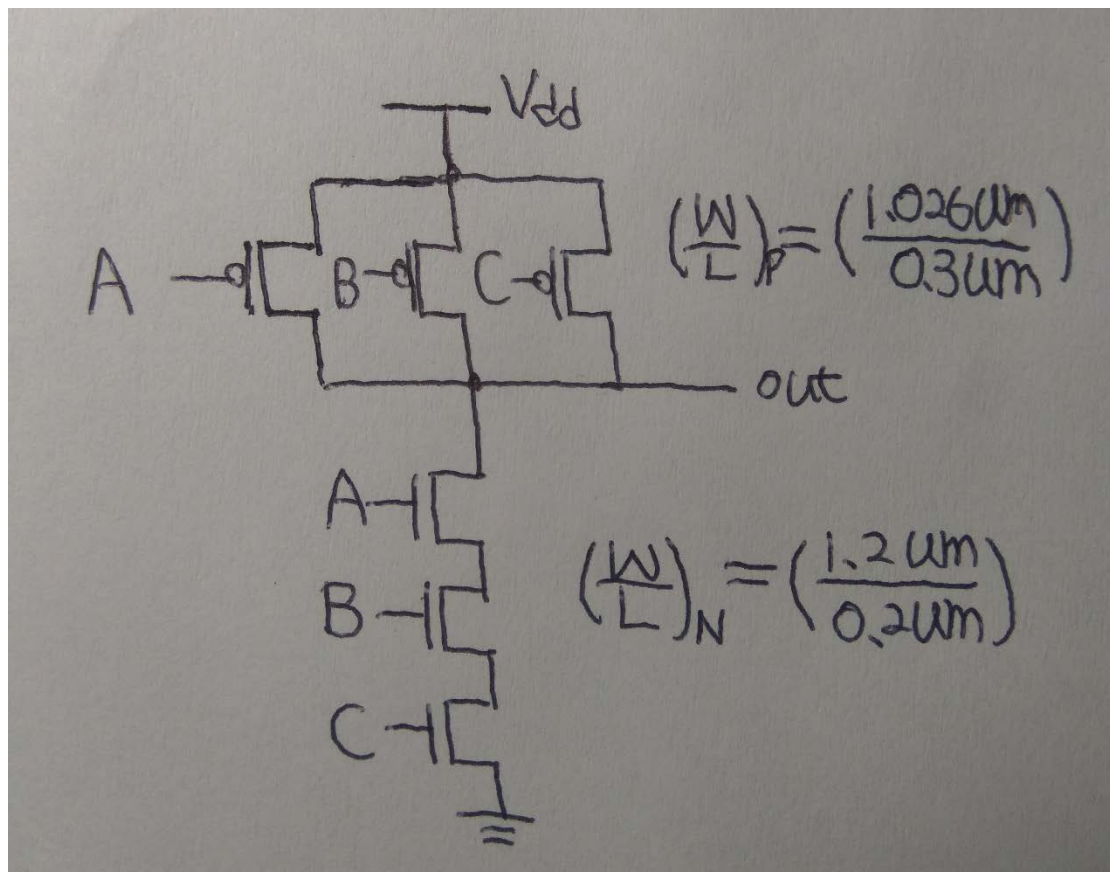
$$NM_H = V_{OH} - V_{IH} = 0.65V$$

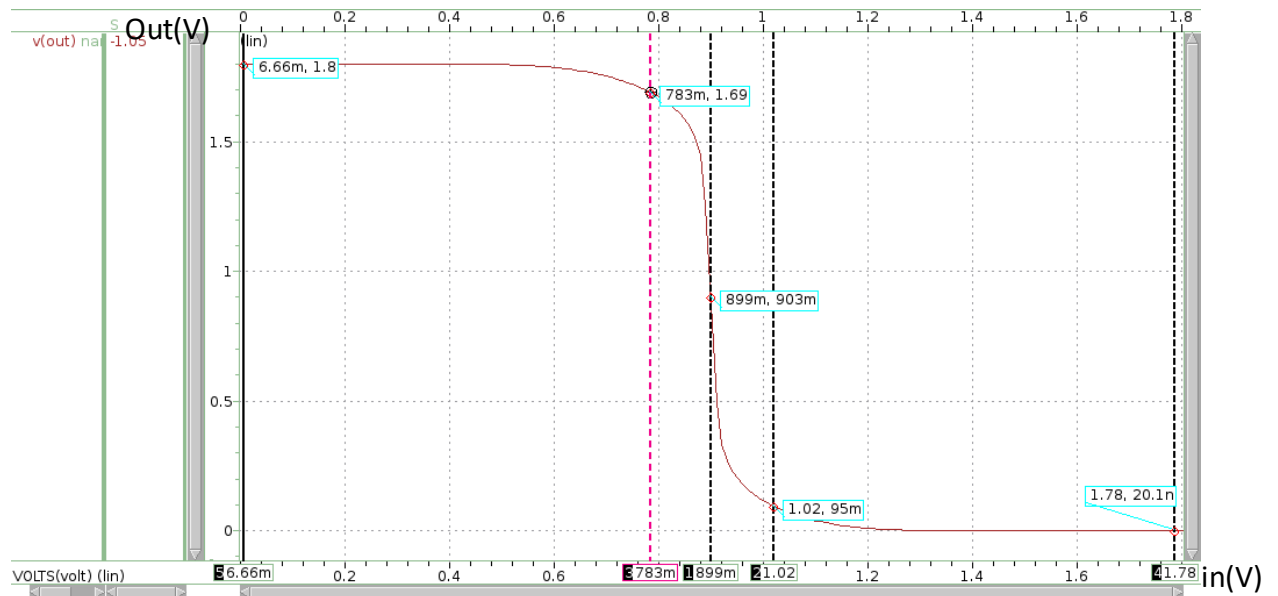
b.

Design result :

$$\left(\frac{W}{L}\right)_p = \frac{1.026\mu m}{0.3\mu m}$$

$$\left(\frac{W}{L}\right)_n = \frac{1.2\mu m}{0.2\mu m}$$





當 $in = 0.5 * V_{dd} = 0.9V$ 時，
由上圖可知：

$$out \cong 0.9V$$

$$V_{IL} = 783mV$$

$$V_{IH} = 1.02V$$

$$V_{OL} = 95mV$$

$$V_{OH} = 1.69V$$

Noise margin :

$$NM_L = V_{IL} - V_{OL} = 688mV$$

$$NM_H = V_{OH} - V_{IH} = 0.67V$$

從 a.與 b.的結果可得下表：

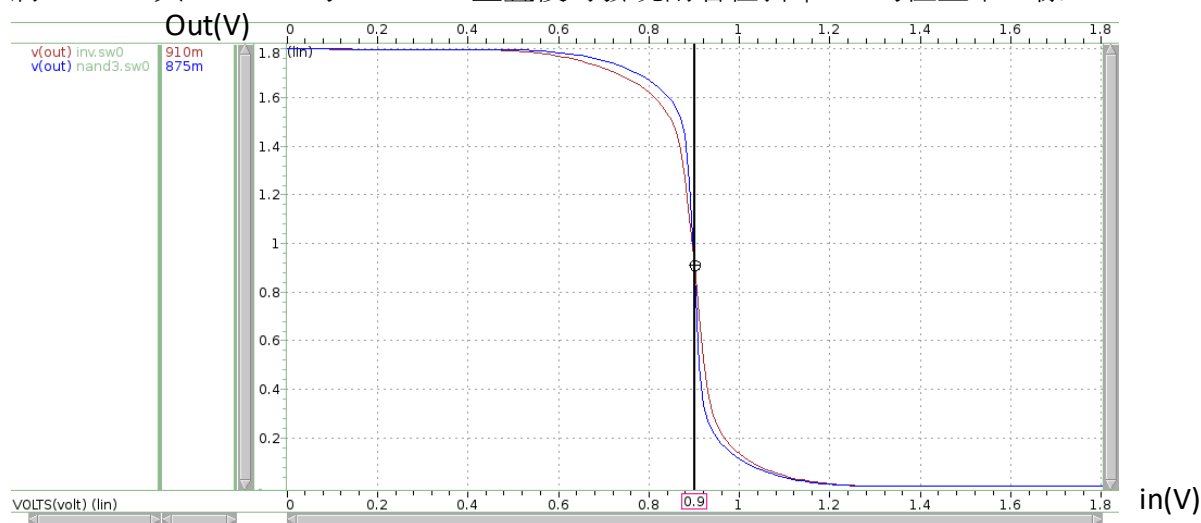
	Inverter	NAND3
V_{IL}	755mV	783mV
V_{IH}	1.03V	1.02V
V_{OL}	97.9mV	95mV
V_{OH}	1.68V	1.69V
NM_L	657.1mV	688mV
NM_H	0.65V	0.67V

表一、inverter 與 NAND3 各值比較

從上表可知，在 V_{il} 與 V_{oh} 方面，inverter 模擬值的皆小於 NAND3 ($\Delta V_{il} : -28mV$ ， $\Delta V_{oh} : -0.01V$)，而在 V_{ih} 與 V_{ol} 則皆大於 NAND3 ($\Delta V_{ih} : 0.01V$ ， $\Delta V_{ol} : 2.9mV$)。在 noise margin 方面，inverter 皆以極小差距小於 NAND3 ($\Delta NM_L : -30.9mV$ ， $\Delta NM_H : -0.02V$)。差距不大的原因是 NAND3 與 inverter 的邏輯相同，

故 noise margin 相近。

將 NAND3 與 inverter 的 dc curve 重疊後可發現兩者在斜率=-1 的值並不一樣：



因為在 NAND3 中，pull down circuit 是由三個 NMOS 串連而成，當 $V_{in} 0 \rightarrow 1$ 時，等效電阻從原本的大 \rightarrow 小，所以會有 body effect，使 V_{th} 較大，因此會產生所見之情形

C.

Inv :

$$\left(\frac{W}{L}\right)_p / \left(\frac{W}{L}\right)_n = 3.542$$

NAND3 :

$$\left(\frac{W}{L}\right)_p / \left(\frac{W}{L}\right)_n = 0.57$$

若將 NMOS 與 PMOS 化成 RC circuit model，由於 PMOS 的 mobility 小於 NMOS，所以通常 PMOS 的等效電阻會是 NMOS 的 2 至 3 倍 (i.e. NMOS resistance : R, PMOS resistance : 2R or 3R)，已知相對於 unit mos 來說 width 上升 k 倍會使電阻下降 k 倍，而因為 propagation delay 必須相等，故 pull up circuit 的等效電阻必須等於 pull down circuit 的等效電阻。

在 inverter 中，轉換為 RC circuit 後，可知：

$$\begin{aligned} \text{pull up resistance} &= \text{pull down resistance} \\ \Rightarrow \frac{2R}{k} &= \frac{R}{K} \quad \forall k = \text{PMOS width}, K = \text{NMOS width} \end{aligned}$$

$$\Rightarrow \frac{k}{K} = \frac{2}{1}$$

在 NMOS 中，因為 pull down 是由三個 NMOS 串聯，所以電阻要乘三，pull up

則是由三個電阻並聯(在此不用 worst case 是因為所有 MOS 都是同時 0->1 or 1->0，所以要把三顆 PMOS 的電阻並聯)

$$\text{pull up resistance} = \text{pull down resistance}$$

$$\Rightarrow \frac{R}{3k} = \frac{R}{K} \times 3 \quad \forall k = \text{PMOS } W/L \text{ ratio}, K = \text{NMOS } W/L \text{ ratio}$$

$$\Rightarrow \frac{k}{K} = \frac{1}{9}$$

從以上推導可知，inverter PMOS/NMOS ratio 大於 NAND3 PMOS/NMOS ratio，而模擬所得的值也符合此趨勢 (3.542 > 0.57)。

d.

	Case 1					Case 2					Case 3				
Input A	Clk					1					1				
Input B	1					Clk					1				
Input C	1					1					Clk				
corner	TT	SS	FF	SF	FS	TT	SS	FF	SF	FS	TT	SS	FF	SF	FS
tpHL (ns)	2.63	5.56	2.21	5.55	2.91	2.64	5.58	2.22	5.58	2.92	2.64	5.59	2.22	5.58	2.92
tpLH (ns)	7.19	11	6.25	6.25	6.72	7.23	11	6.25	6.27	6.76	7.23	11.1	6.26	6.28	6.77
tf (ns)	3.6	7.74	3.02	7.74	3.98	3.59	7.74	3.02	7.74	3.98	3.59	7.74	3.02	7.74	3.98
tr (ns)	10.3	15.4	8.99	8.99	9.66	10.3	15.5	9.02	9.04	9.69	10.4	15.6	9.04	9.07	9.72

Table. 1

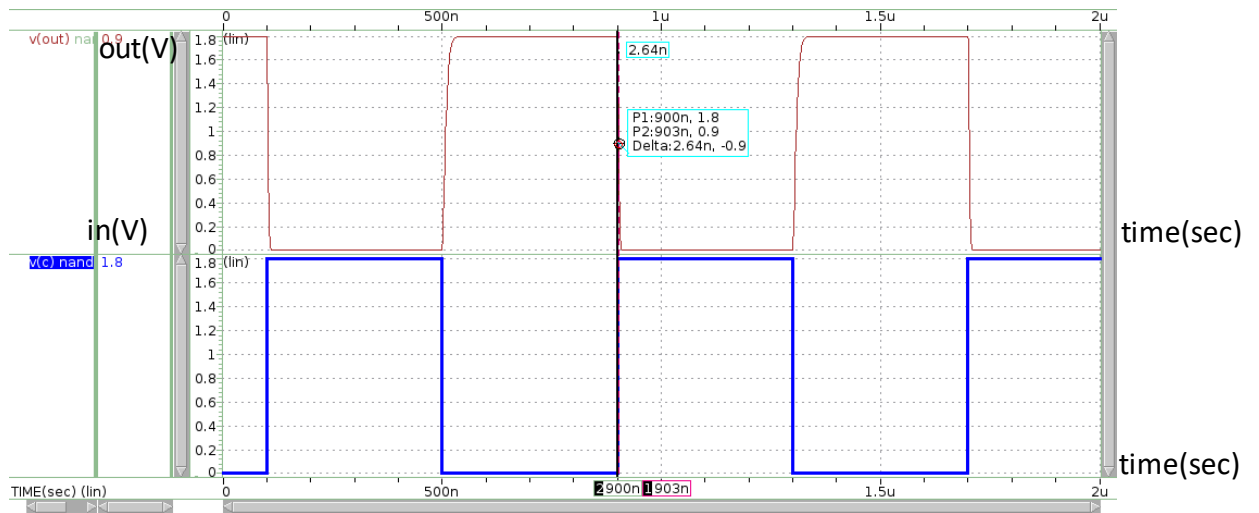


Fig.1 case 3 : tpHL

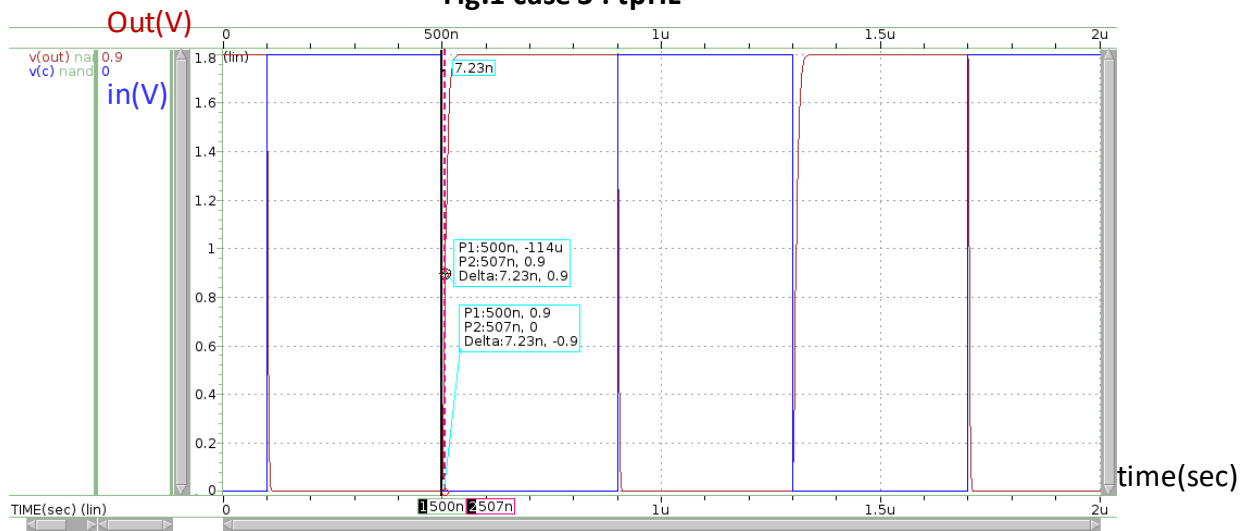


Fig.2 case 3 : tpLH

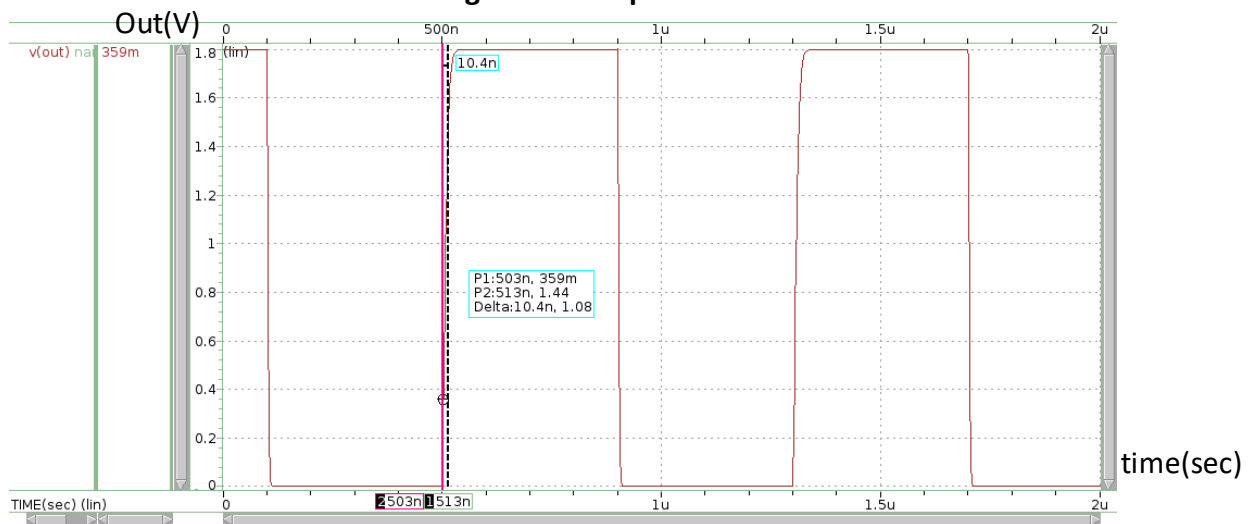


Fig.3 case 3 : tr

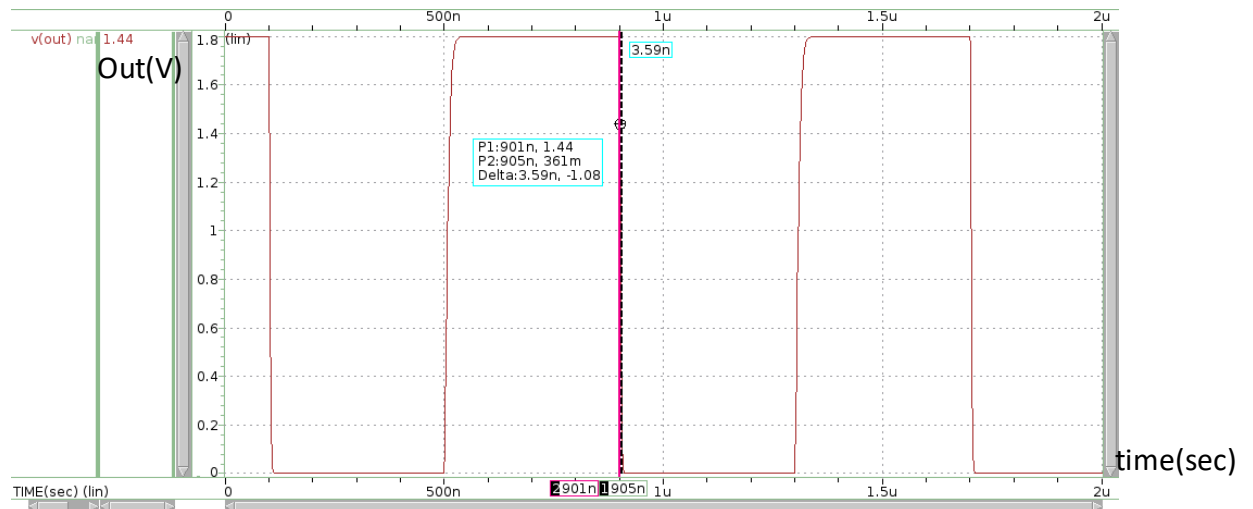


Fig.3 case 3 : tf

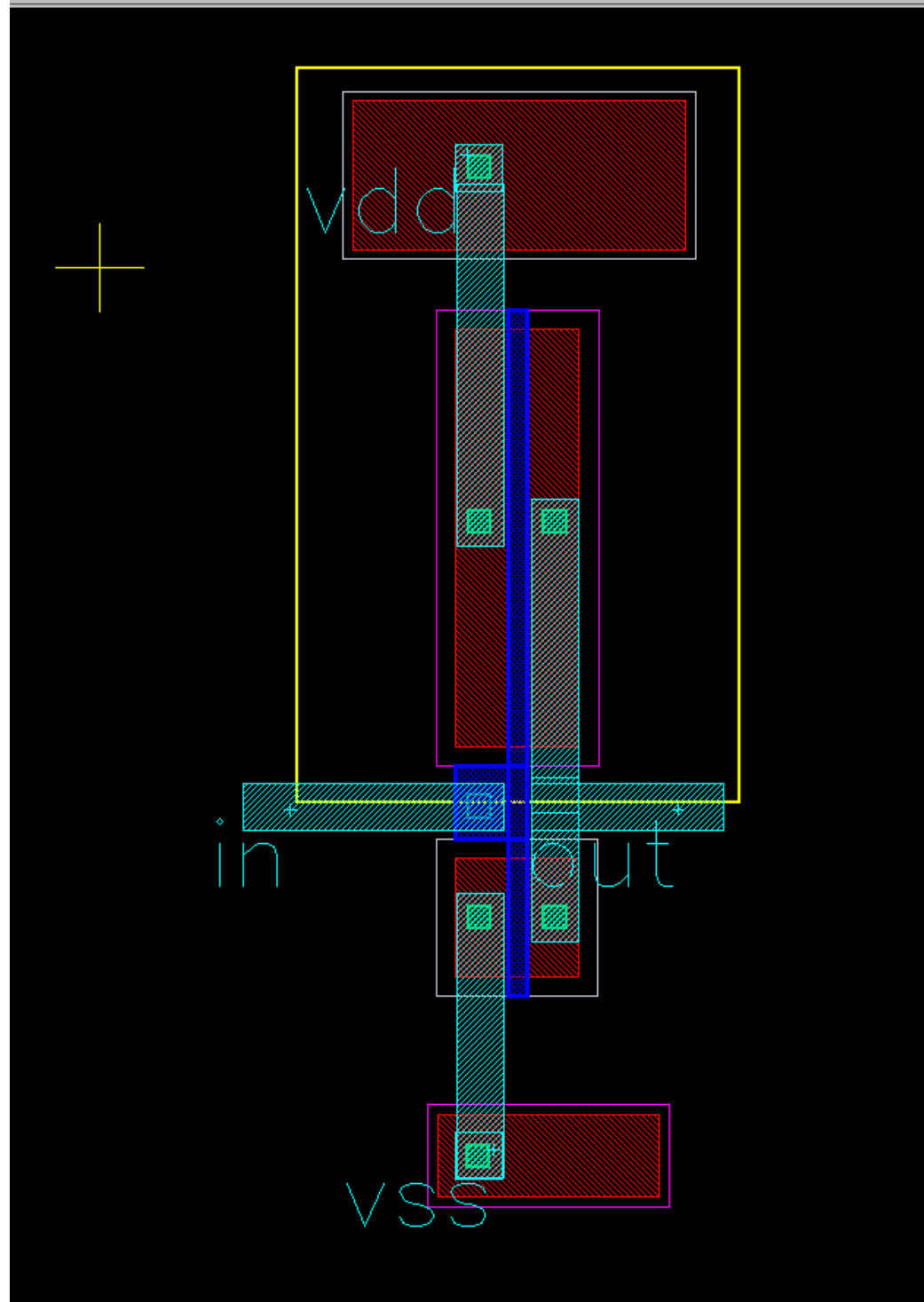
從 table. 1 可發現 tpHL 與 tpLH 在 case 1，也就是 A 為 CLK，其相對於 case 2 與 case 3 的時間為最小，其原因是以 A 為 input 的 NMOS 距離 output 最近，因此當 CLK 來時，可以有 best case delay，同理，可發現 case 3 tpHL 與 tpLH 最大，其原因為以 C 為 input 的 NMOS 距離 out 最遠，所以有 worst case delay。

5 corner 為 PMOS 與 NMOS 的載子飄移速度各種可能組合，也因此在此 table. 1 各 case 的 FF 中，可見其不論是 rise time (tr) 還是 fall time 都有最好的表現(最小 delay)，SS 的 rise time (tr) 與 fall time delay 較大。

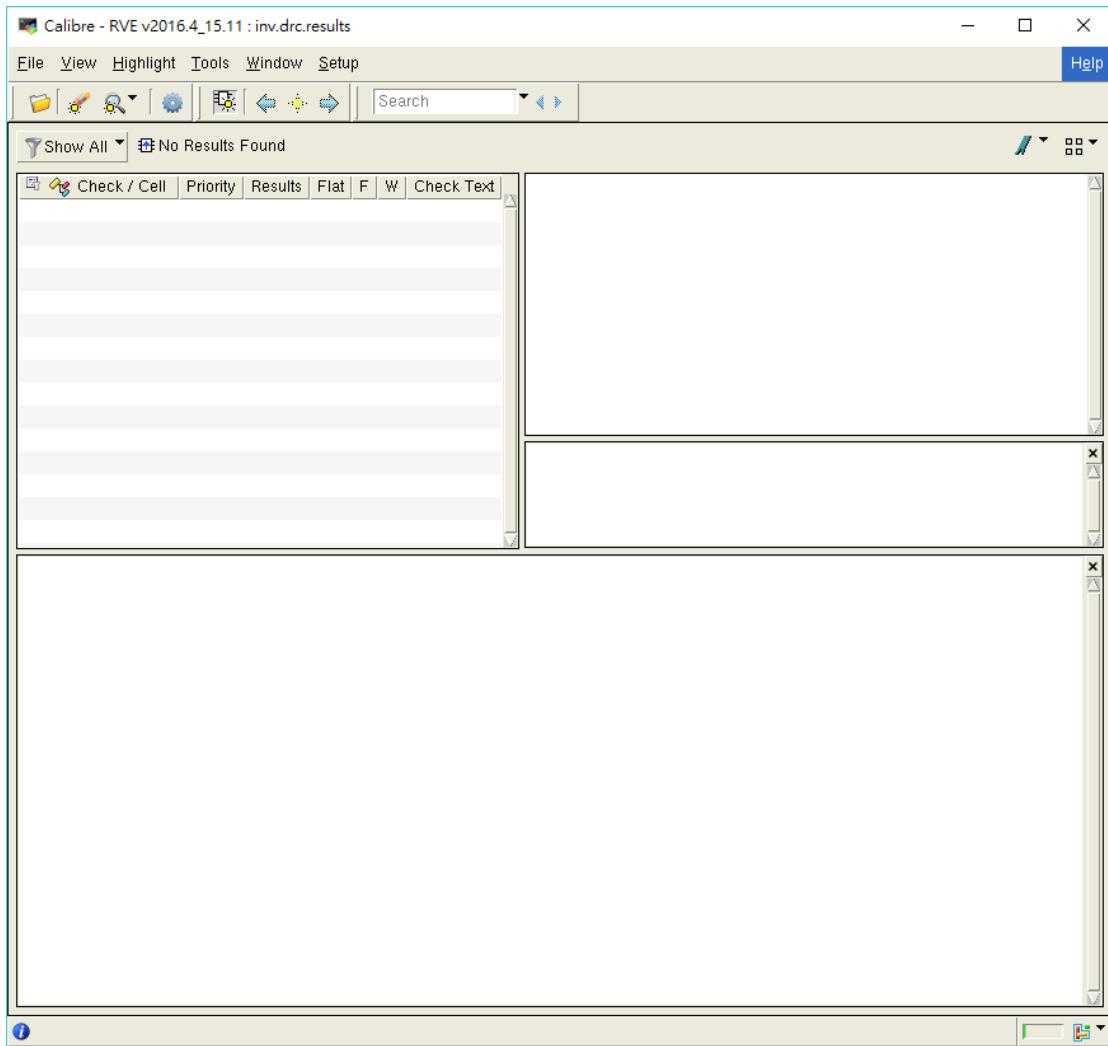
比較 tpHL 與 tpLH 可發現，同一 case，在 SF 下 tpHL 的 delay 僅次於 SS，因為 NMOS 在 pull down circuit 串聯三個，當 input 為高電壓時，NMOS switch on，PMOS switch off，故當 NMOS 為 S (slow) 時其 delay time 相對 FF、FS、TT 較大；同理，當 PMOS 為 S 時 tpLH 較 F 時大 (PMOS switch on，NMOS switch off)

e.

Layout :



DRC :



LVS :


```
MobaTextEditor
File Edit Search View Format Syntax Special Tools
inverter.sp nand3.sp
1 Inverter
2 .protect
3 .lib 'cic018.1' TT
4 .unprotect
5 .temp 25
6 .option
7 + post      $output waveform to user
8 + acout=0 runlvl=6 $increase simulation accuracy
9 + captable  $list every node capacitance
10
11
12 .param vd=1.8
13
14 *****circuit*****
15 .SUBCKT inv in out vdd vss
16 MM0 out in vss vss N_18 W=1.2u L=0.2u m=1
17 MM1 out in vdd vdd P_18 W=4.25u L=0.2u m=1
18
19 .ENDS
20 *****
21
22 *****call the circuit***
23 x1 in out vdd vss inv
24 *****
25
26 *****define source*****
27 vdd vdd 0 vd
28 vss vss 0 0
29 Vin in GND PULSE 0 vd 10n 0.1n 0.1n 50n 100n
30 *****
31
32 *****analysis*****
33 .op
34 .dc Vin 0 vd 0.01
35 .tran 0.1n 500n
36 *****
37
38 .end
39
40
C:\Users\BOWIEW~1\DOCUME~1\MobaXterm\slash\RemoteF_UNIX Plain text 40 lines Row #18 Col #
```

Inverter.sp

```
MobaTextEditor
File Edit Search View Format Syntax Special Tools
nand3.sp
1 Inverter
2 .protect
3 .lib 'cic018.1' TT
4 .unprotect
5 .temp 25
6 .option
7 + post          $output waveform to user
8 + acout=0 runlvl=6 $increase simulation accuracy
9 + capttable     $list every node capacitance
10
11 .param vd=1.8
12 .param vss = 0
13 CL out GND lp
14 *****define source*****
15 vdd  vdd  0 dc= vd
16 vss  vss  0 0
17 VinA A GND dc=1.8
18 VinB B GND dc=1.8
19 VinC C GND pulse 0V 1.8V 0.1u 0.1n 0.1n 400n 800n
20 *****
21 ***** NAND3 *****
22 MP1 out A vdd vdd P_18 W=1.026u L=0.3u m=1
23 MP2 out B vdd vdd P_18 W=1.026u L=0.3u m=1
24 MP3 out C vdd vdd P_18 W=1.026u L=0.3u m=1
25
26 MN1 out A n1 n1 N_18 W=1.2u L=0.2u m=1
27 MN2 n1 B n2 n2 N_18 W=1.2u L=0.2u m=1
28 MN3 n2 C vss vss N_18 W=1.2u L=0.2u m=1
29
30 *****analysis*****
31 .op
32 ***.dc VinA 0 vd 0.01
33 .tran 0.1n 2u
34 *****measure*****
35 .MEAS tran t_rise TRIG v(out) VAL='0.2*vd' RISE=1
36 +                TARG v(out) VAL='0.8*vd' RISE=1
37 .Meas tran t_fall TRIG v(out) VAL='0.8*vd' FALL=1
38 +                TARG v(out) VAL='0.2*vd' FALL=1
39 .Meas tran t_pHL TRIG v(C) VAL='0.5*vd' rise=1
40 +                TARG v(out) VAL='0.5*vd' FALL=1
41 .Meas tran t_pLH TRIG v(C) VAL='0.5*vd' FALL=1
42 +                TARG v(out) VAL='0.5*vd' rise=1
43 ***** 5 corner *****
44 .alter case 1 :
45 .lib 'cic018.1' SS
46
47 .alter case 2 :
48 .lib 'cic018.1' FF
49
50 .alter case 3 :
51 .lib 'cic018.1' SF
52
53 .alter case 1 :
54 .lib 'cic018.1' FS
55 .end
56
* C:\Users\BOWIEW~1\DOCUME~1\MobaXterm\slash\Remote UNIX Plain text 56 lines Row #30 Col #
```

nand3.sp