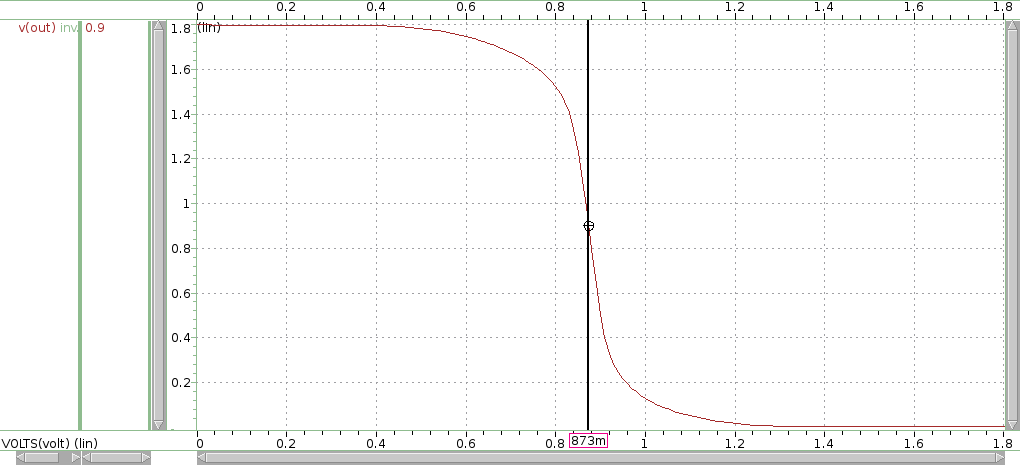
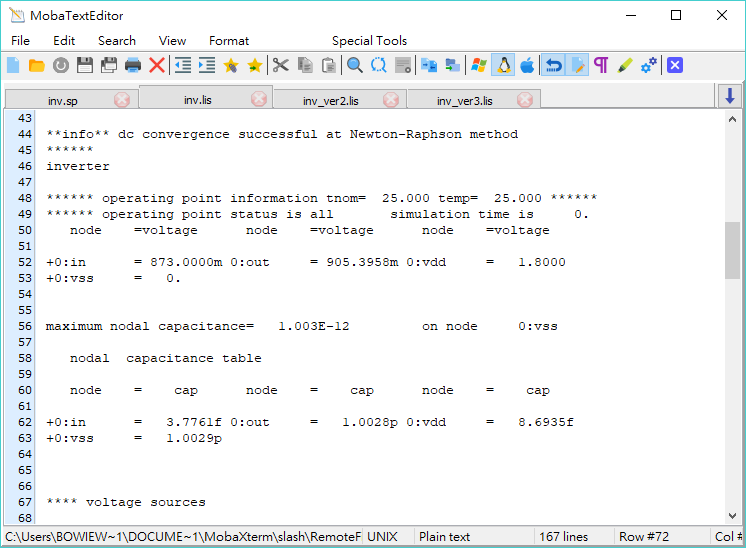
HW3

105061112王柏崴

1. 已知inverter的，從inverter 的dc curve可知，transition point為Vin=873mV：



將Vin設為873mV，並求此情形下的Cg：

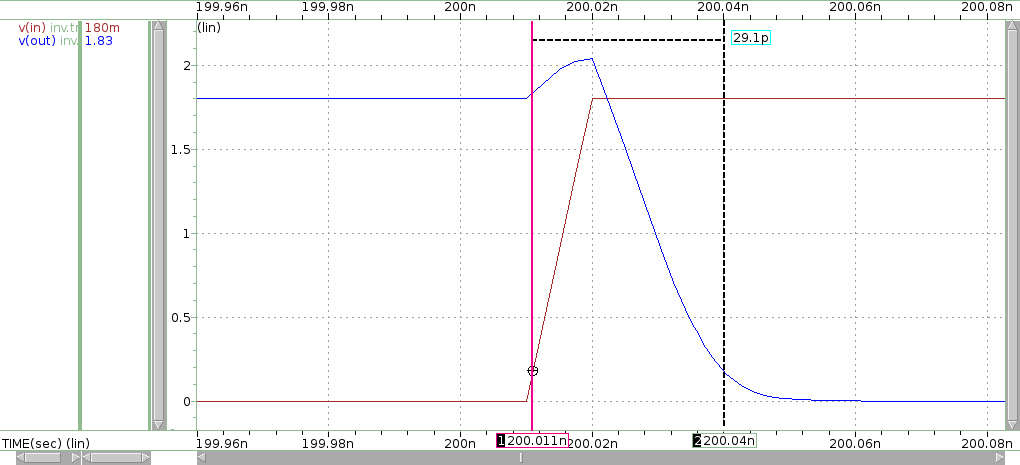
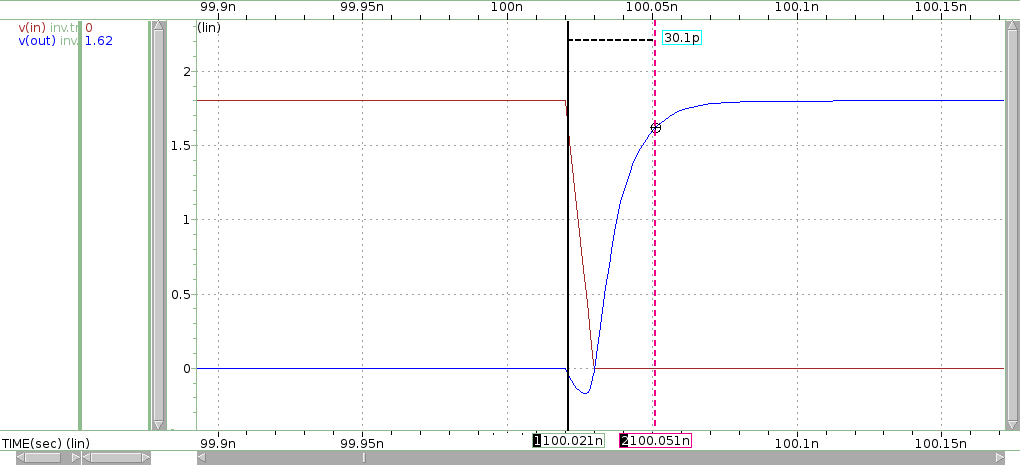


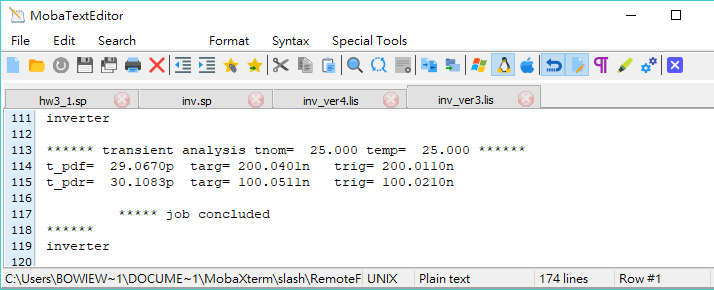
在一般情況下取，已知：

Take N=7,

與假設相近故可驗證假設正確。

在此為方便計算，故先求出第一顆指定inverter的pull-up propagation delay與pull-down propagation delay：





因為已知，，由上面測量結果可知，

將(a)中所計算出的stage number N與stage delay：

乘上time constant 後，可得：

為符合題意，嘗試不同stage number N，以求得更小time delay，可得下表(因為為inverter buffer所以N只可為奇數)：

| N |  | D |
| --- | --- | --- |
| 3 | 27.67 | 86.0114 |
| 5 | 7.3318 | 41.659 |
| 7 | 4.1496 | 36.0472 |
| 9 | 3.0246 | 36.2214 |
| 11 | 2.4733 | 38.2 |

由上表可知，當stage number N=7時，delay為最小，故只能取N=7。

為求設計每一stage的size，先計算最後一stage Cin：

其餘stage同樣：

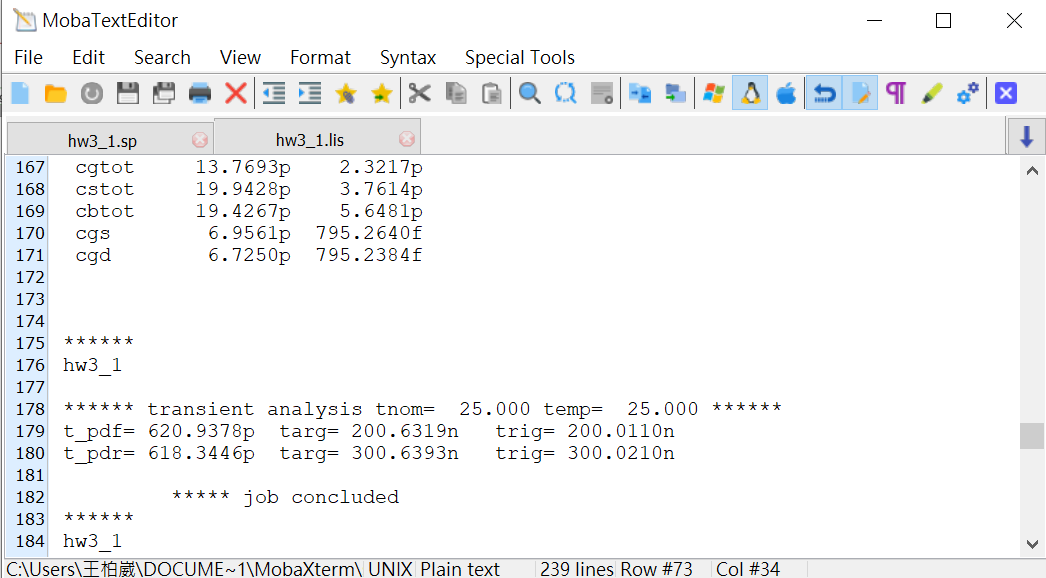
所以下一stage的W與L為前一stage的4倍(i.e. PMOS, NMOS size都是0.5u/0.18u，只是transistor number增加4倍)，因此設計出下表：

| Stage | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| --- | --- | --- | --- | --- | --- | --- | --- |
| PMOS number | 3 | 12 | 48 | 192 | 768 | 3072 | 12288 |
| NMOS  number | 1 | 4 | 16 | 64 | 256 | 1024 | 4096 |

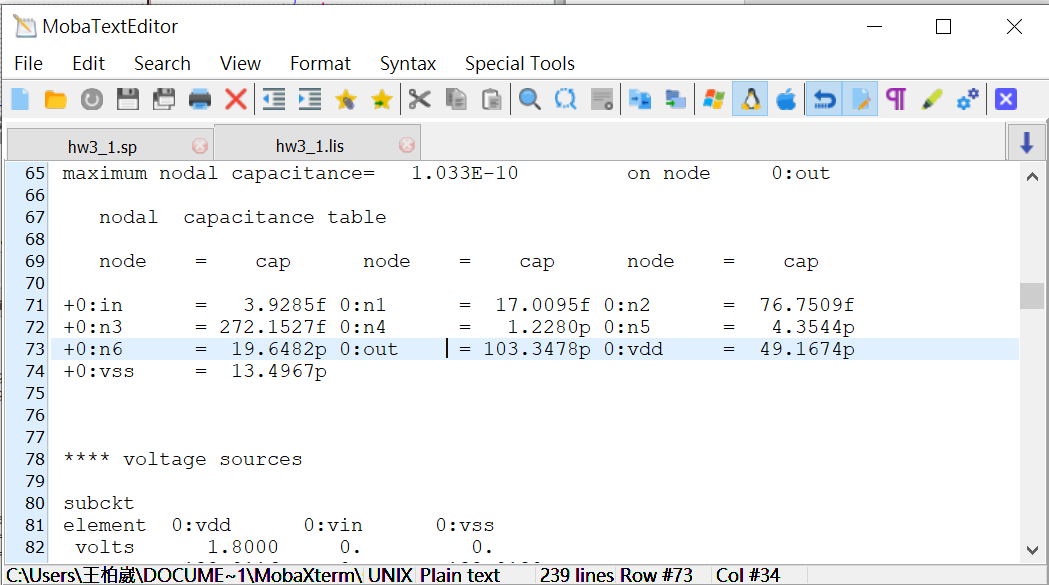
將設計結果模擬可得知：

| tpdr | tpdf |
| --- | --- |
| 618ps | 621ps |





最後驗證設計條件是否符合模擬結論(i.e. last stage Cin = 19.28pF. Next stage Cin = 4 times previous stage Cin)：

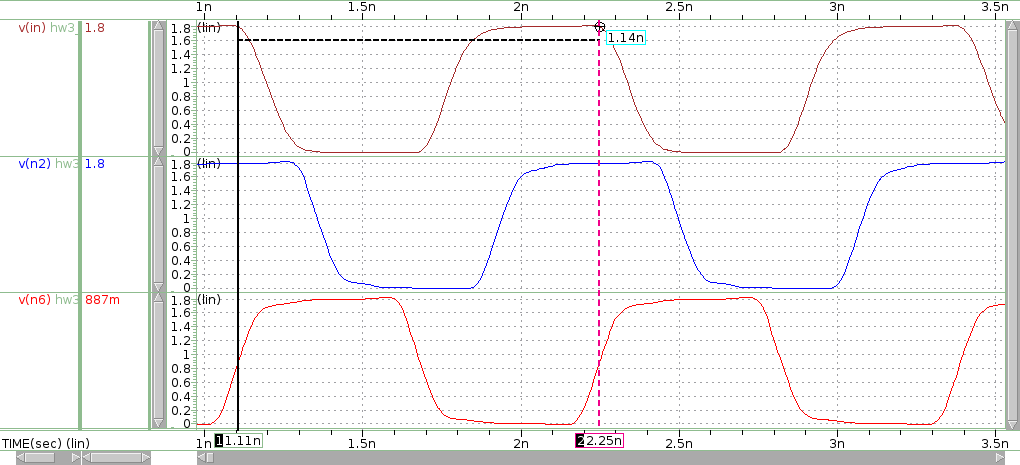


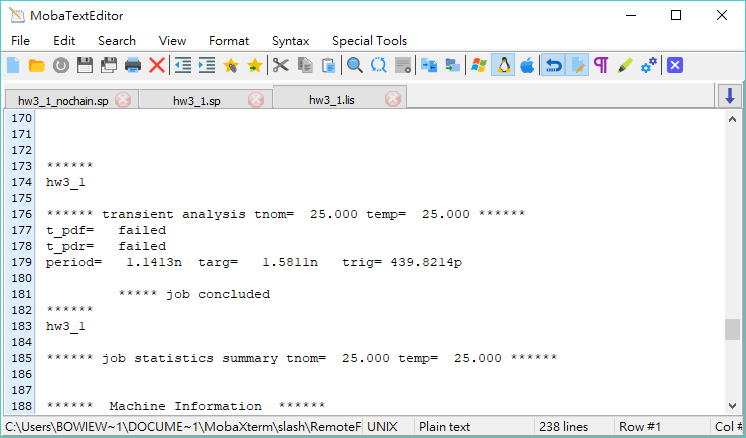
由上圖可知，結果大致符合設計條件。

因為傳輸一訊號至out的delay為，而傳遞訊號反轉週期為

所以震盪頻率：

1. 





將in設initial condition = 1.8V後，可得上面兩張結果。

由(c)與(d)可發現，手算預估頻率與實際模擬頻率有些差異，但數量級一樣：

手算：

模擬：

誤差百分比：8.54%

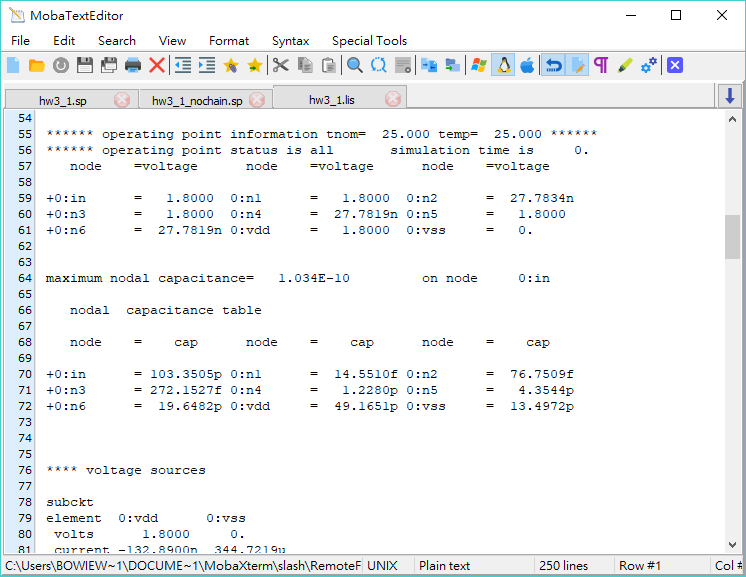
因為Ring oscillator是透過每stage delay time實現input與output的時間差，並利用時間差產生oscillation period，因此：

而元件的time delay 與其parasitic capacitor和resistance有關：

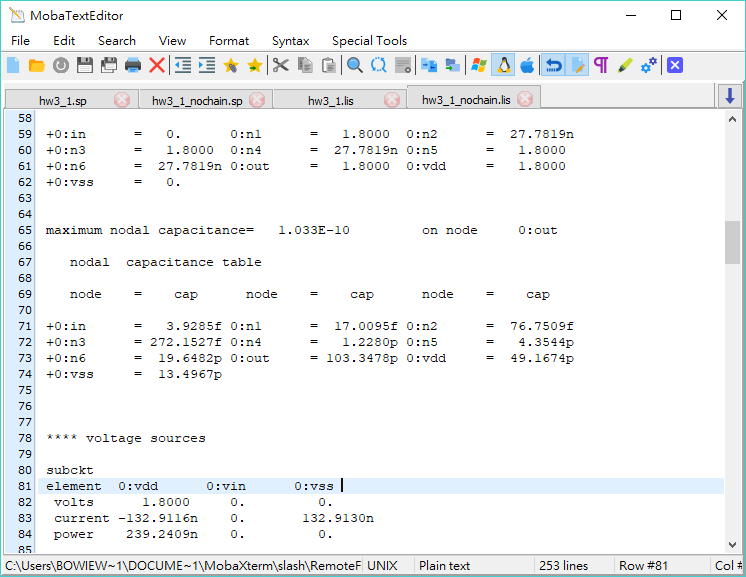
因為前面手算時是用open loop情況下的各值進行計算，而實際卻是closed loop，因此以下為討論為何兩者會有誤差。

下面兩張為模擬 closed loop與open loop情形時，每node的capacitance：

Closed loop :



Open loop :



從上圖可發現open loop每node的電容都不相同，並可整理出下表：

| Closed  Loop |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Stage | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| Cout/Cin | 0.000141 | 5.274613 | 3.545922 | 4.512173 | 3.545928 | 4.512263 | 5.260049 |
| , | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
|  | 30.21821 | | | | | | |
| Open loop |  |  |  |  |  |  |  |
| Stage | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| Cout/Cin | 4.32977 | 4.512237 | 3.545922 | 4.512173 | 3.545928 | 4.512263 | 5.259912 |
| , | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
|  | 26.65109 | | | | | | |

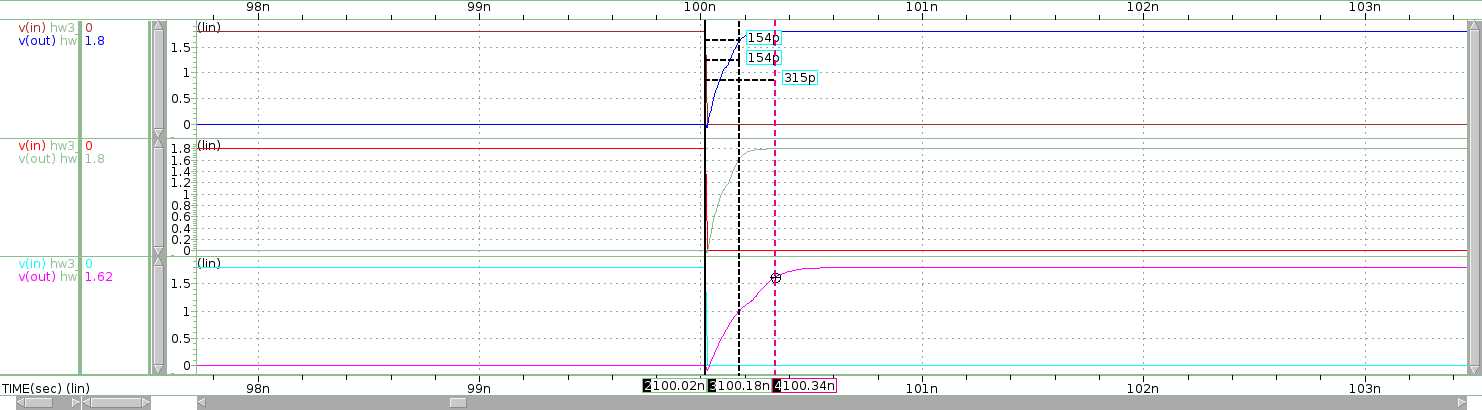
從上表最終計算出的delay可發現，因為closed loop在stage two 雖然較open loop的大，但stage one極小，而使整體delay closed loop較open loop小，也因此模擬oscillation frequency較手算大一些。

此題主要計算power的方式為取第一顆inverter PMOS source端電流在一周期內的平均值後，再乘Vdd (1.8V)即可得到平均功率，並利用平均功率乘時間得消耗能量，而因為題目有要求不同時間區段，以前述相同方法，只是取不同時間段的平均電流，

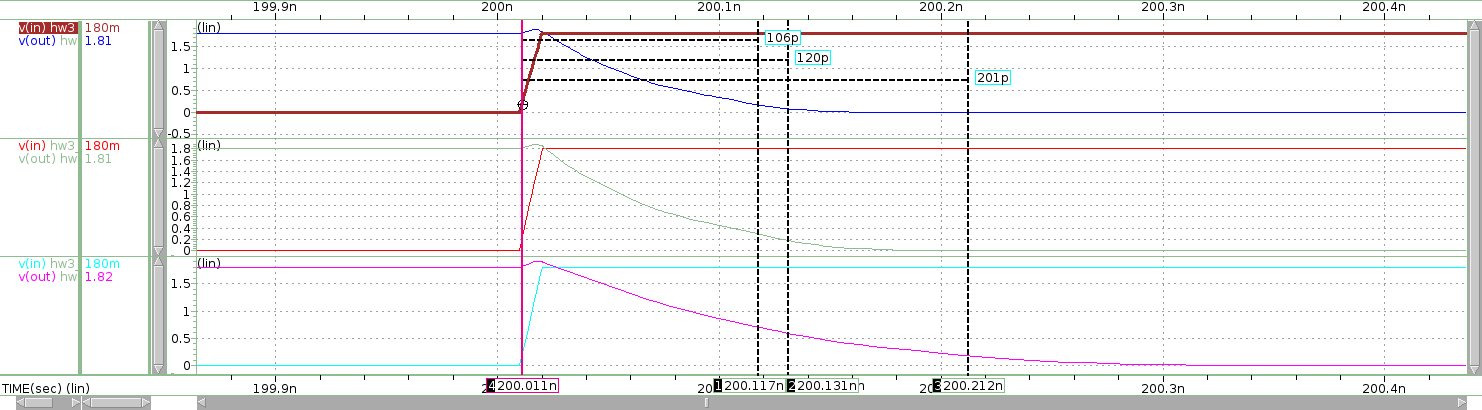
以下為利用.MEAS與waveview所找出來的tpdf, tpdr, power dissipation :

| Corner |  |  |  |  |
| --- | --- | --- | --- | --- |
| TT | 106.4766p | 154.4526p | 109.6999f | 548.4994n |
| FF | 120.1478p | 154.2097p | 119.9474f | 599.7368n |
| SS | 201.0861p | 315.4807p | 122.3199f | 611.5996n |

Tpdr :

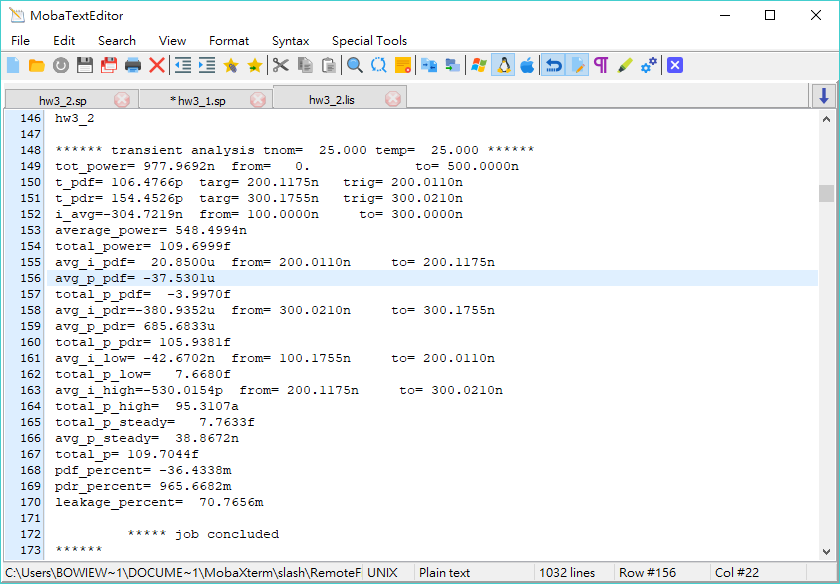


Tpdf :

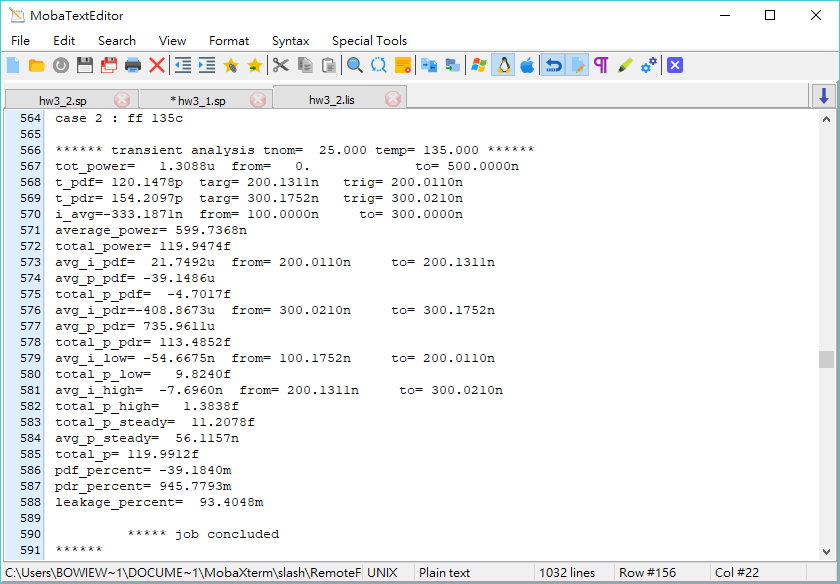


Average power consumption, tpdr and tpdf by meas.

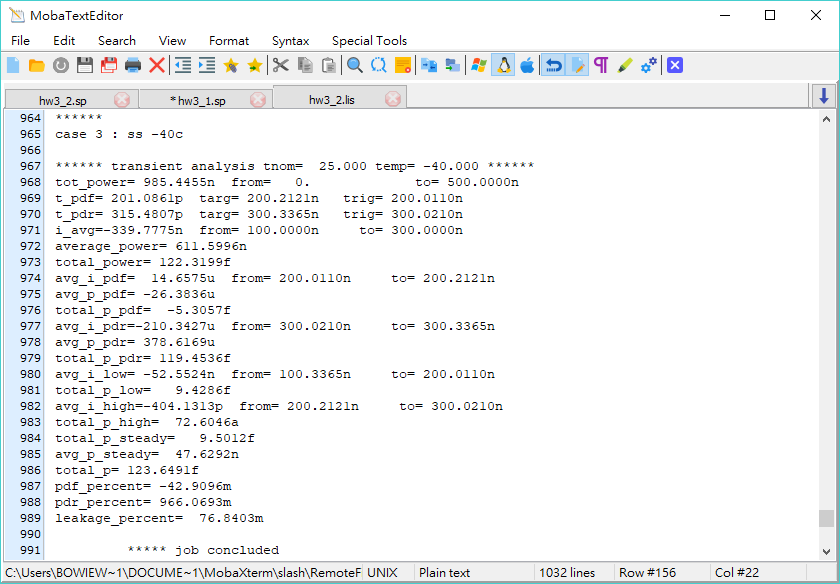
TT :



FF :

說

SS :

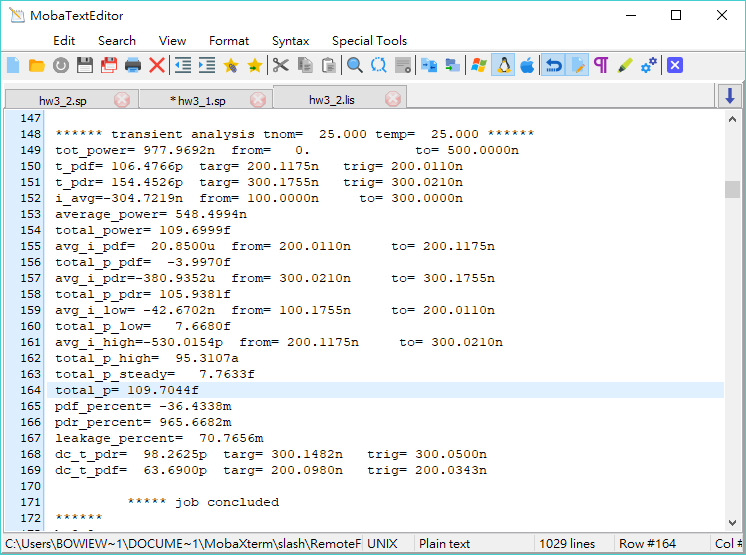


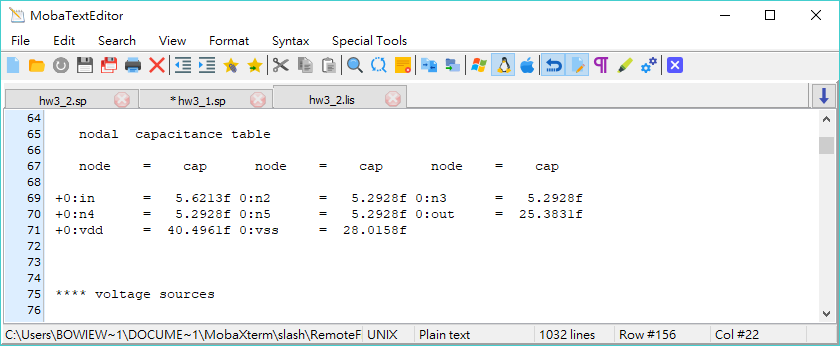
以下為各區段時間內的average power, power dissipation (energy) 及百分比:

| Corner/interval | Pdf | Pdr | Leakage | Total |
| --- | --- | --- | --- | --- |
| TT |  | | | |
| Average power(W) | -37.5301u | 685.6833u | 38.8672n | 548.4994n |
| Total Energy(J) | -3.9970f | 105.9381f | 7.7633f | 109.7044f |
| Percent. | -36.4338m | 965.6682m | 70.7656m | 100% |
| FF |  | | | |
| Average power(W) | -39.1486u | 735.9611u | 56.1157n | 599.7368n |
| Total energy(J) | -4.7017f | 113.4852f | 11.2078f | 119.9912f |
| Percent. | -39.1840m | 945.7793m | 93.4048m | 100% |
| SS |  | | | |
| Average power(W) | -26.3836u | 378.6169u | 47.6292n | 611.5996n |
| Total energy(J) | -5.3057f | 119.4536f | 9.5012f | 123.6491f |
| Percent. | -42.9096m | 966.0693m | 76.8403m | 100% |

以下為各corner下的各項measure及node capacitance，和計算dc short 及 parasitic capacitance power dissipation:

TT :





取Vin從0V->1.8V與1.8V->0V時，流經第一顆inverter source端的電流平均值，再乘1.8V即可得到short時的power，利用.meas計算可得

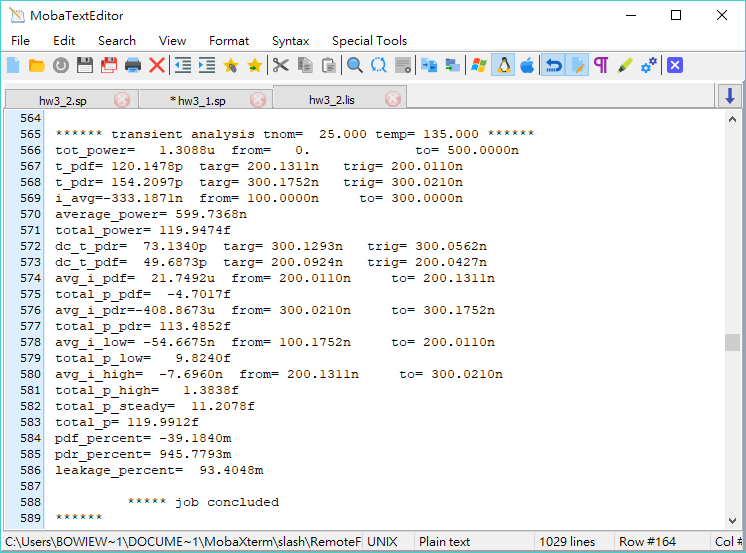
Rising :

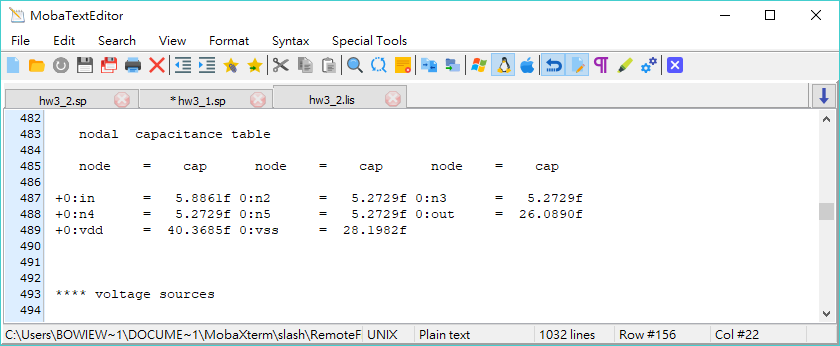


Falling :



FF :



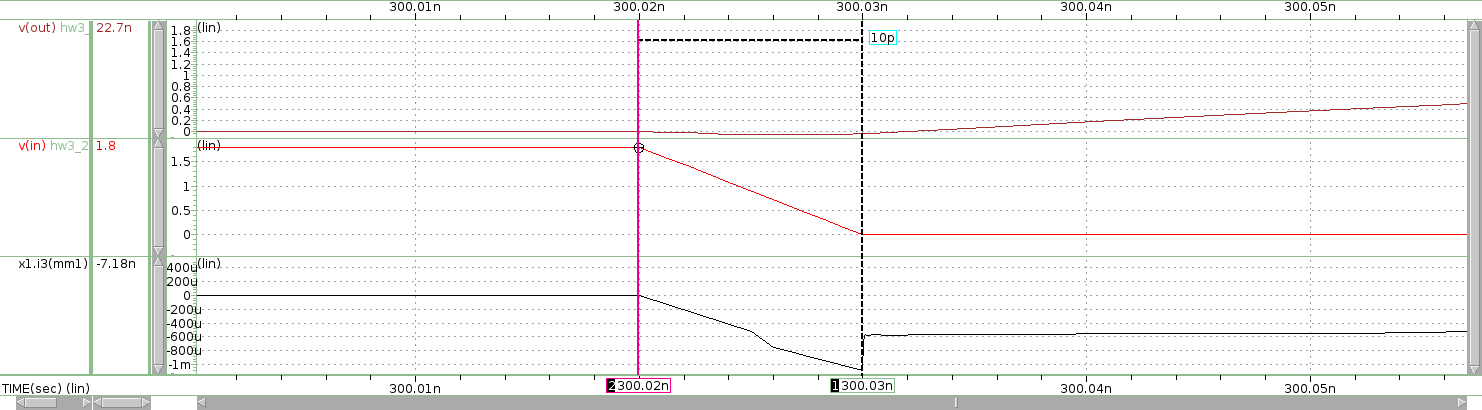


取Vin從0V->1.8V與1.8V->0V時，流經第一顆inverter source端的電流平均值，再乘1.8V即可得到short時的power，利用.meas計算可得

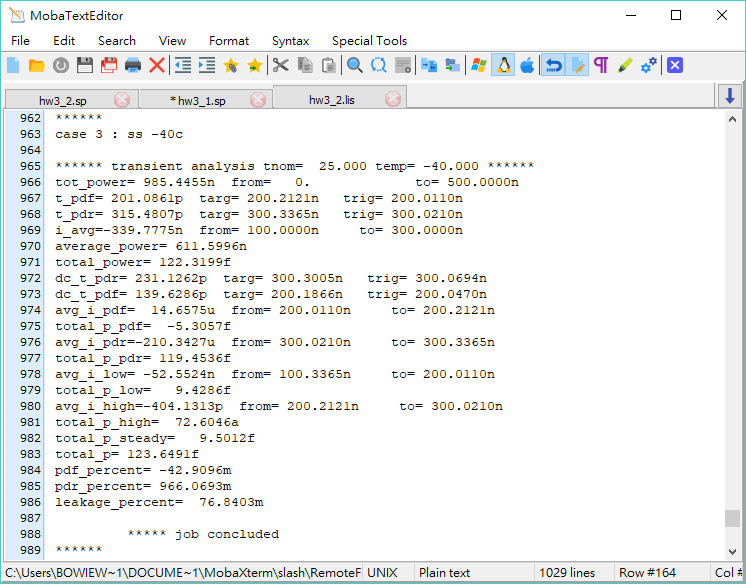
Rising :

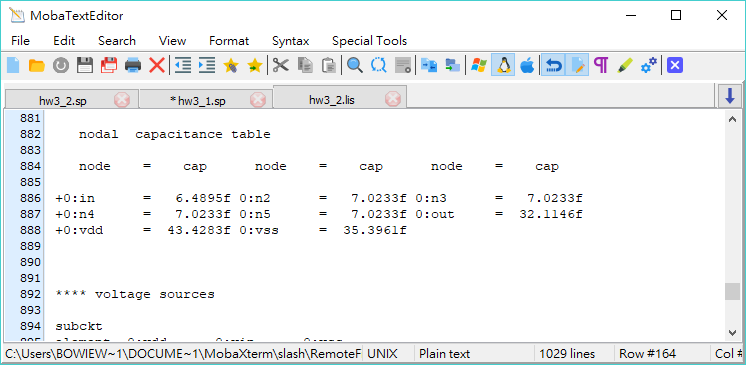


Falling :



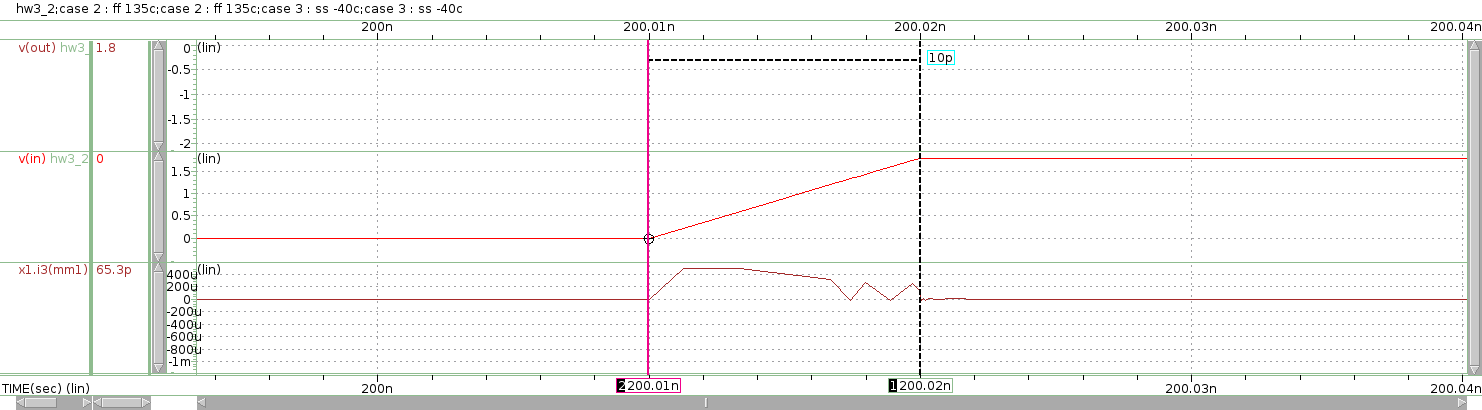
SS :





取Vin從0V->1.8V與1.8V->0V時，流經第一顆inverter source端的電流平均值，再乘1.8V即可得到short時的power，利用.meas計算可得

Rising :

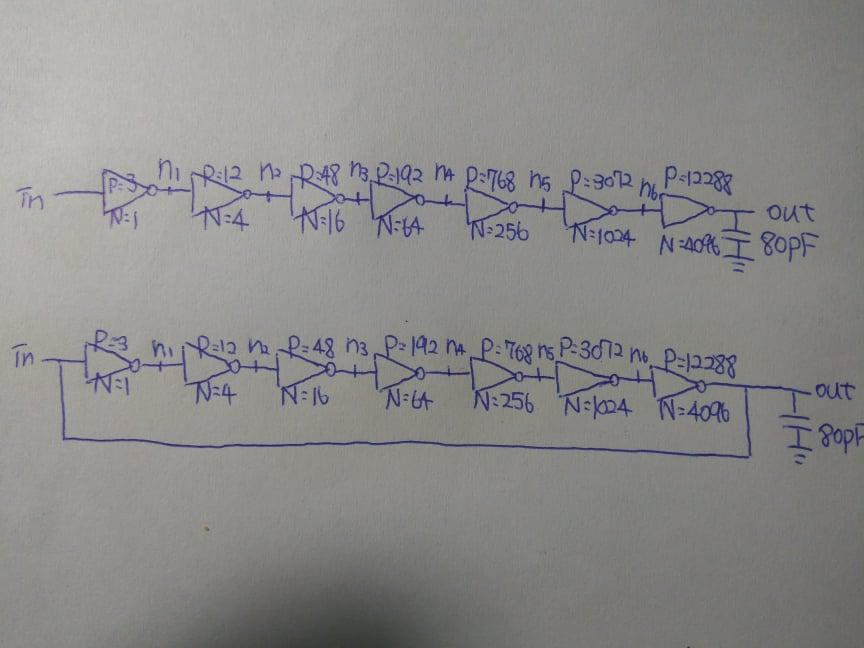


Falling :

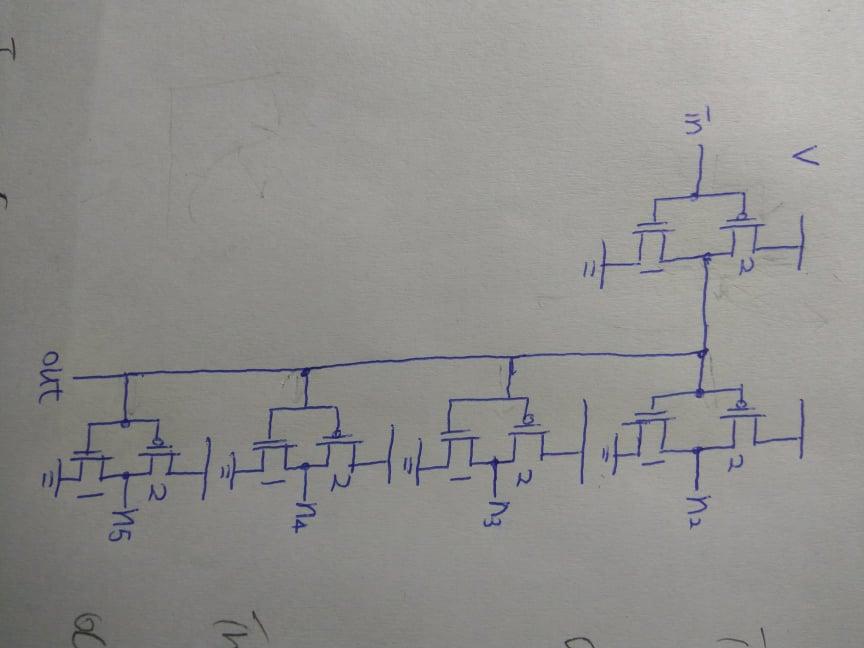


schematic circuit:

1.

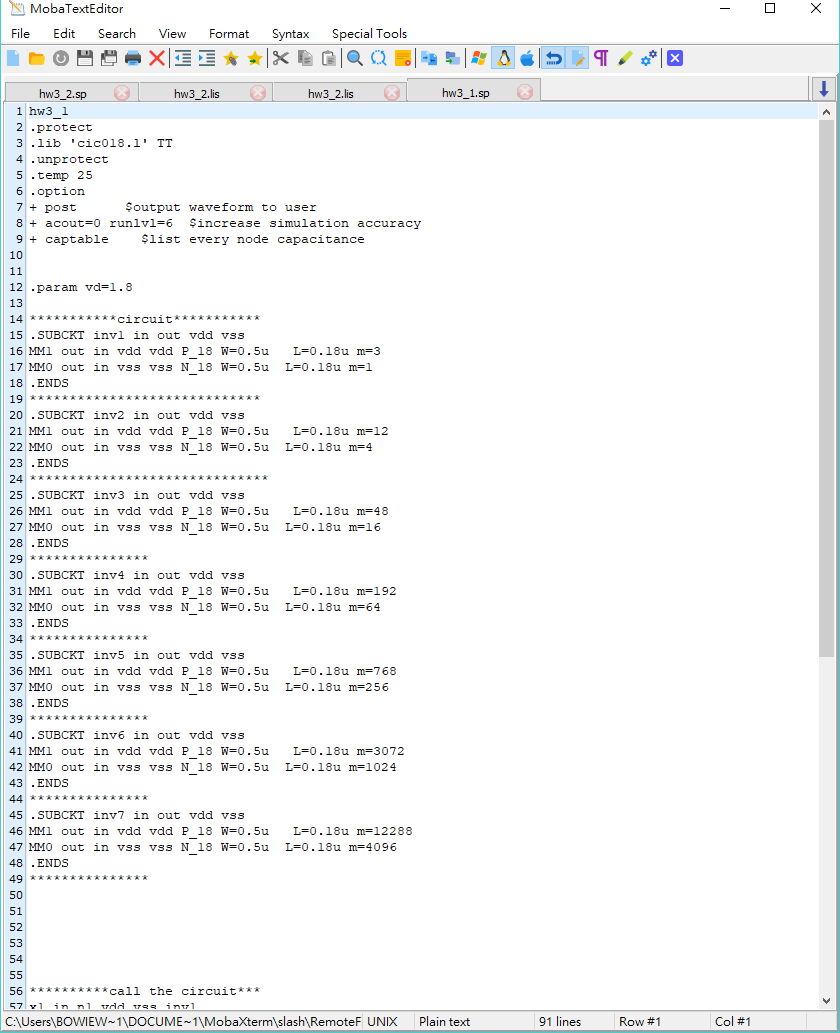


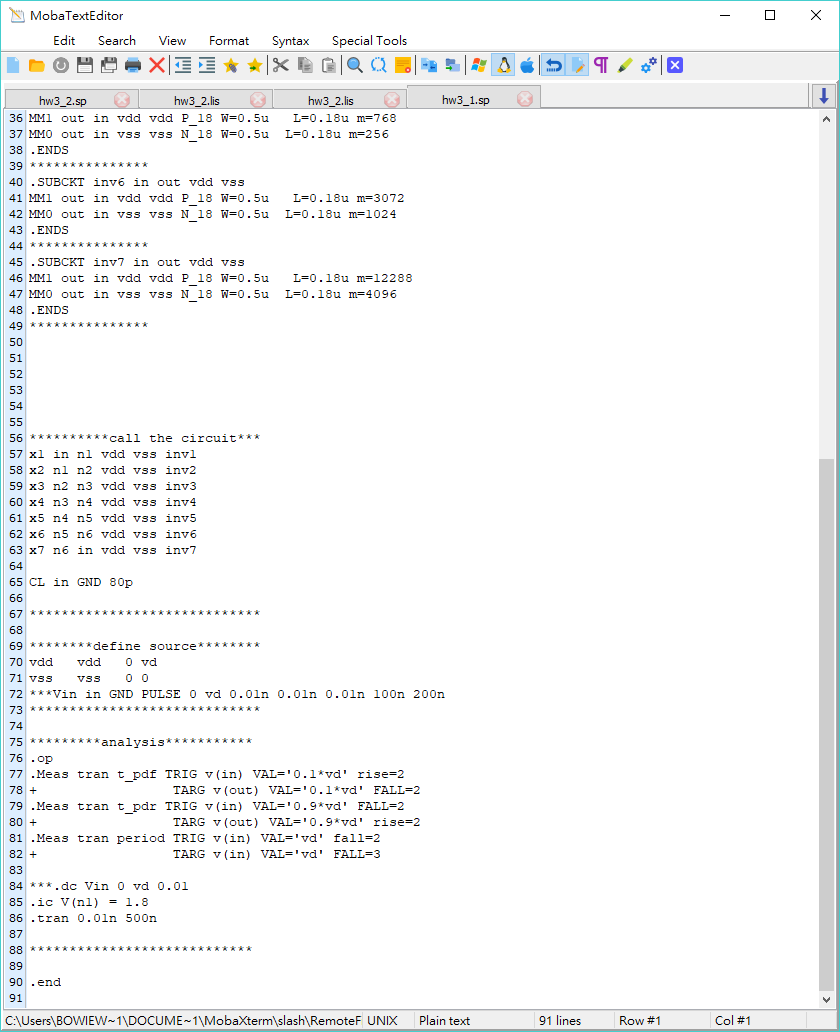
2.



.Sp file

Hw3\_1.sp :





Hw3\_2.sp

