

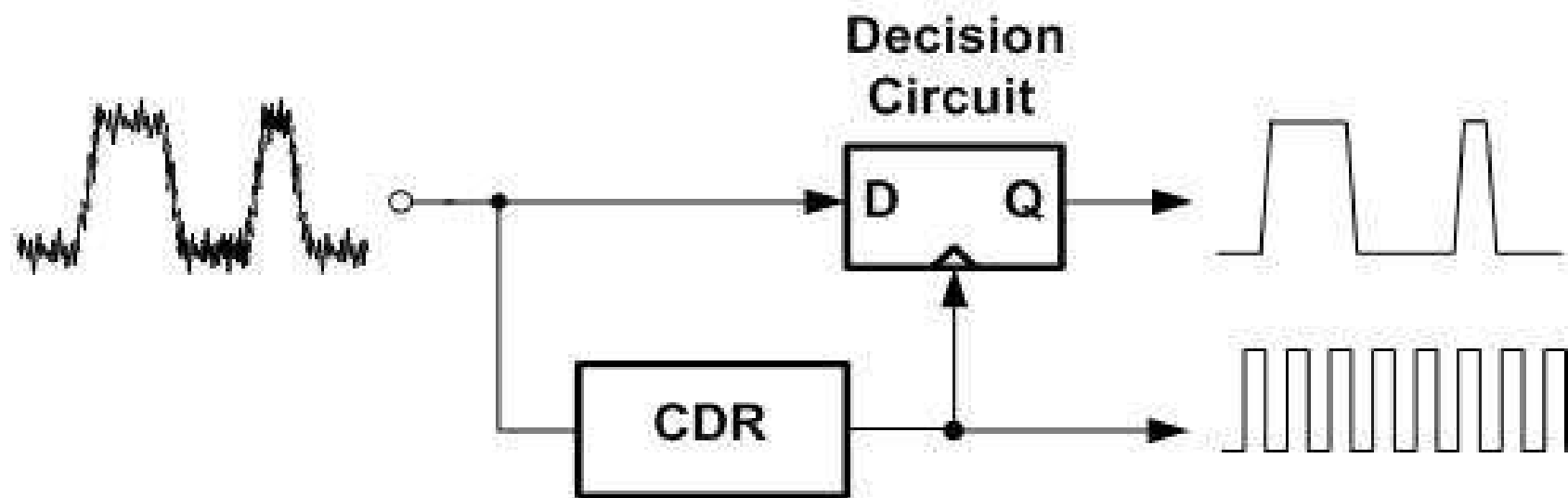


時脈資料回復電路 Clock and Data Recovery Circuit

學生：林翠薇

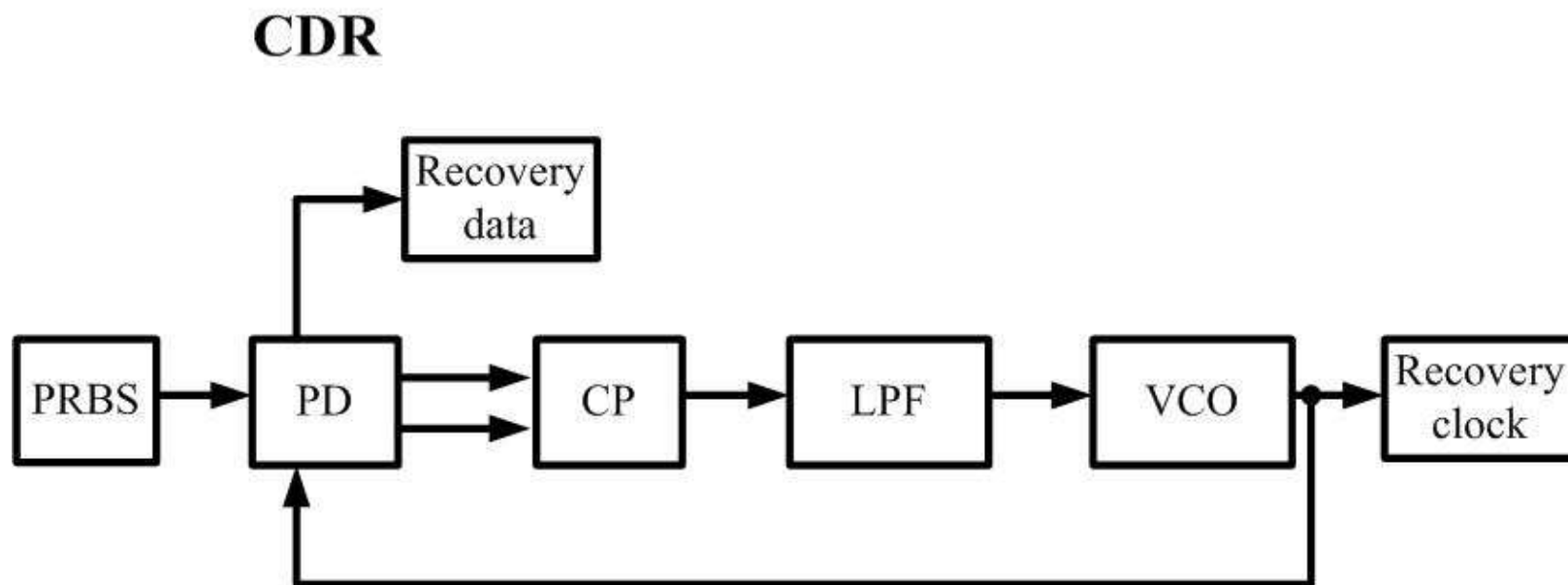
指導教授：莊基男 教授

➔ Clock and Data Recovery Circuit



- 時脈資料回復電路的時脈回復與資料還原。

➔ Clock and Data Recovery Circuit

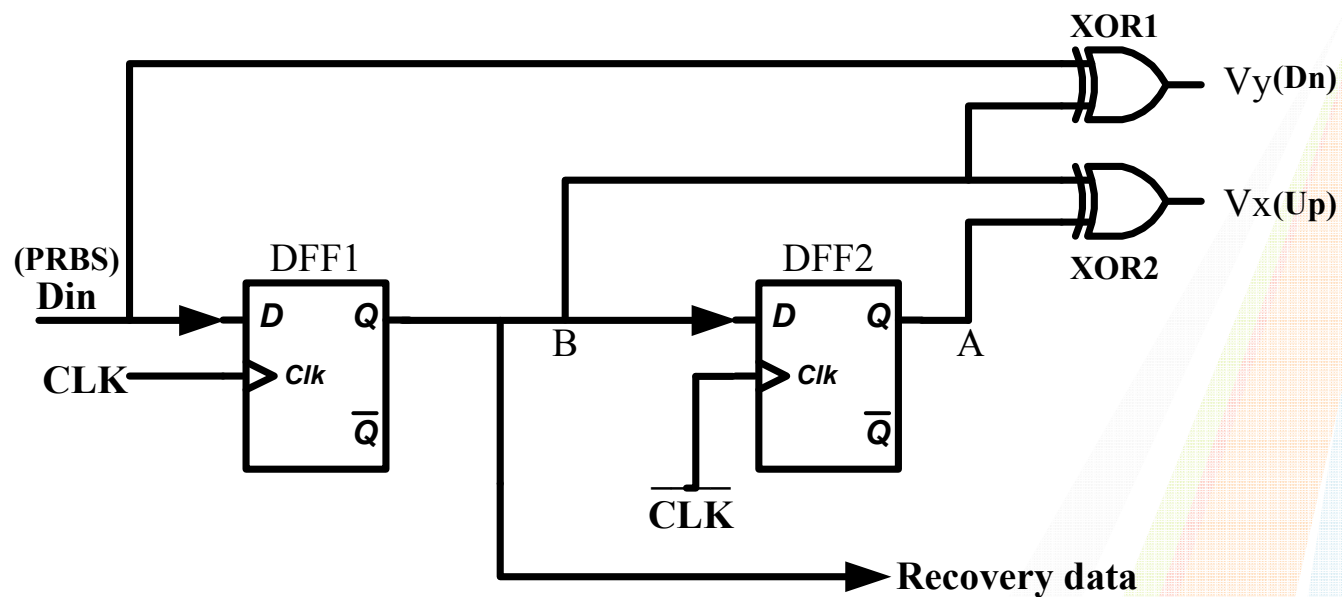


CDR電路就是產生一個週期性的時脈和萃取出資料，而時脈的產生需滿足三個狀態：

1. 時脈頻率必須和資料速率相同。
2. 時脈和資料間必須要有正確的相位關係。
3. 時脈本身必須要有小的抖動

Hogge Phase Detector

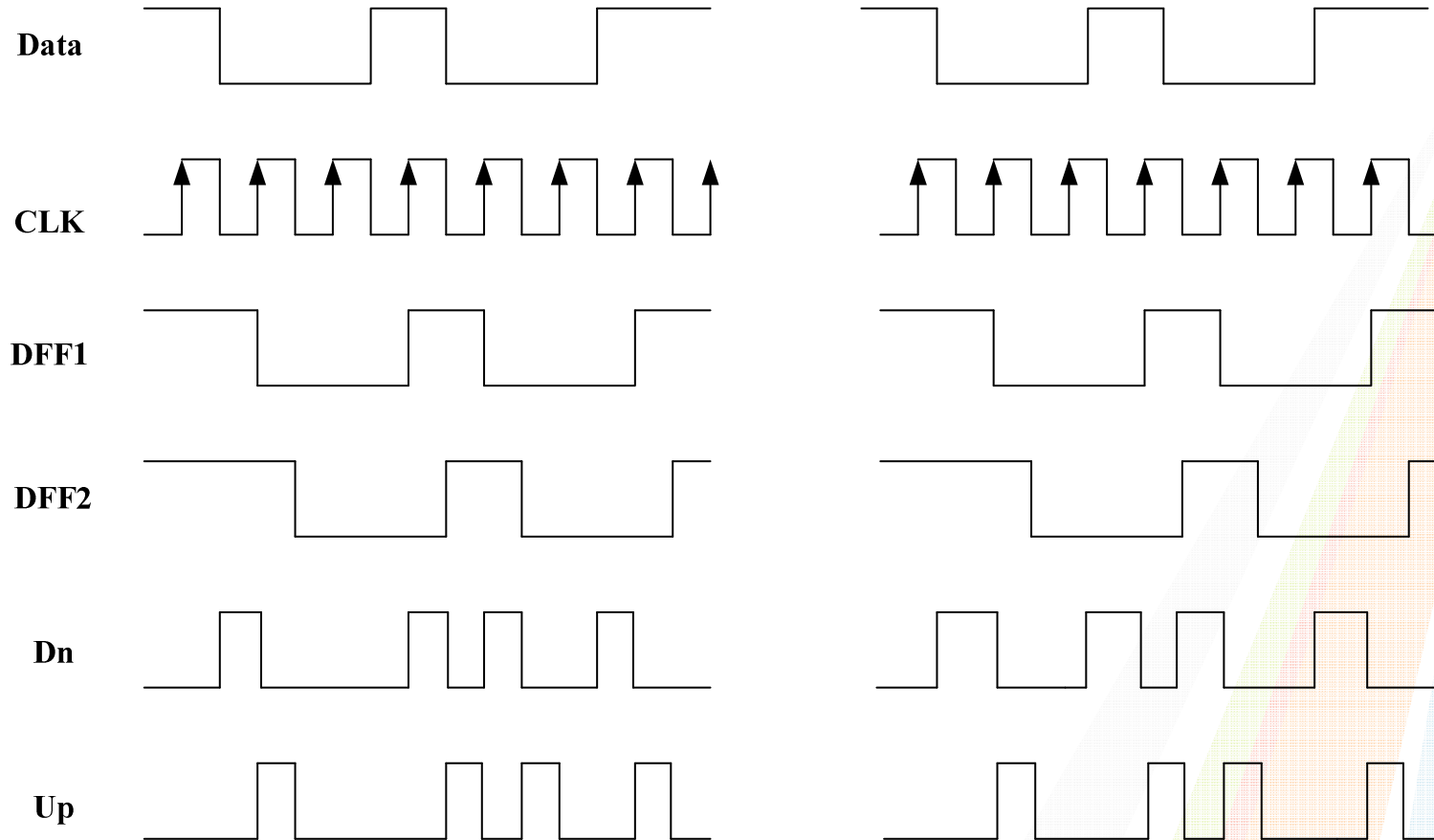
Hogge phase detector



PD 提供輸入的Data以及來自VCO的時脈訊號，它提供在時脈與數據之間相位差的值之輸出訊號，基於這個訊息，CDR迴路能調整時脈使其與輸入的Data一致。



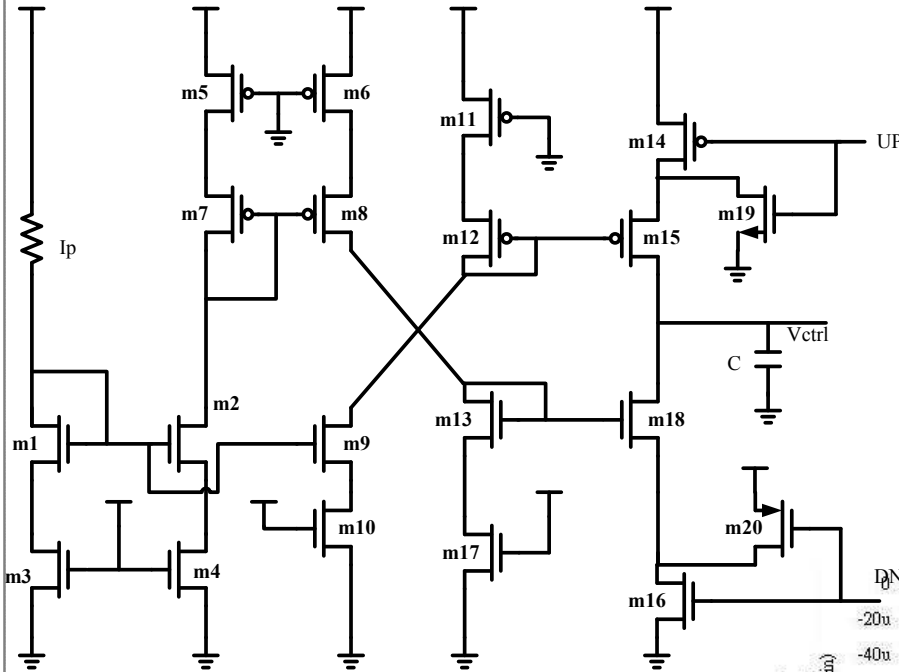
Hogge Phase Detector Waveforms





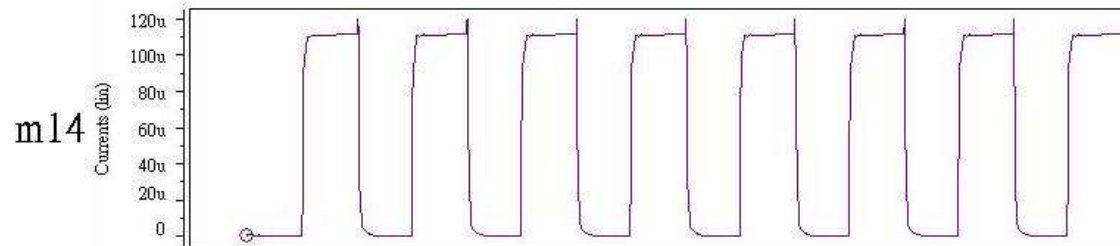
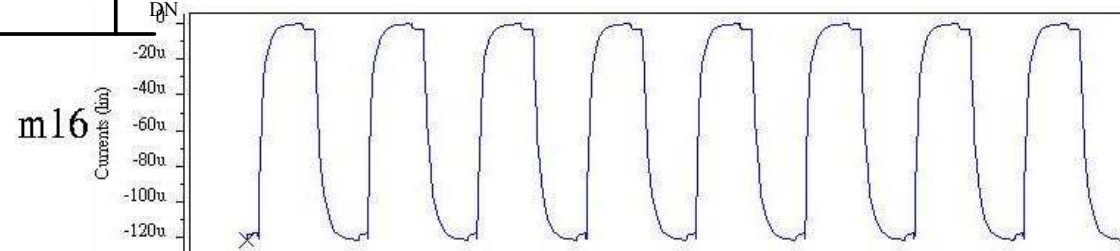
Charge Pump

Charge Pump



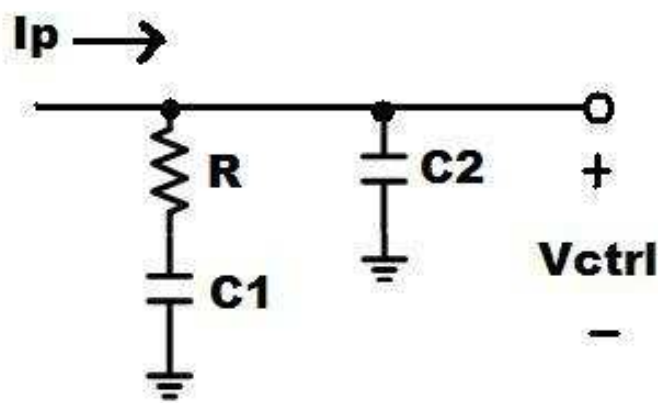
← 充電泵提供了將兩個數位訊號 V_x 和 V_y 轉換成與輸入訊號相位差等比例的電流訊號。

→ 為了解決在 up 與 down 切換時造成的 Charge Injection 效應所產生的 spike，分別在 up 與 down 串接上了 nmos 與 pmos，來解決問題。



➔ Low Loop Filter

Low Loop Filter



$$F(S) = k_f \frac{s + \omega_z}{\frac{1}{\omega_{p1}} s^2 + s}$$

$$k_f = \frac{C_1 R_1}{C_1 + C_2}$$

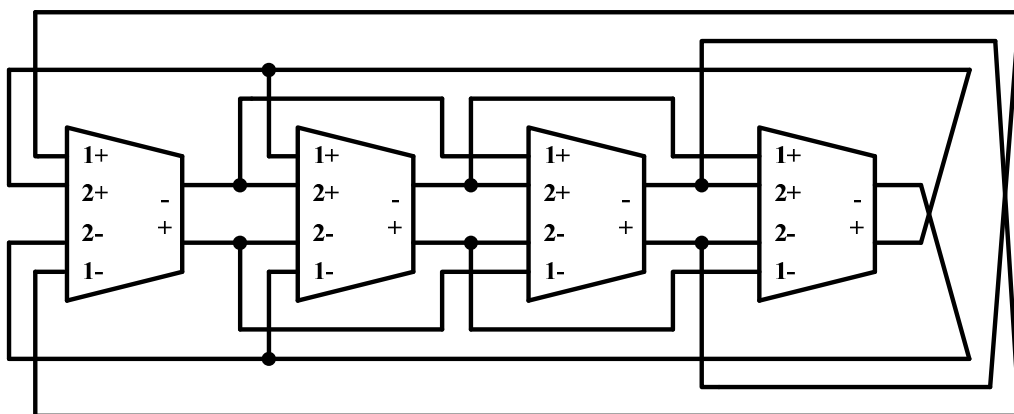
$$\omega_z = \frac{1}{C_1 R_1}$$

$$\omega_{p1} = \frac{C_1 + C_2}{C_1 C_2 R_1}$$

因VCO本身是一Frequency Modulation電路，很容易會把雜訊調變成為頻率 $N \cdot f_{ref}$ 旁的spurious雜訊，所以需要一個高階濾波器來抑制雜訊，再將處理過後的訊號送往VCO。

Voltage Control Oscillator

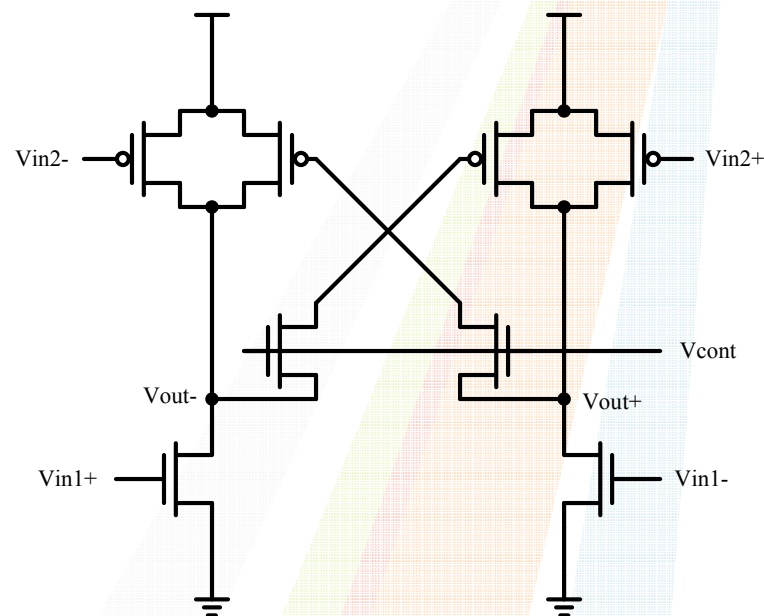
Vco



←其振盪的頻率或重覆的比例會隨著電壓的不同而改變，這個特性可以用來將調變訊號當做壓控振盪器的輸入而產生不同的調變訊號。

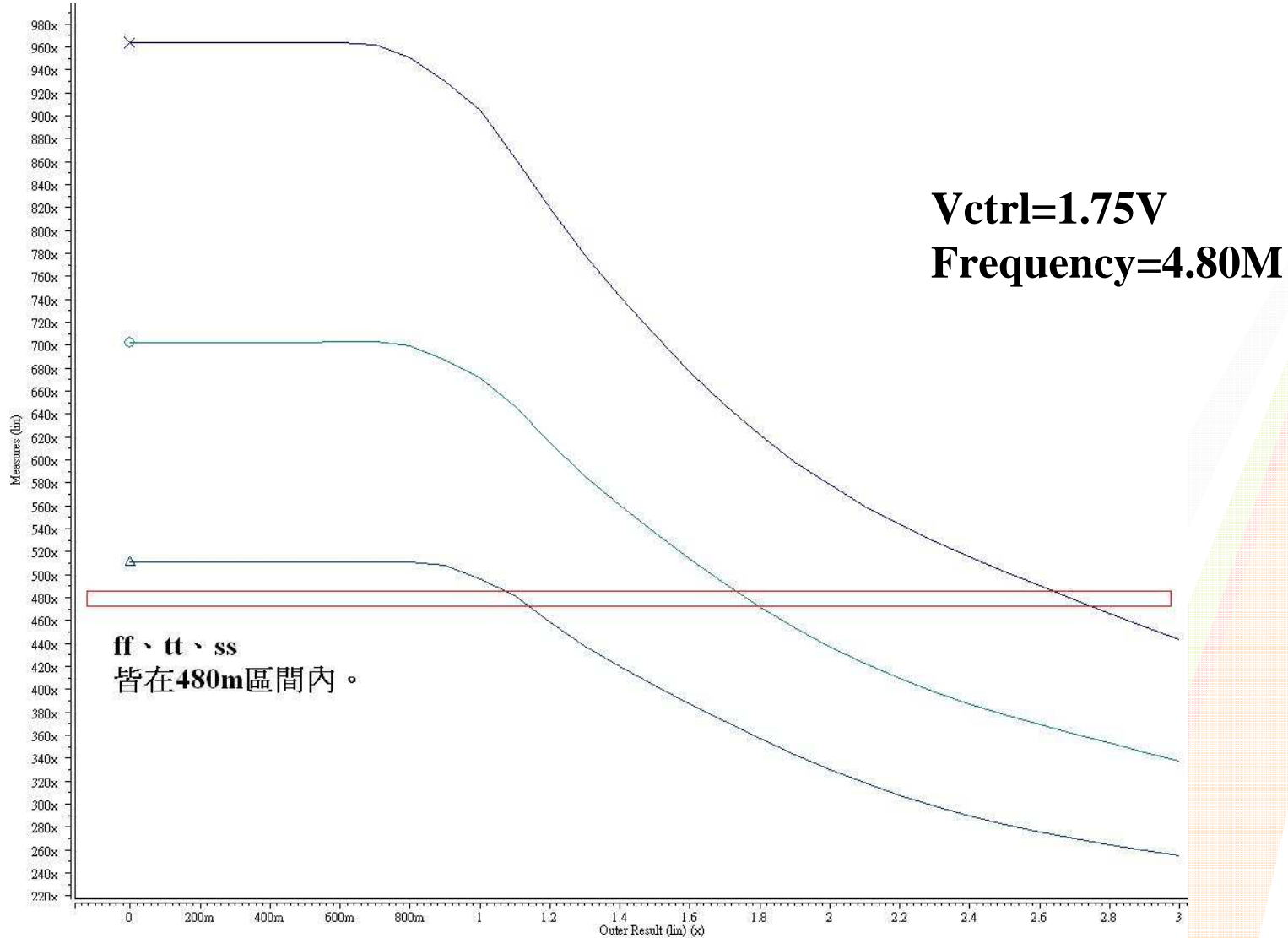
→以電壓輸入來用來控制振盪頻率的電子振盪電路。

Delay Cell





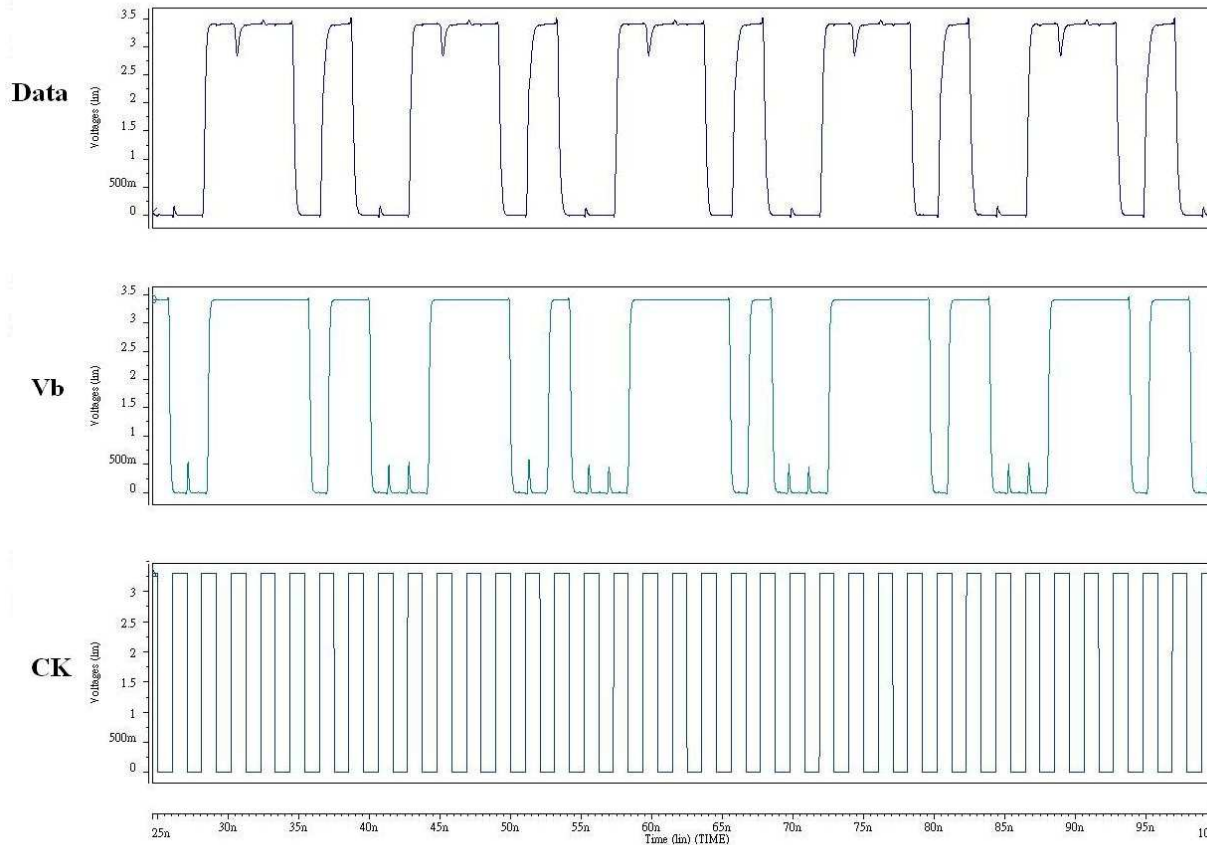
Voltage Control Oscillator 模擬圖





Conclusion

CDR



←當VCO所產生的時脈信號和輸入訊號的相位一樣時，這就是還原的時脈；

而還原的資料即是在Hogge's PD中Data經由第一級D-FlipFlop(Vb)所還原的資料訊號。



 **Reference**

【1】 劉深淵、楊清淵
鎖相迴路

【2】 蕭培墉、吳孟賢
Hspice積體電路設計分析與模擬導論

【3】 Behzad Razavi
**Challenges in the Design of High-Speed
Clock and Data Recovery Circuits**

【4】 Behzad Razavi
Design of Analog CMOS Integrated Circuit

【5】 Chan-Hong Park、Beomsup Kim
A Low-Noise , 900MHz VCO in 0.6-um CMOS





Thank You!