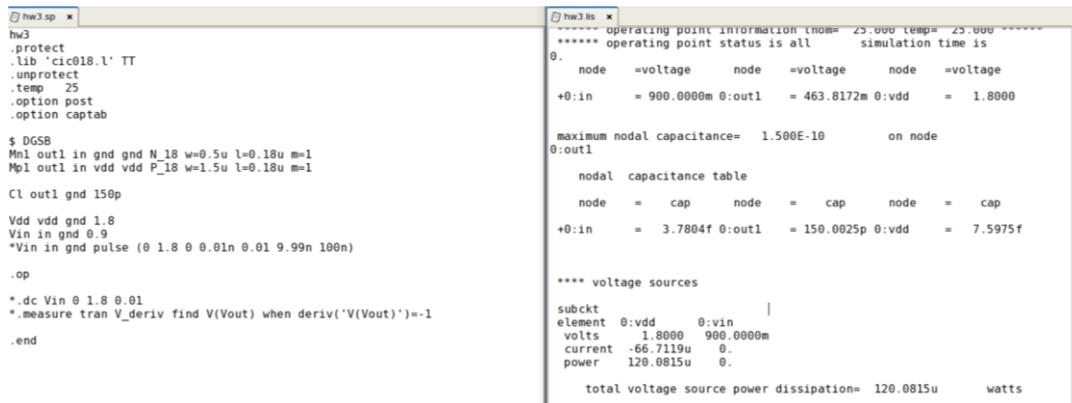
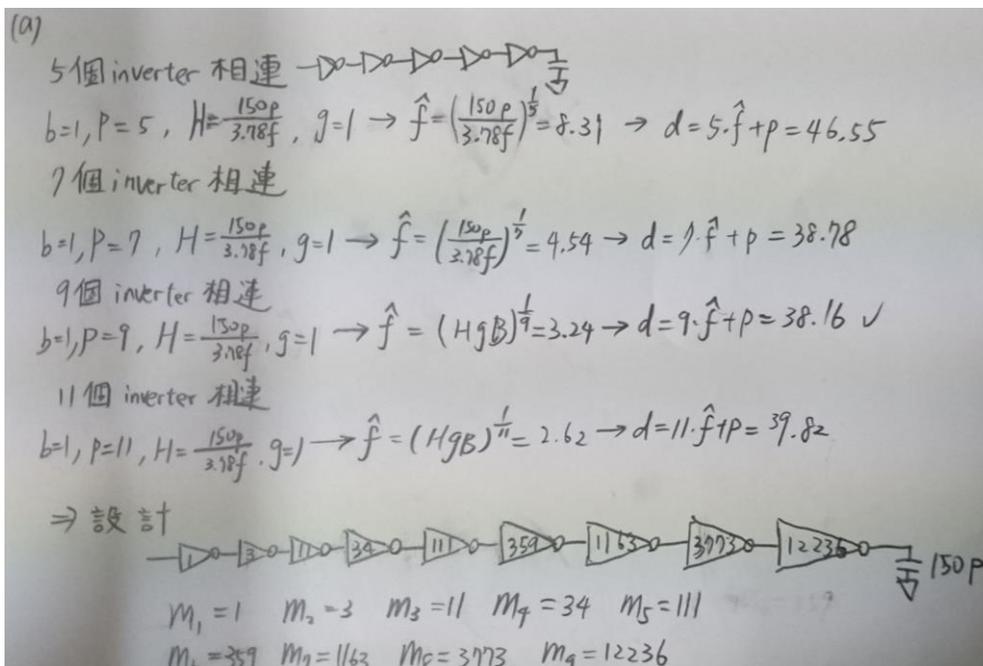


1.



由上圖可知 $(W/L)_N = 0.5\mu/0.18\mu$, $(W/L)_P = 1.5\mu/0.18\mu$ 組成的 inverter 的 input capacitance $C_{in} = 3.78fF$

(a)



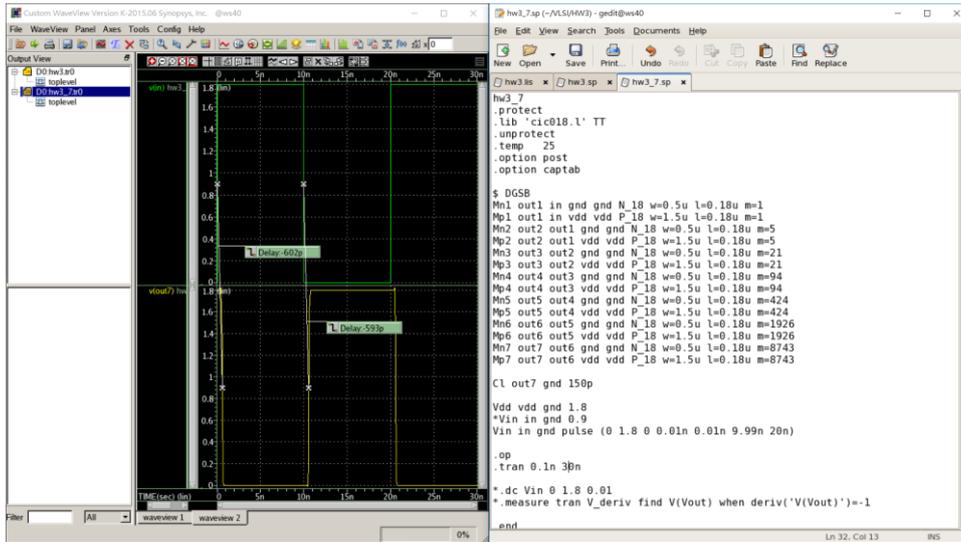
I. 由上圖手算估算出 9 個 inverter 會有較小的 delay，以下用“9 個 inverter 相連”(理論值)與“7 個 inverter 相連”以及“11 個 inverter 相連”的 delay 進行比較

	Fall delay	Rise delay
7 個 inverter 相連	602ps	593ps
9 個 inverter 相連	598ps	593ps
11 個 inverter 相連	628ps	622ps

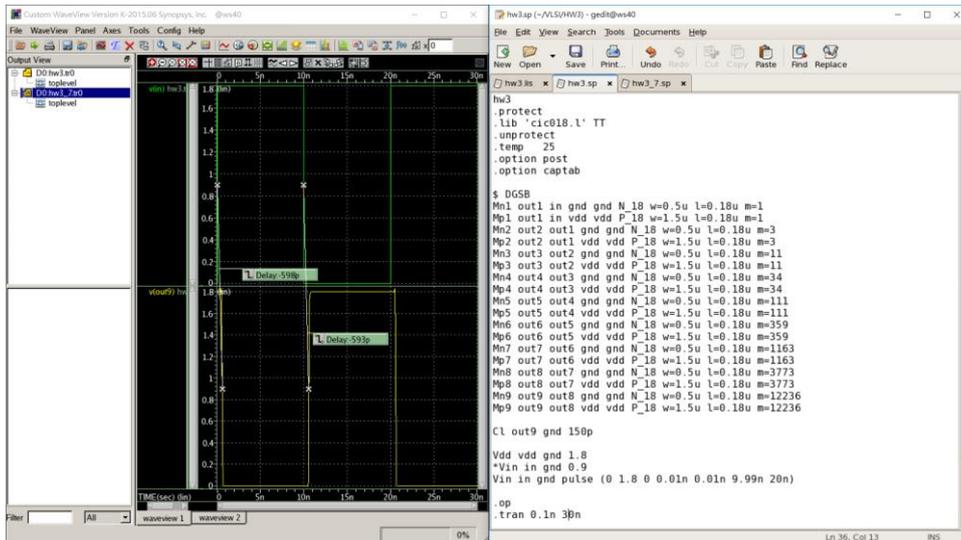
由上表顯示，“9 個 inverter 相連”的形式不管是在 Fall delay 還是 Rise delay 都是三者內最佳，符合手算的結果。

II. 以下為“7 個 inverter 相連”、“9 個 inverter 相連”、“11 個 inverter 相連”delay 圖

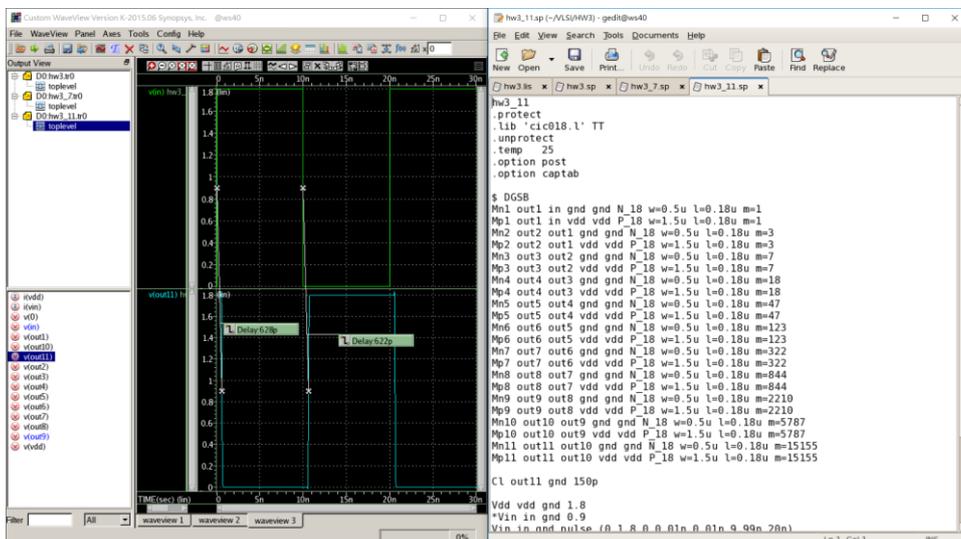
● 7 個 inverter 相連



● 9 個 inverter 相連(理論值)

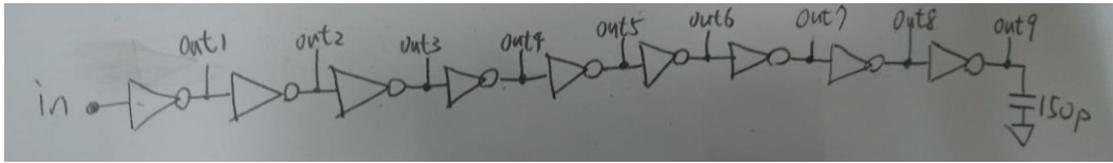


● 11 個 inverter 相連

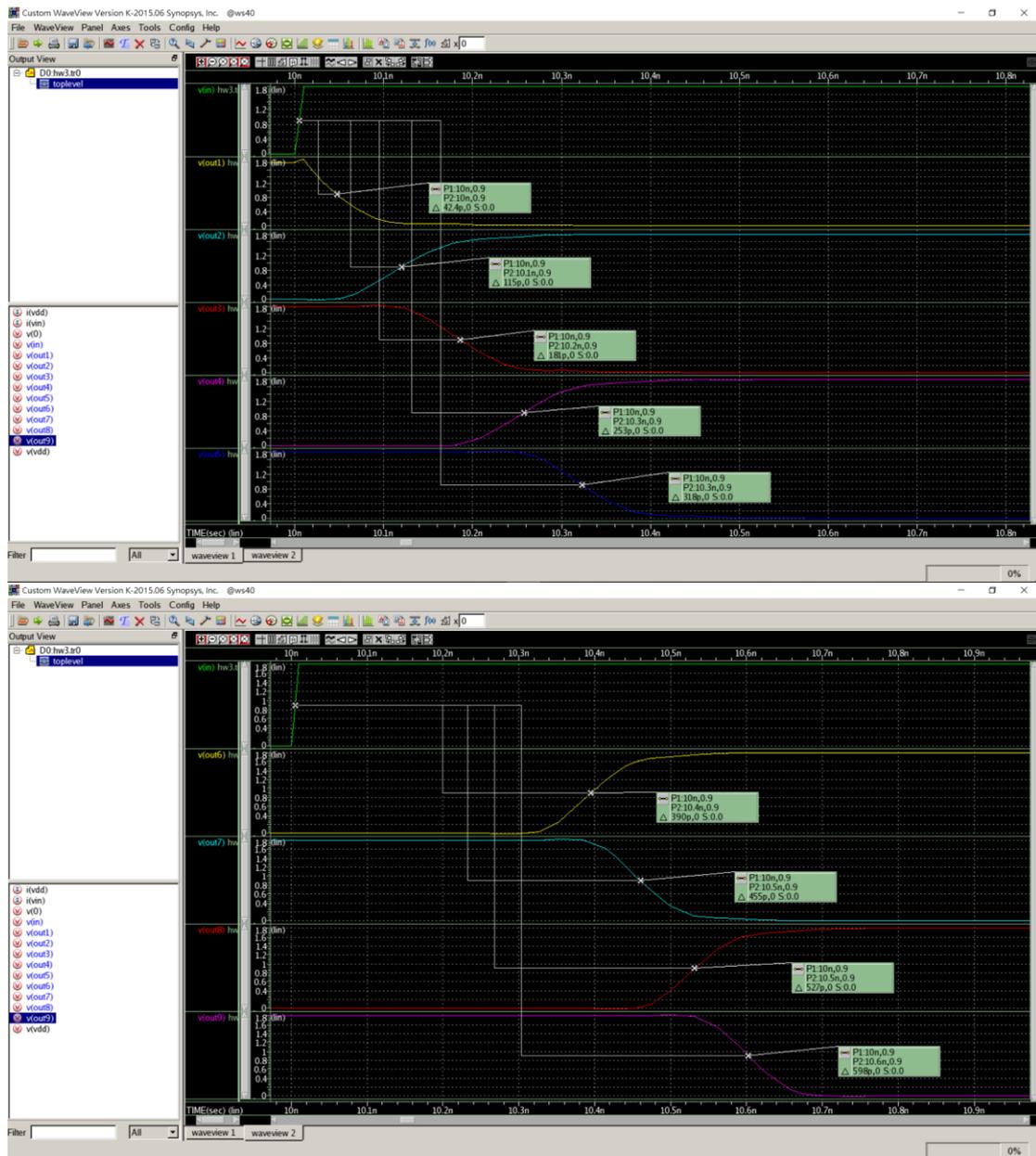


(b)

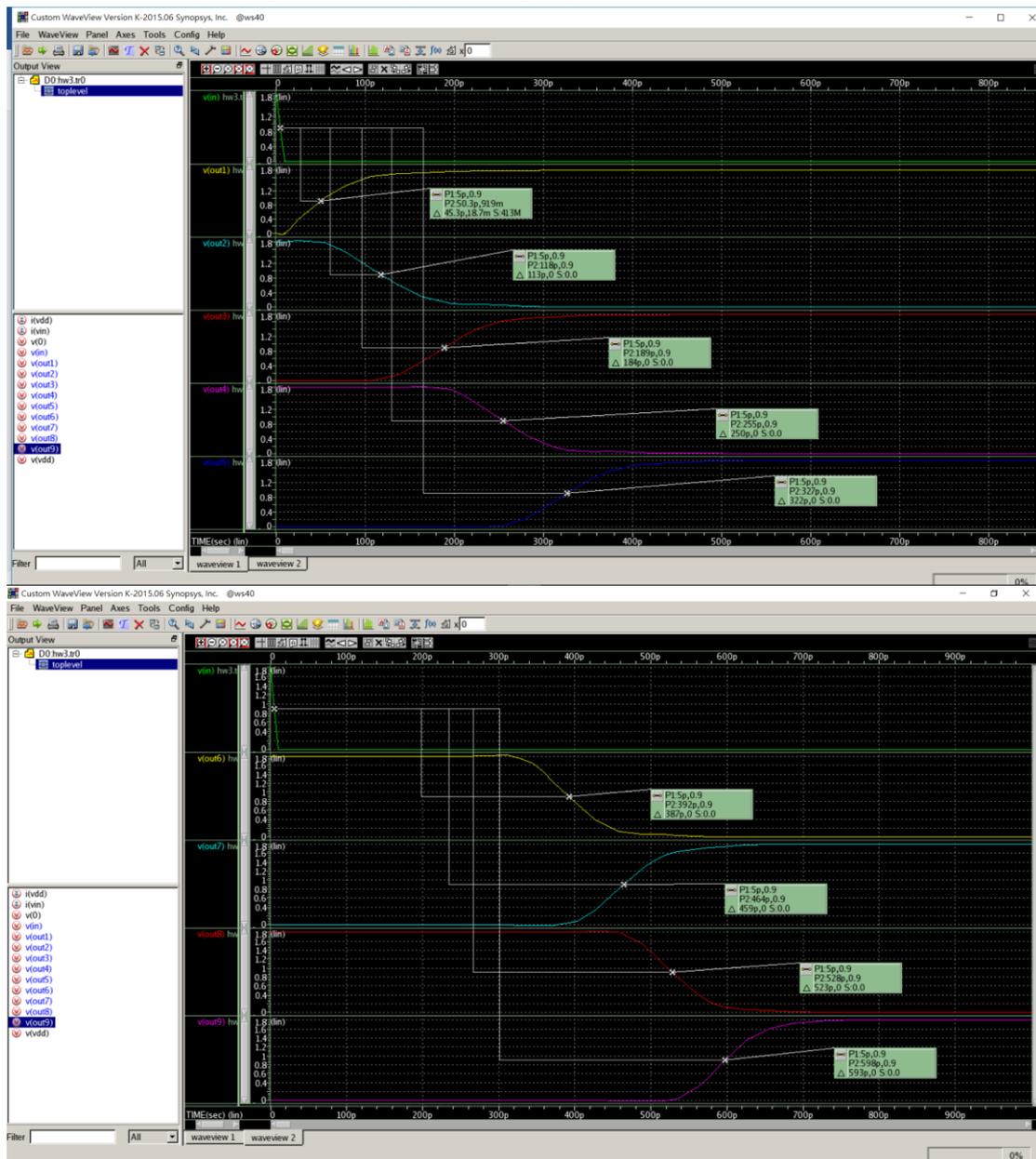
I. 以下為各個 node 的 Fall delay 以及 Rise delay



■ 各級 propagation delay for rising input 圖



■ 各級 propagation delay for falling input 圖



	For rising input	For falling input
Out1	42.4ps	45.3ps
Out2	115ps	113ps
Out3	181ps	184ps
Out4	253ps	250ps
Out5	318ps	322ps
Out6	390ps	387ps
Out7	455ps	459ps
Out8	527ps	523ps
Out9	598ps	593ps

(c)

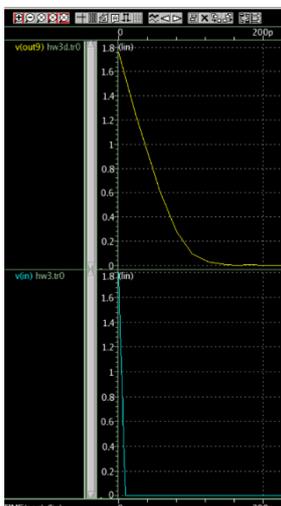
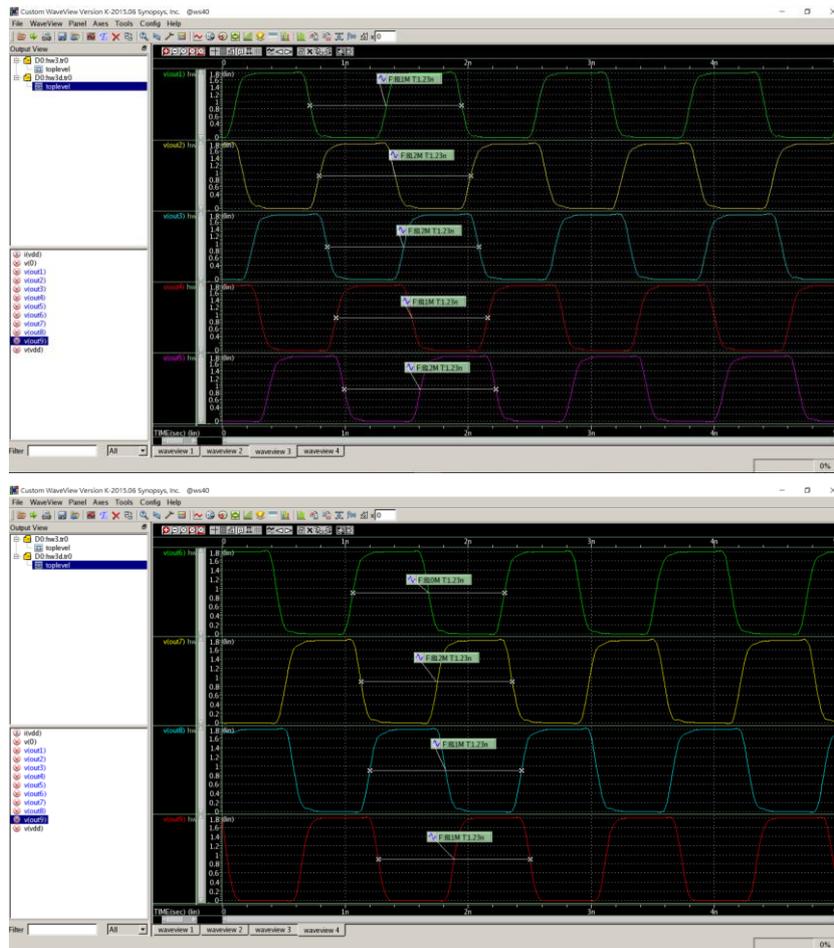
$N=9$, 每一級的 delay(d)取 $\frac{\text{out}_9 \text{ Fall delay} + \text{out}_9 \text{ Rise delay}}{2} \times \frac{1}{9} = d$

$$f = \frac{1}{2Nd} = \frac{1}{(598+593) \times 10^{-12}} \approx 839.63\text{MHz}$$

由估算得出 oscillation loop 的 frequency 應該在 839.63MHz 附近

(d)

■ 各個 node 的 frequency 圖



■ 實驗結果：顯示 oscillation loop 的 frequency 大約落在 811.33MHz，與估算結果有者 3.4%的誤差(= $(839.63 - 811.33/839.63)$)。

■ 分析：實驗結果顯示，變成 oscillation loop 後，delay 較估算的值大，因此 frequency 會較原先的值小，因為 out9 點峰對峰值的時間較原先 input 長(如左圖)，也就是說第 1 級的 inverter 會較晚進入判別區，使得 delay 會比預測的來的大。

(e)

node	=	cap	node	=	cap	node	=	cap
+0:out1	=	15.0219f	0:out2	=	47.1499f	0:out3	=	169.1755f
+0:out4	=	495.6539f	0:out5	=	1.7696p	0:out6	=	5.2079p
+0:out7	=	18.5868p	0:out8	=	52.8386p	0:out9	=	184.8571p
+0:vdd	=	118.5406p						

以上是在 $out9=0.9V$ 下個 node 的電容值， C_{total} 沒有含括 C_{vdd} ，因為此電容不會充放電，會一直保持在充飽的狀態。

$$\rightarrow C_{total} = C_{out1} + C_{out2} + C_{out3} + C_{out4} + C_{out5} + C_{out6} + C_{out7} + C_{out8} + C_{out9}$$

$$P = C_{total} \times V_{dd}^2 \times f = (263.987 \times 10^{-12}) \times 1.8^2 \times (811.33 \times 10^6) = 693.9mW$$

由上述估算出 $Power \approx 693.9mW$

(f)

```

hw3fsp (~VLSI/HW3) - gedit@ws40
File Edit View Search Tools Documents Help
New Open Save Print... Undo Redo Cut Copy Paste Find Replace
hw3fsp x
.option captab
$ DGSB
Mn1 out1 out9 gnd gnd N_18 w=0.5u l=0.18u m=1
Mp1 out1 out9 vdd vdd P_18 w=1.5u l=0.18u m=1
Mn2 out2 out1 gnd gnd N_18 w=0.5u l=0.18u m=3
Mp2 out2 out1 vdd vdd P_18 w=1.5u l=0.18u m=3
Mn3 out3 out2 gnd gnd N_18 w=0.5u l=0.18u m=11
Mp3 out3 out2 vdd vdd P_18 w=1.5u l=0.18u m=11
Mn4 out4 out3 gnd gnd N_18 w=0.5u l=0.18u m=34
Mp4 out4 out3 vdd vdd P_18 w=1.5u l=0.18u m=34
Mn5 out5 out4 gnd gnd N_18 w=0.5u l=0.18u m=111
Mp5 out5 out4 vdd vdd P_18 w=1.5u l=0.18u m=111
Mn6 out6 out5 gnd gnd N_18 w=0.5u l=0.18u m=359
Mp6 out6 out5 vdd vdd P_18 w=1.5u l=0.18u m=359
Mn7 out7 out6 gnd gnd N_18 w=0.5u l=0.18u m=1163
Mp7 out7 out6 vdd vdd P_18 w=1.5u l=0.18u m=1163
Mn8 out8 out7 gnd gnd N_18 w=0.5u l=0.18u m=3773
Mp8 out8 out7 vdd vdd P_18 w=1.5u l=0.18u m=3773
Mn9 out9 out8 gnd gnd N_18 w=0.5u l=0.18u m=12236
Mp9 out9 out8 vdd vdd P_18 w=1.5u l=0.18u m=12236
Cl out9 gnd 150p
Vdd vdd gnd 1.8
*Vin in gnd 0.9
*Vin in gnd pulse (0 1.8 0 0.01n 0.01n 9.99n 20n)
.ic out9 1.8
.op
.tran 0.1n 5n
$ measure one period time average power
.meas tran pwr1 AVG POWER from=2.57n to=3.18n
*.dc Vin 0 1.8 0.01
.end
Ln 23, Col 16 INS

hw3fnt0 (~VLSI/HW3) - gedit@ws40
File Edit View Search Tools Documents Help
New Open Save Print... Undo Redo Cut Copy Paste Find Replace
hw3fnt0 x
$DATA1 SOURCE='HSPICE' VERSION='L-2016.06-SP2 linux64' PARAM_COUNT=0
.TITLE 'hw3f'
pwr1          temper          alter#
0.7835        25.0000         1
Ln 1, Col 1 INS

```

- 實驗結果：Power = 783.5mW
- 分析：由上圖實驗顯示，其測得 power 結果 783.5mW，與(e)估算出 Power=693.9mW 相差 89.6mW，這是因為我們在(e)估算時只有算到 dynamic power 部分，然而 power = dynamic power + static power，因此(e)估算的值必會小於(f)測出來的值，且(f)、(e)間的差值為此電路的 static power。

(g)

Version2(最終版)

◆ 設計：(改良版)

```

netlist2.sp
.subckt inv_chain2 vdd vss out1 out2 out3 out4 out5 out6 out7 out8 out9
Mn1 out1 out9 vss vss N_18 w=0.5u L=0.18u m=1
Mp1 out1 out9 vdd vdd P_18 w=1.5u L=0.18u m=1
Mn2 out2 out1 vss vss N_18 w=0.5u L=0.18u m=3
Mp2 out2 out1 vdd vdd P_18 w=1.5u L=0.18u m=3
Mn3 out3 out2 vss vss N_18 w=0.5u L=0.18u m=11
Mp3 out3 out2 vdd vdd P_18 w=1.5u L=0.18u m=11
Mn4 out4 out3 vss vss N_18 w=0.5u L=0.18u m=34
Mp4 out4 out3 vdd vdd P_18 w=1.5u L=0.18u m=34
Mn5 out5 out4 vss vss N_18 w=0.5u L=0.18u m=111
Mp5 out5 out4 vdd vdd P_18 w=1.5u L=0.18u m=111
Mn6 out6 out5 vss vss N_18 w=0.5u L=0.18u m=359
Mp6 out6 out5 vdd vdd P_18 w=1.5u L=0.18u m=359
Mn7 out7 out6 vss vss N_18 w=0.5u L=0.18u m=1163
Mp7 out7 out6 vdd vdd P_18 w=1.5u L=0.18u m=1163
Mn8 out8 out7 vss vss N_18 w=0.5u L=0.18u m=3773
Mp8 out8 out7 vdd vdd P_18 w=1.5u L=0.18u m=3773
Mn9 out9 out8 vss vss N_18 w=1.1u L=0.18u m=4999
Mp9 out9 out8 vdd vdd P_18 w=3.3u L=0.18u m=4999
.ends

hw3_post2.sp
inv_chain_post
.protect
.lib 'cic018.1' TT
.unprotect

.temp 25
.option post acout=0 runlvl=6

.include './inv_chain2.pex.spi'

***** circuit description *****
X1 VSS VDD OUT1 OUT2 OUT3 OUT4 OUT5 OUT9 OUT6 OUT7 OUT8 inv_chain2

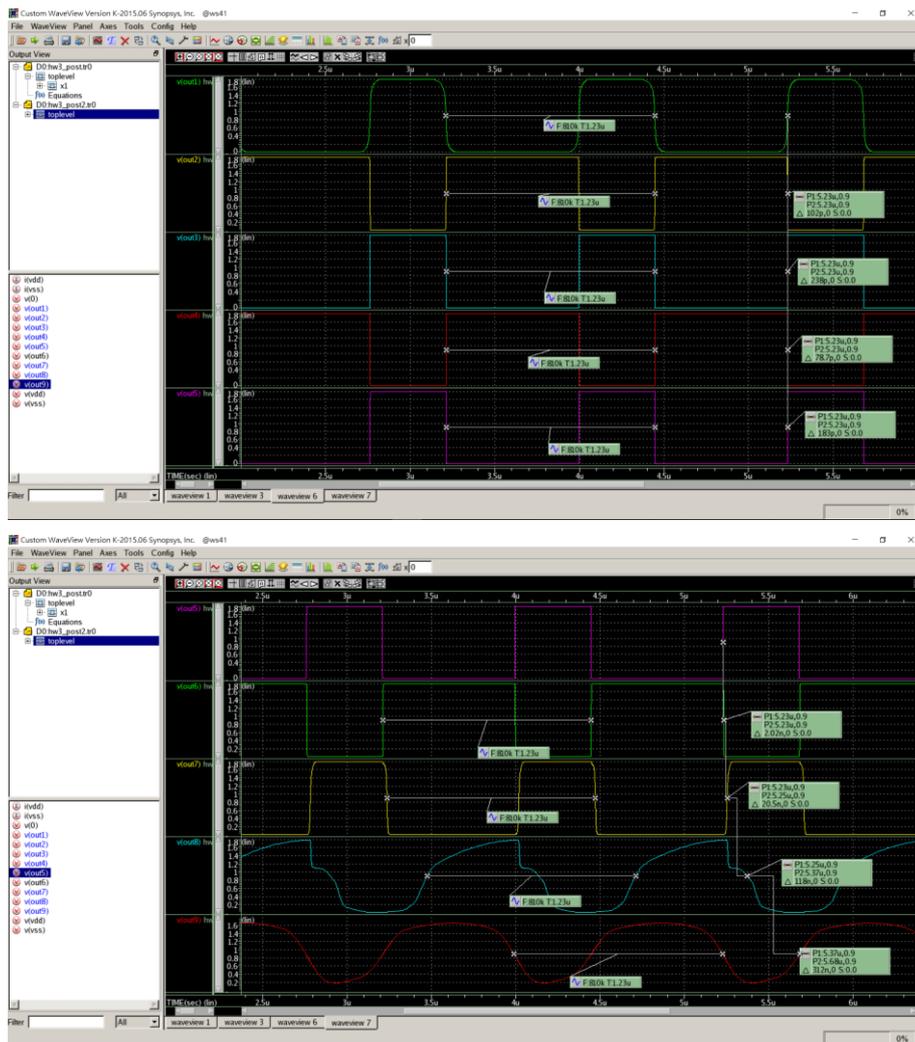
vdd vdd gnd 1.8
vss vss gnd 0
Cl out9 gnd 150p

.ic out9 1.8
***** simulation setting *****
.op
.tran 0.1ns 10u
.meas tran pwr1 AVG POWER from=2.76u to=4u
.end
    
```

◆ layout 作法：

(如下圖)先把 1~8 級串聯起來，最後第 9 級反轉至第二列與第 1 級&第 8 級串聯。

◆ 各 node 的波形圖



- ◆ 頻率：810kHz
- ◆ Power consumption：44.66mW

pwr1	temper	alter#
4.466e-02	25.0000	1

◆ 分析：

1. 頻率：

- 經過 pex 後測出的 frequency 為 810kHz 與(d)測出的頻率 811.33MHz (ideal)相差約 1000 倍。
- 先從各級間的 delay 說起，發現 delay 有逐漸上升的趨勢，這是因為寄生電容隨著並聯的 mos 數增加而增加，再加上第九級 width 變大的影響，因而 delay 增加。

2. Power：

- 經過 pex 後測出的 power 為 44.66mW 與(f)測出的 power 783.5mW(ideal)相差約 17.5 倍。
- Power 變小的原因是第 8 級和第 9 級的 delay 較大因而拉長每一週期的時間，因此 average power 反而比(f)測的值小。

■ 改良版前(Version1)

◆ 設計：(前面使用的版本)

```
.subckt inv_chain vdd vss out1 out2 out3 out4 out5 out6 out7 out8 out9
Mn1 out1 out9 vss vss N_18 w=0.5u l=0.18u m=1
Mp1 out1 out9 vdd vdd P_18 w=1.5u l=0.18u m=1
Mn2 out2 out1 vss vss N_18 w=0.5u l=0.18u m=3
Mp2 out2 out1 vdd vdd P_18 w=1.5u l=0.18u m=3
Mn3 out3 out2 vss vss N_18 w=0.5u l=0.18u m=11
Mp3 out3 out2 vdd vdd P_18 w=1.5u l=0.18u m=11
Mn4 out4 out3 vss vss N_18 w=0.5u l=0.18u m=34
Mp4 out4 out3 vdd vdd P_18 w=1.5u l=0.18u m=34
Mn5 out5 out4 vss vss N_18 w=0.5u l=0.18u m=111
Mp5 out5 out4 vdd vdd P_18 w=1.5u l=0.18u m=111
Mn6 out6 out5 vss vss N_18 w=0.5u l=0.18u m=359
Mp6 out6 out5 vdd vdd P_18 w=1.5u l=0.18u m=359
Mn7 out7 out6 vss vss N_18 w=0.5u l=0.18u m=1163
Mp7 out7 out6 vdd vdd P_18 w=1.5u l=0.18u m=1163
Mn8 out8 out7 vss vss N_18 w=0.5u l=0.18u m=3773
Mp8 out8 out7 vdd vdd P_18 w=1.5u l=0.18u m=3773
Mn9 out9 out8 vss vss N_18 w=0.5u l=0.18u m=12236
Mp9 out9 out8 vdd vdd P_18 w=1.5u l=0.18u m=12236
.ends
```

```
inv_chain_post
protect
lib 'cic018.1' TT
.unprotect

.temp 25
.option post acout=0 runlvl=6

.include './inv_chain.pex.spi'

***** circuit description *****
X1 OUT9 VSS VDD OUT1 OUT2 OUT3 OUT4 OUT5 OUT6 OUT7 OUT8 inv_chain

vdd vdd gnd 1.8
vss vss gnd 0
Cl out9 gnd 150p

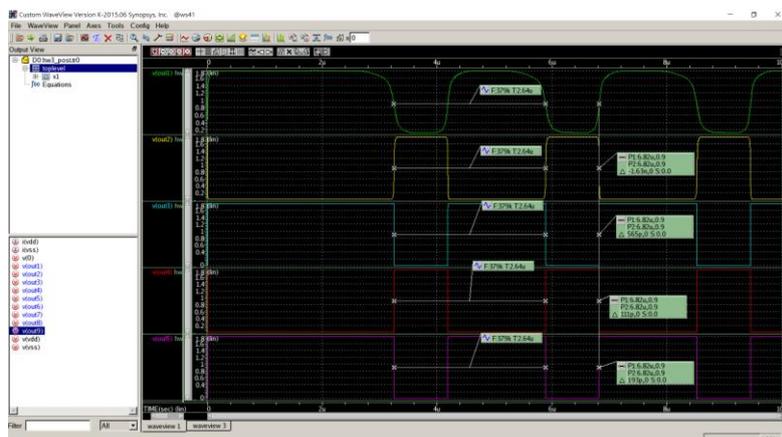
.ic out9 0.9
***** simulation setting *****
.op
.tran 0.1ns 10u
.meas tran pwr1 AVG POWER from=3.25u to=5.89u

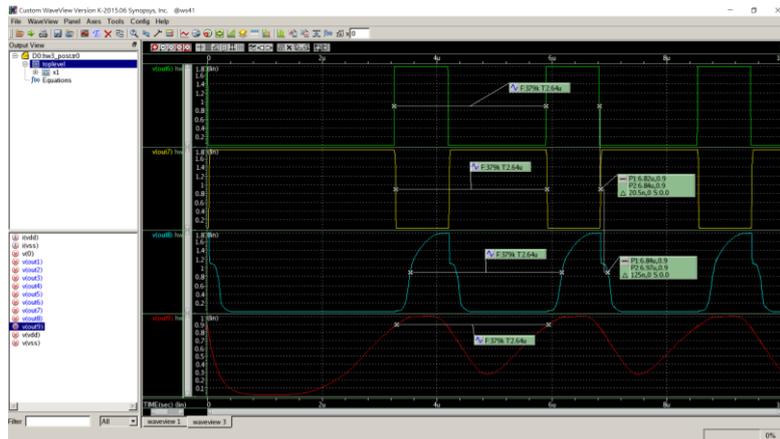
.end
```

◆ layout：



◆ 各 node 的波形圖





- ◆ 頻率：379kHz
- ◆ Power consumption：12.23mW

pwr1	temper	alter#
1.225e-02	25.0000	1

- ◆ 分析(與改良後的 version2)：
 1. 改良前發現，Out9 也就是第 9 級的 output 點的波形嚴重變形，這是因為此設計接在第 9 級的 metal 較長，使得 metal 上的寄生電容和電阻較大，進而影響 Out9 的波形和此電路。
 2. 改良後的頻率 810kHz 較改良前的頻率 379kHz 佳，如上述，由於改良第 9 級的 size，使得第 9 級連接兩端第 1 級和第 8 級的 metal 減少，進而降第 metal 上的寄生電容和寄生電阻的影響。
 3. 改良後的 power = 44.66mW 亦較改良前的 power = 12.23mW 佳，原因如上述第二點所言。