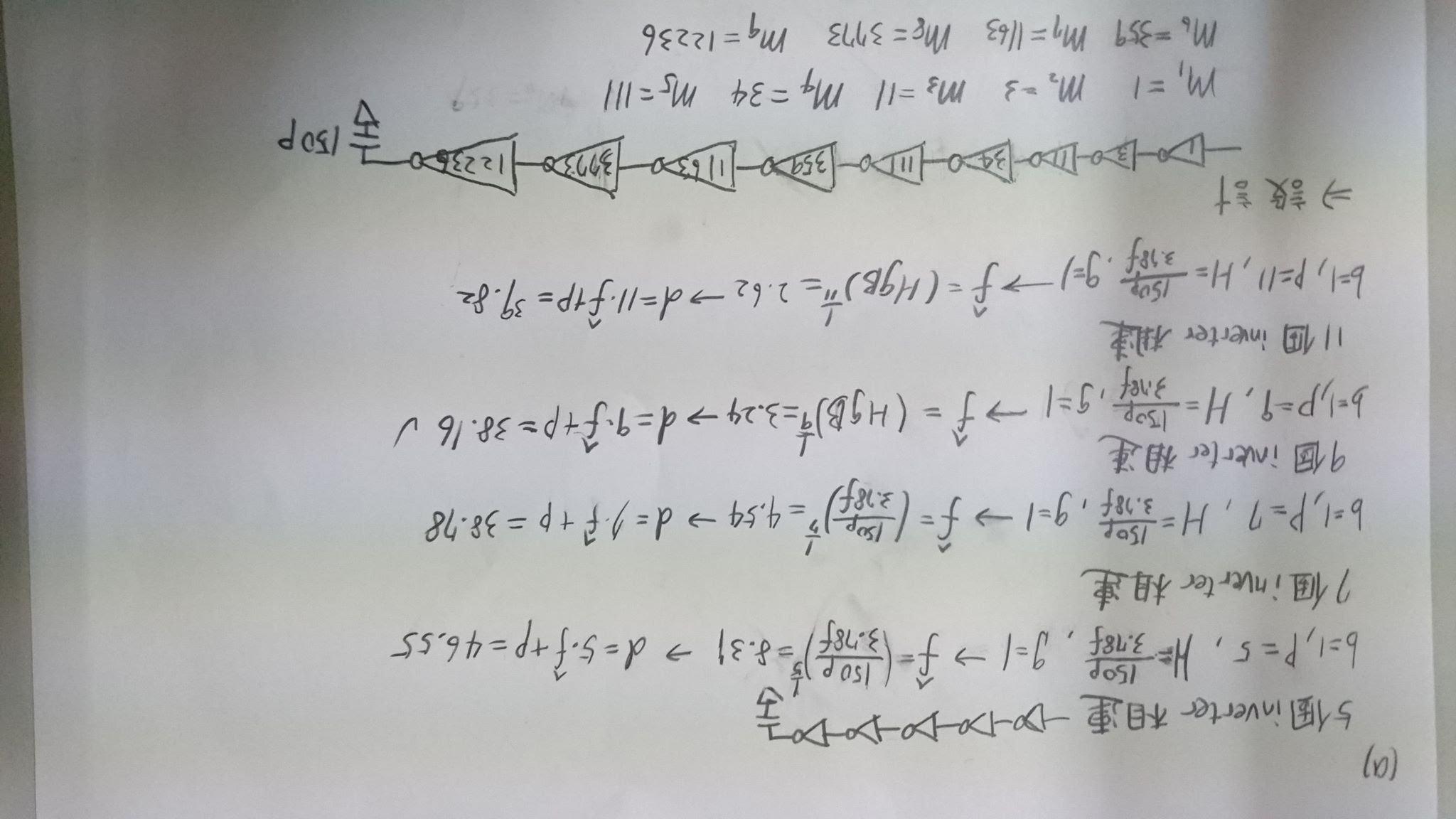


由上圖可知, 組成的inverter的input capacitance

(a)



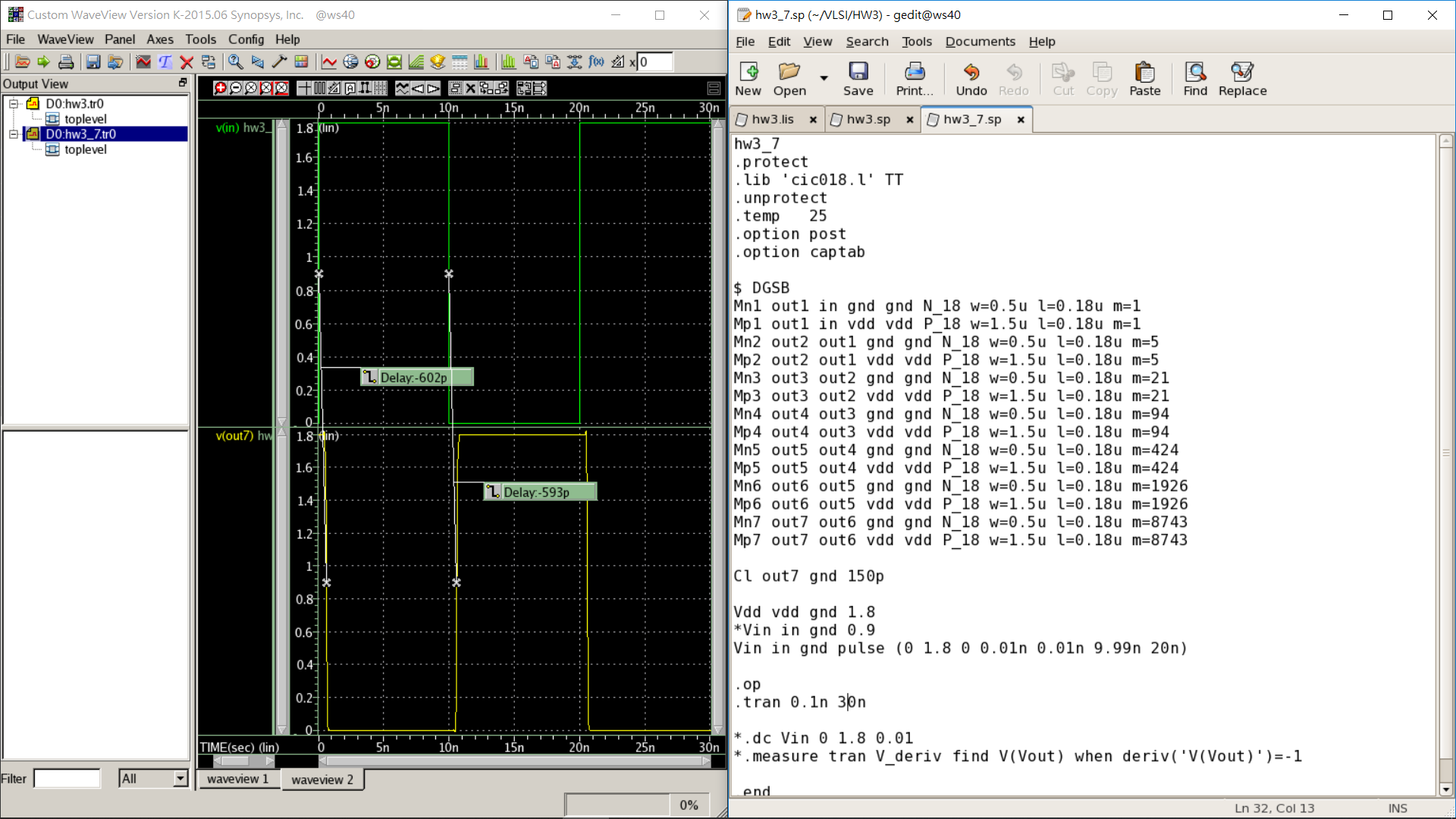
1. 由上圖手算估算出9個inverter會有較小的delay，以下用”9個inverter相連”(理論值)與”7個inverter相連”以及”11個inverter相連”的delay進行比較

|  |  |  |
| --- | --- | --- |
|  | Fall delay | Rise delay |
| 7個inverter相連 | 602ps | 593ps |
| 9個inverter相連 | 598ps | 593ps |
| 11個inverter相連 | 628ps | 622ps |

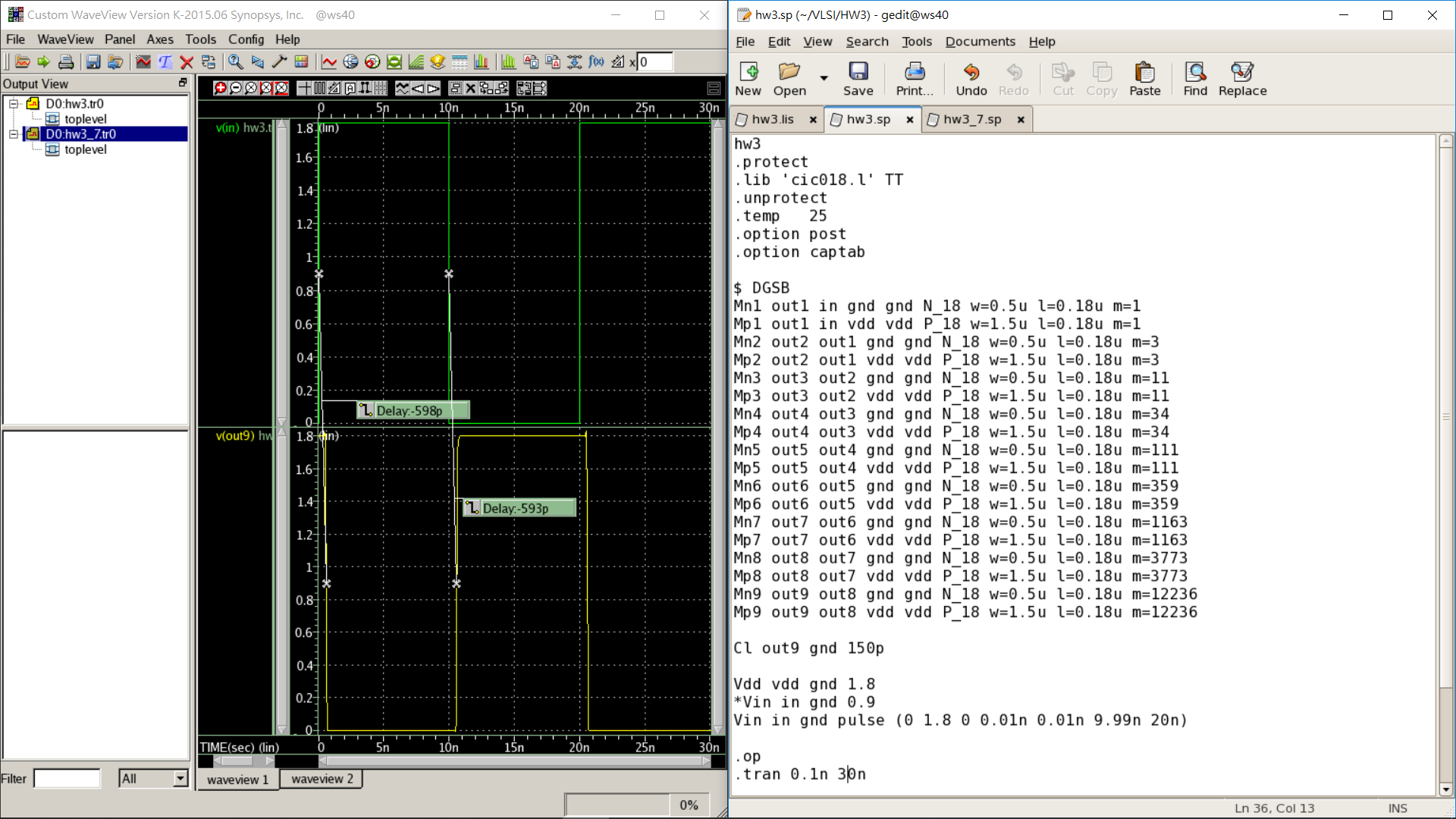
由上表顯示，” 9個inverter相連”的形式不管是在Fall delay還是Rise delay都是三者內最佳，符合手算的結果。

1. 以下為” 7個inverter相連”、”9個inverter相連”、”11個inverter相連”delay圖

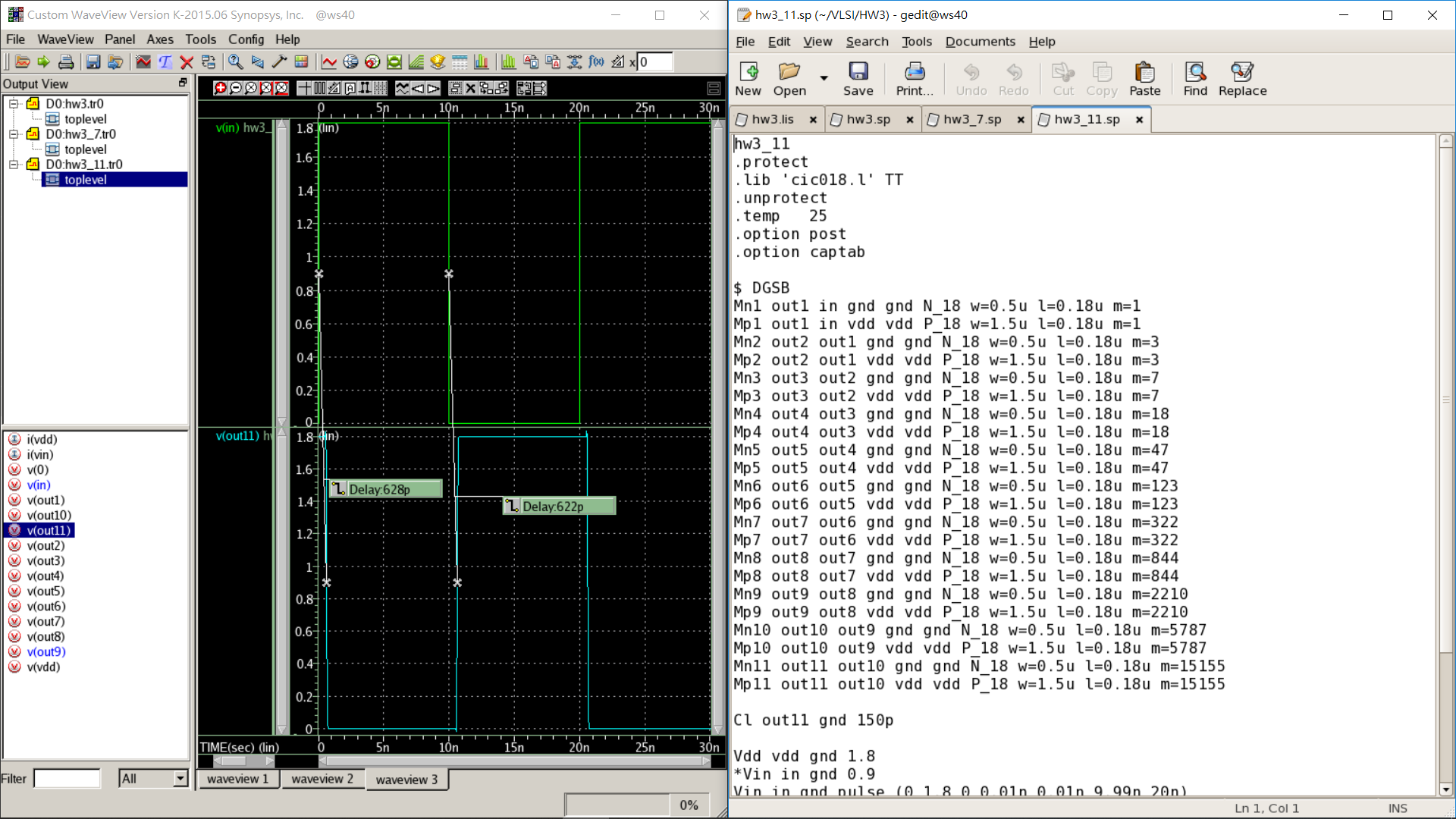
* 7個inverter相連



* 9個inverter相連(理論值)

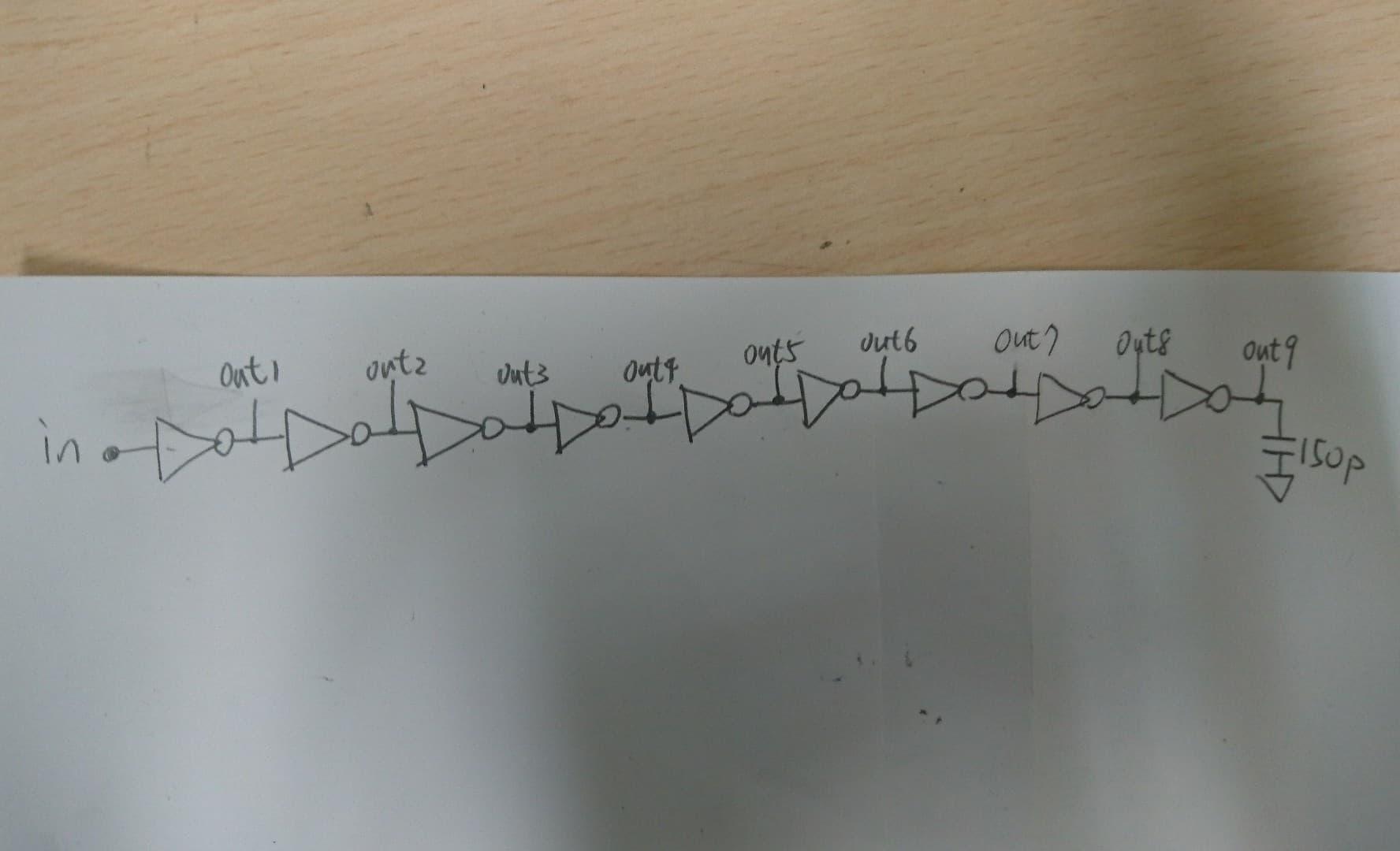


* 11個inverter相連

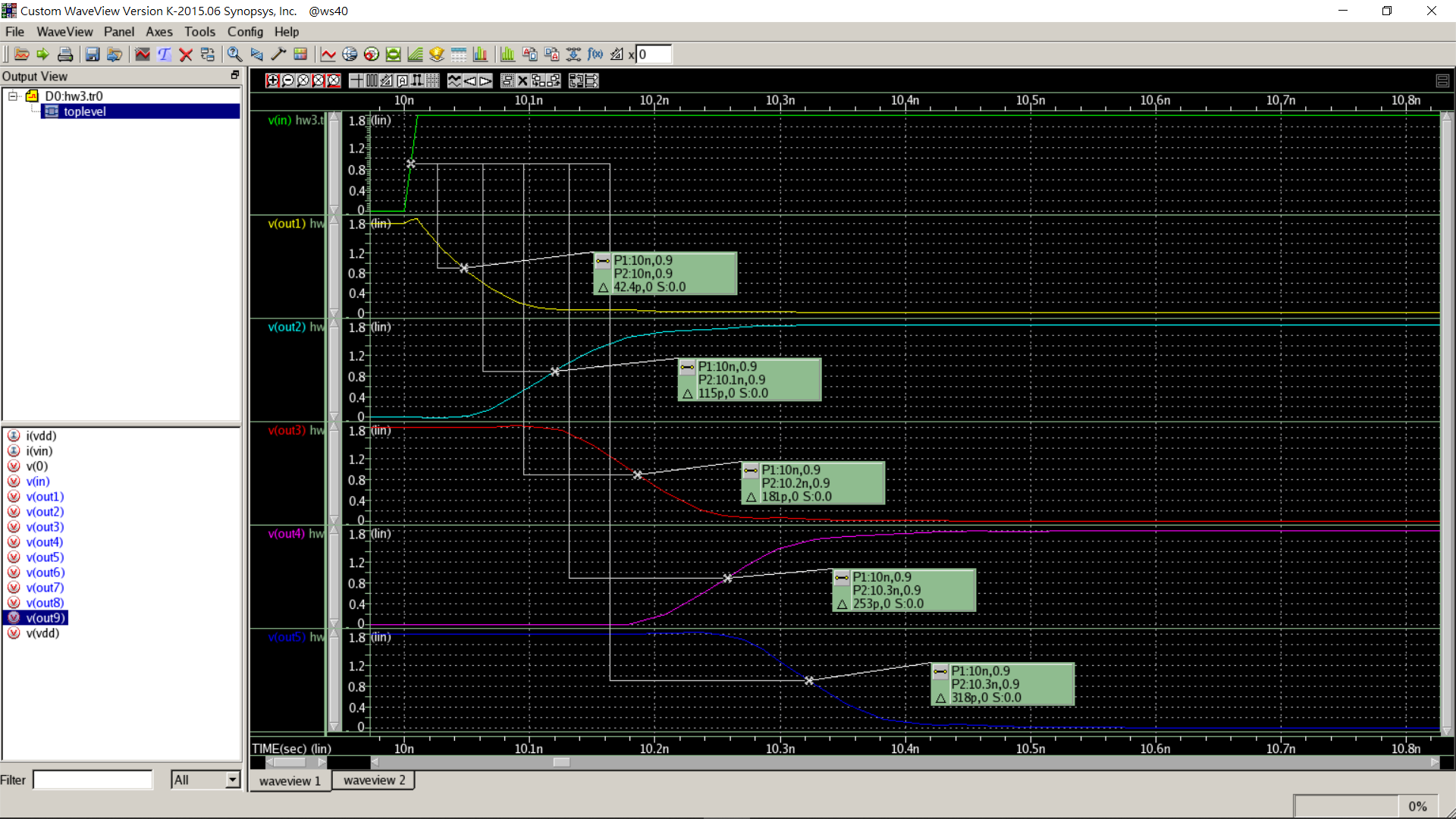


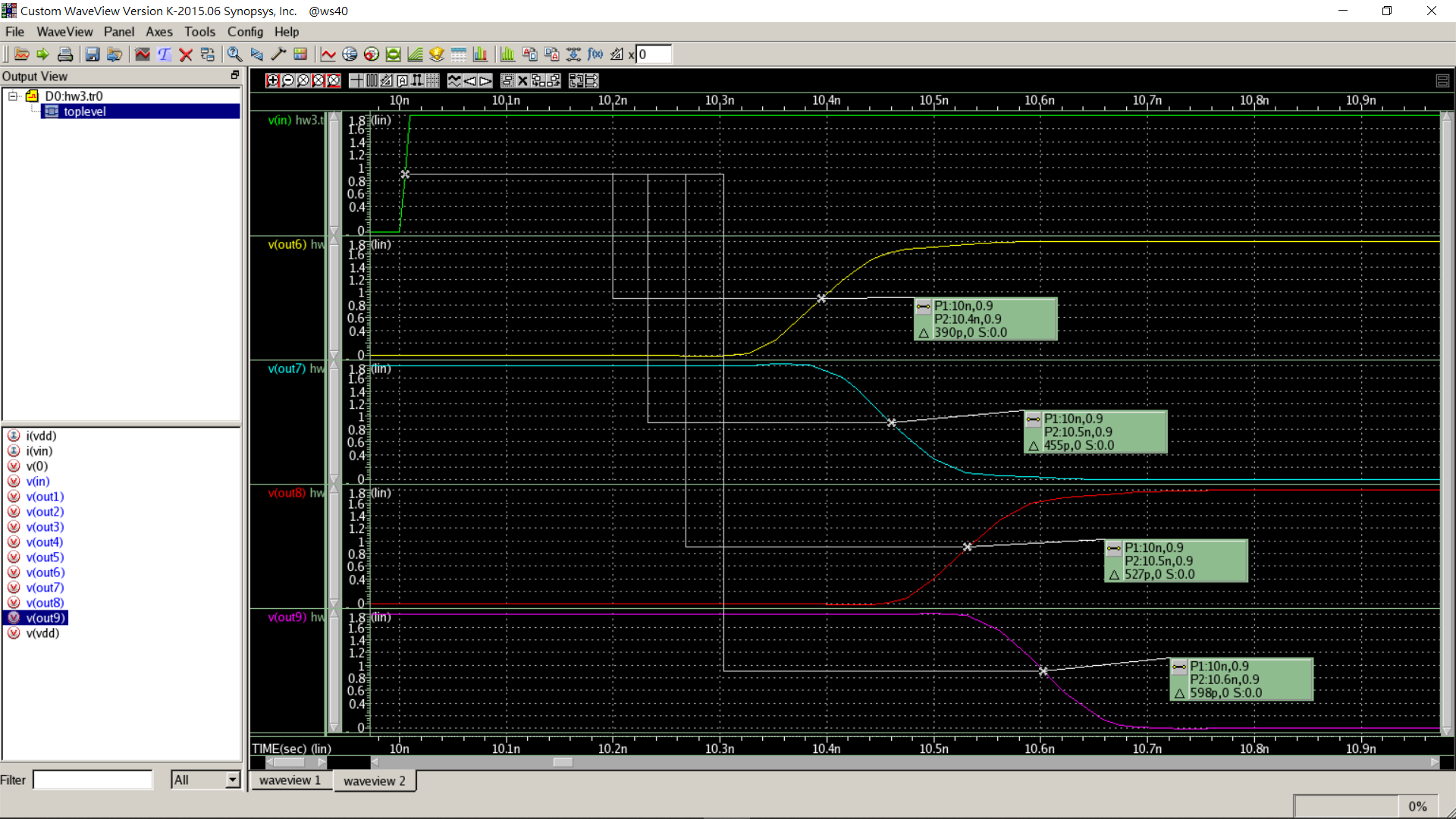
(b)

1. 以下為各個node的Fall delay以及Rise delay

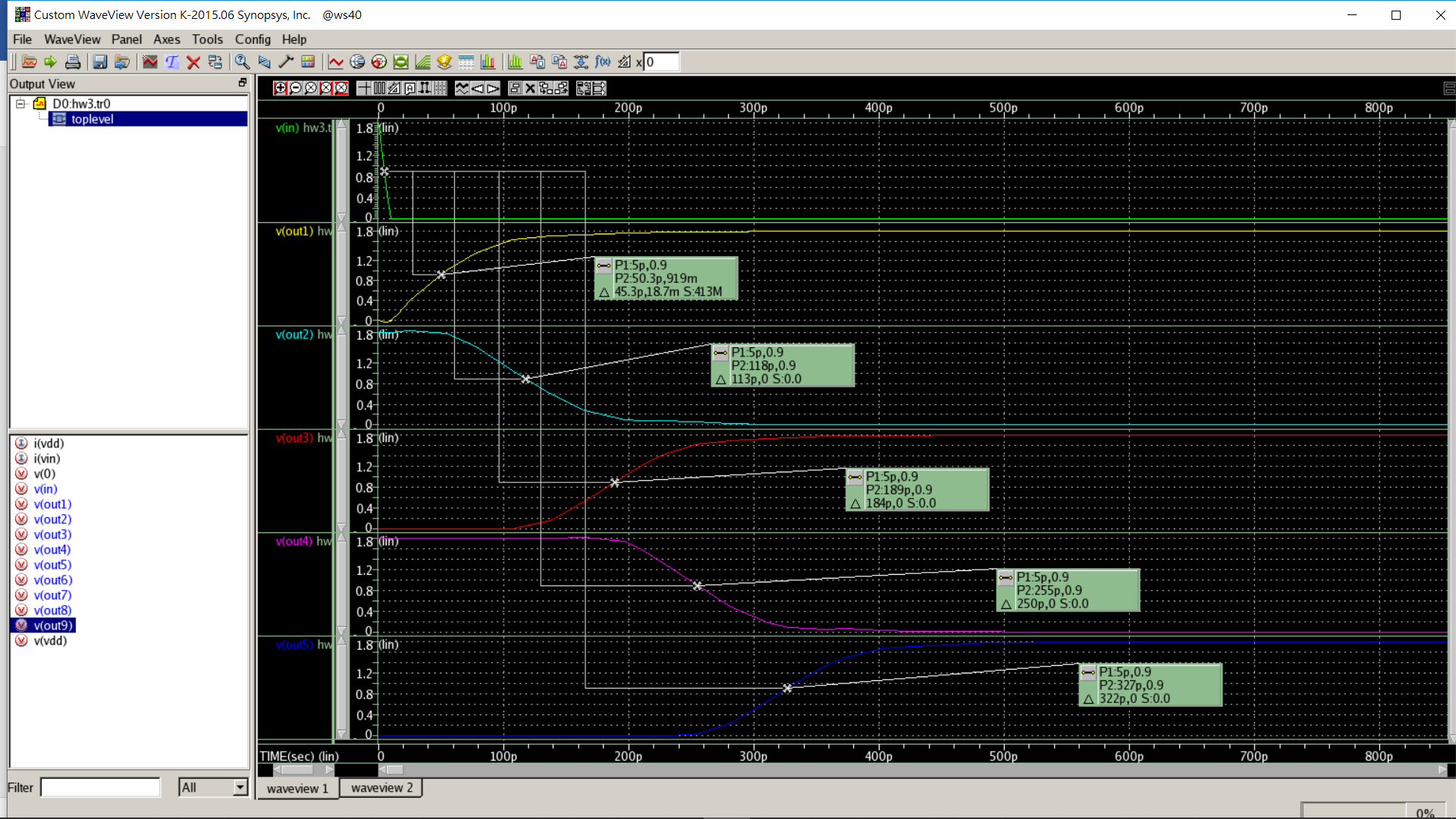


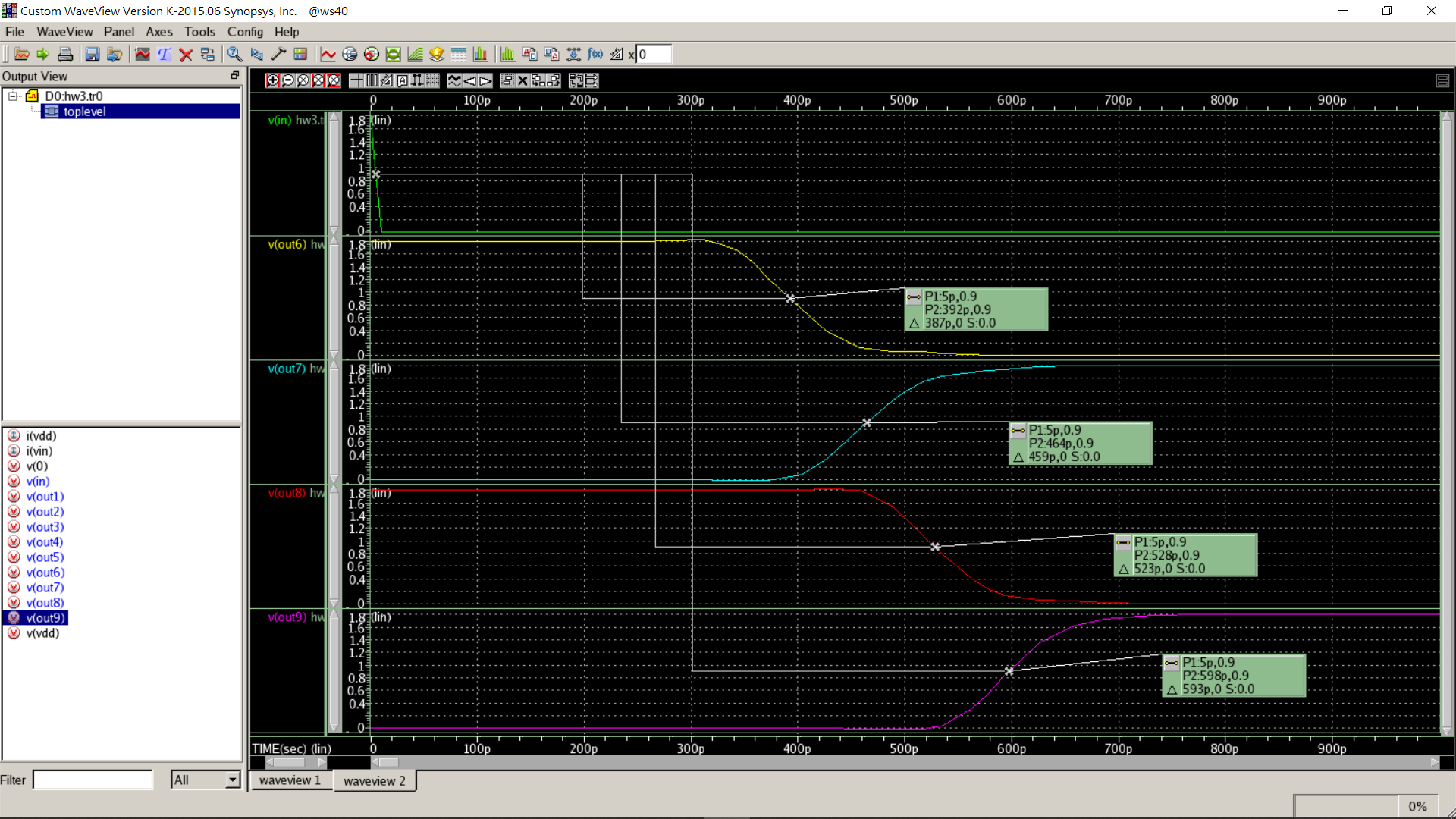
* + 各級propagation delay for rising input圖





* + 各級propagation delay for falling input圖





|  |  |  |
| --- | --- | --- |
|  | For rising input | For falling input |
| Out1 | 42.4ps | 45.3ps |
| Out2 | 115ps | 113ps |
| Out3 | 181ps | 184ps |
| Out4 | 253ps | 250ps |
| Out5 | 318ps | 322ps |
| Out6 | 390ps | 387ps |
| Out7 | 455ps | 459ps |
| Out8 | 527ps | 523ps |
| Out9 | 598ps | 593ps |

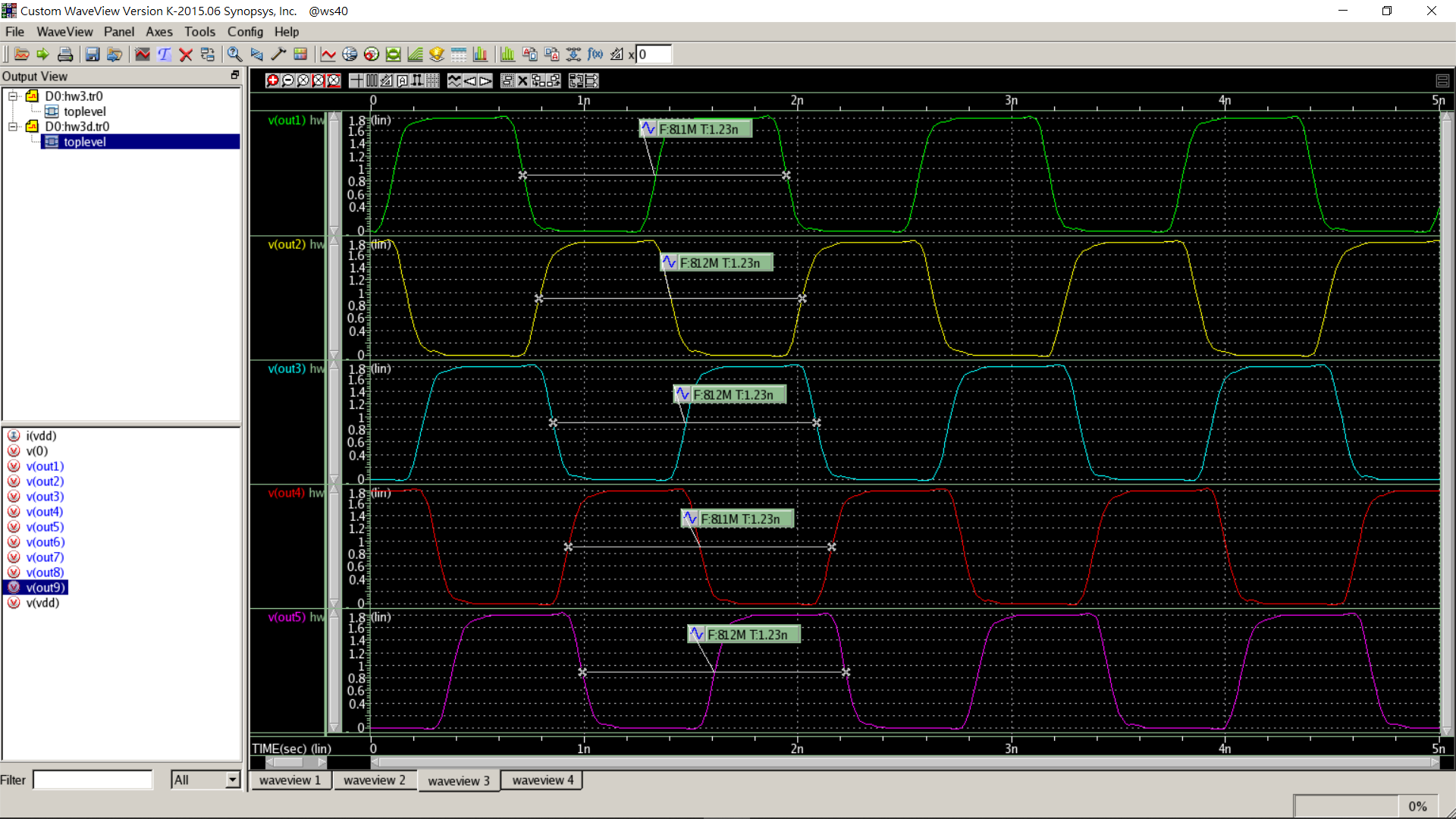
(c)

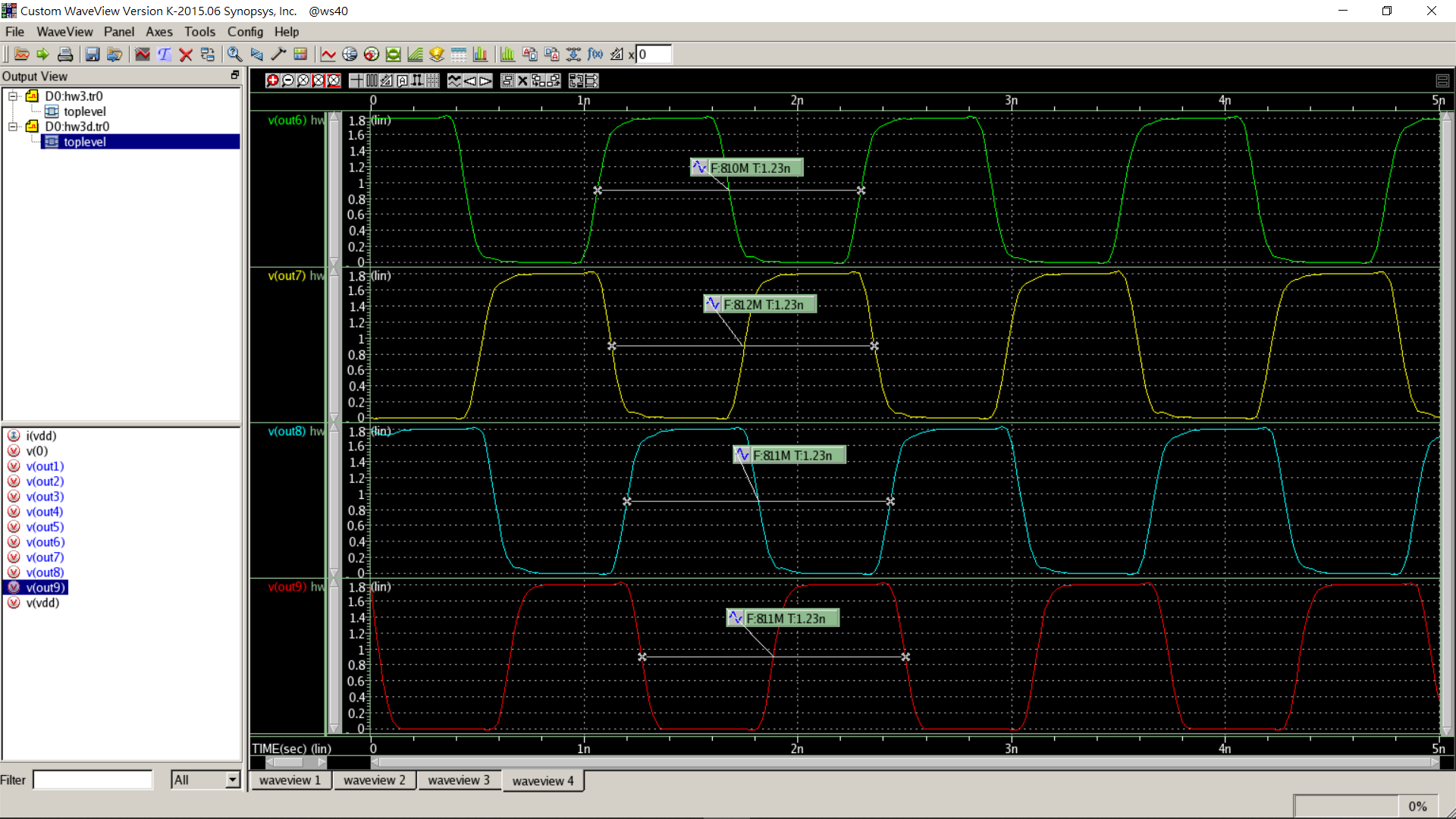
N=9,

由估算得出oscillation loop的frequency應該在839.63MHz附近

(d)

* + 各個node的frequency圖

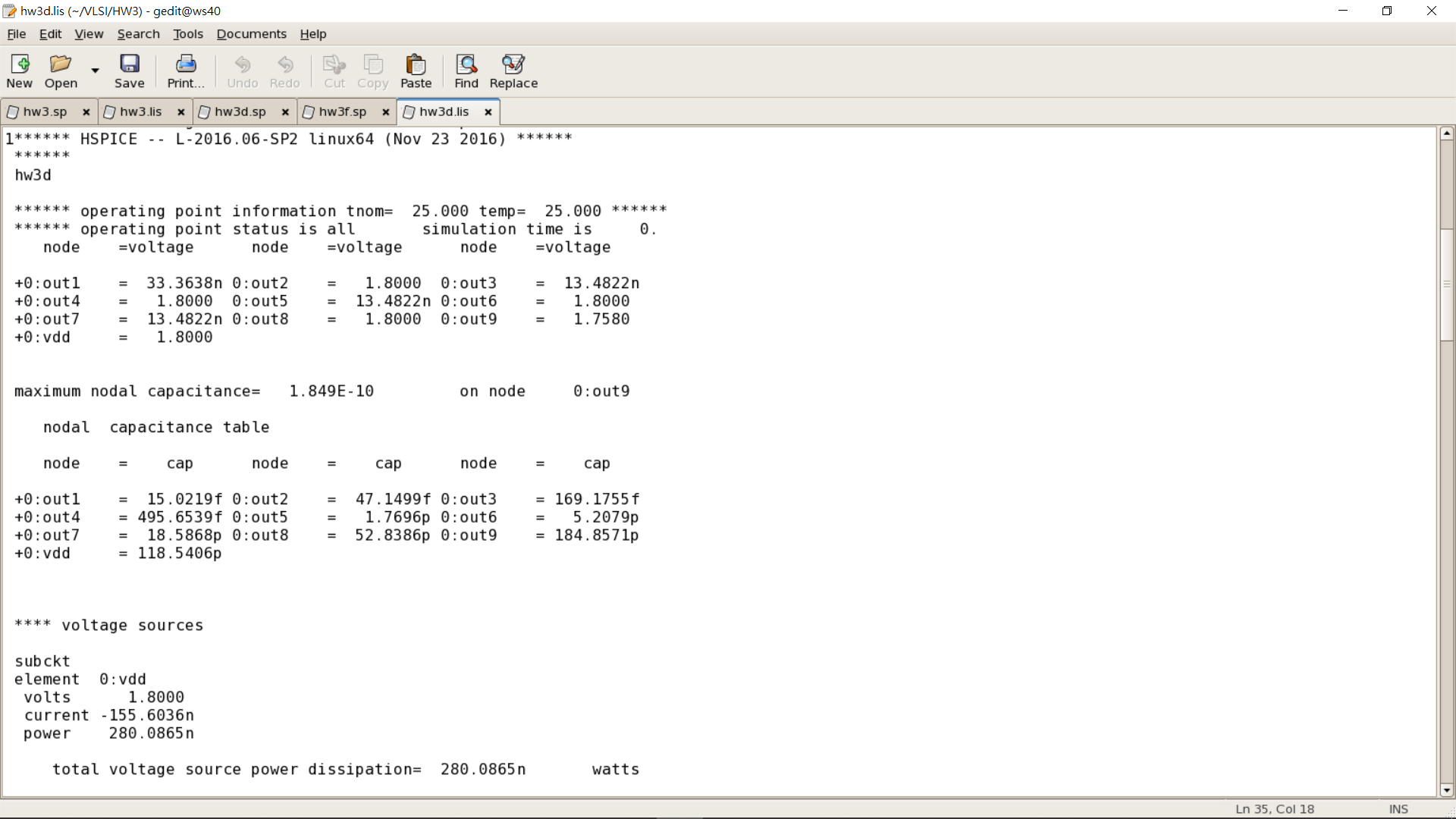




* + 實驗結果：顯示oscillation loop的frequency大約落在811.33MHz，與估算結果有者3.4%的誤差( )。
  + 分析：因為node out9，也就是接回原本Input輸入點本身會自帶一個output loading()，接回去第一級與第一級的input loading並聯

🡪 Capacitance增加 🡪 RC time constant增加 🡪 平均各級的delay增加 🡪 頻率()下降，所以估算的頻率會比實驗值來的大。

(e)

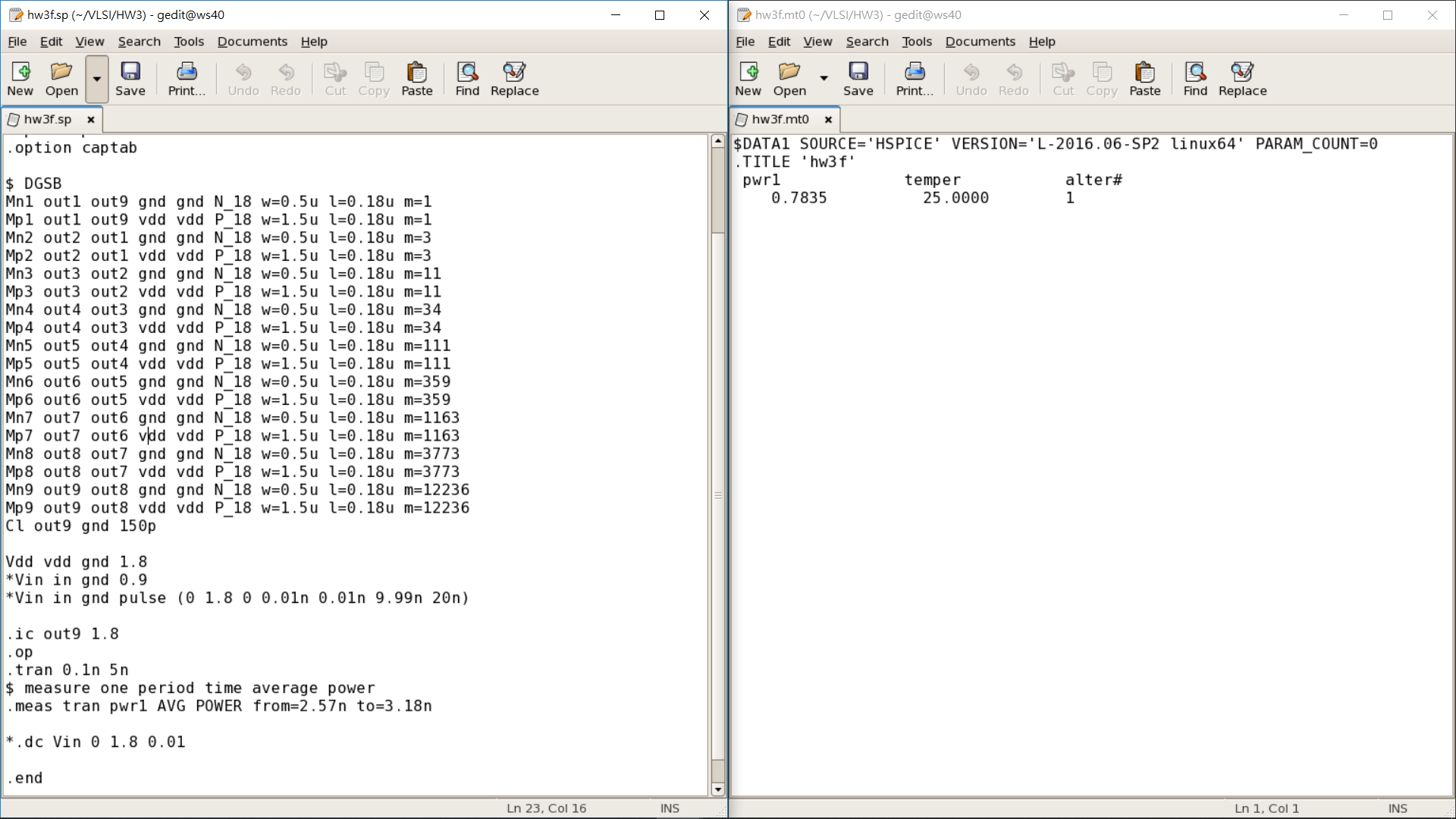


以上是在out9=0.9V下個node的電容值，沒有含括，因為此電容不會充放電，會一直保持在充飽的狀態。

🡪

由上述估算出Power

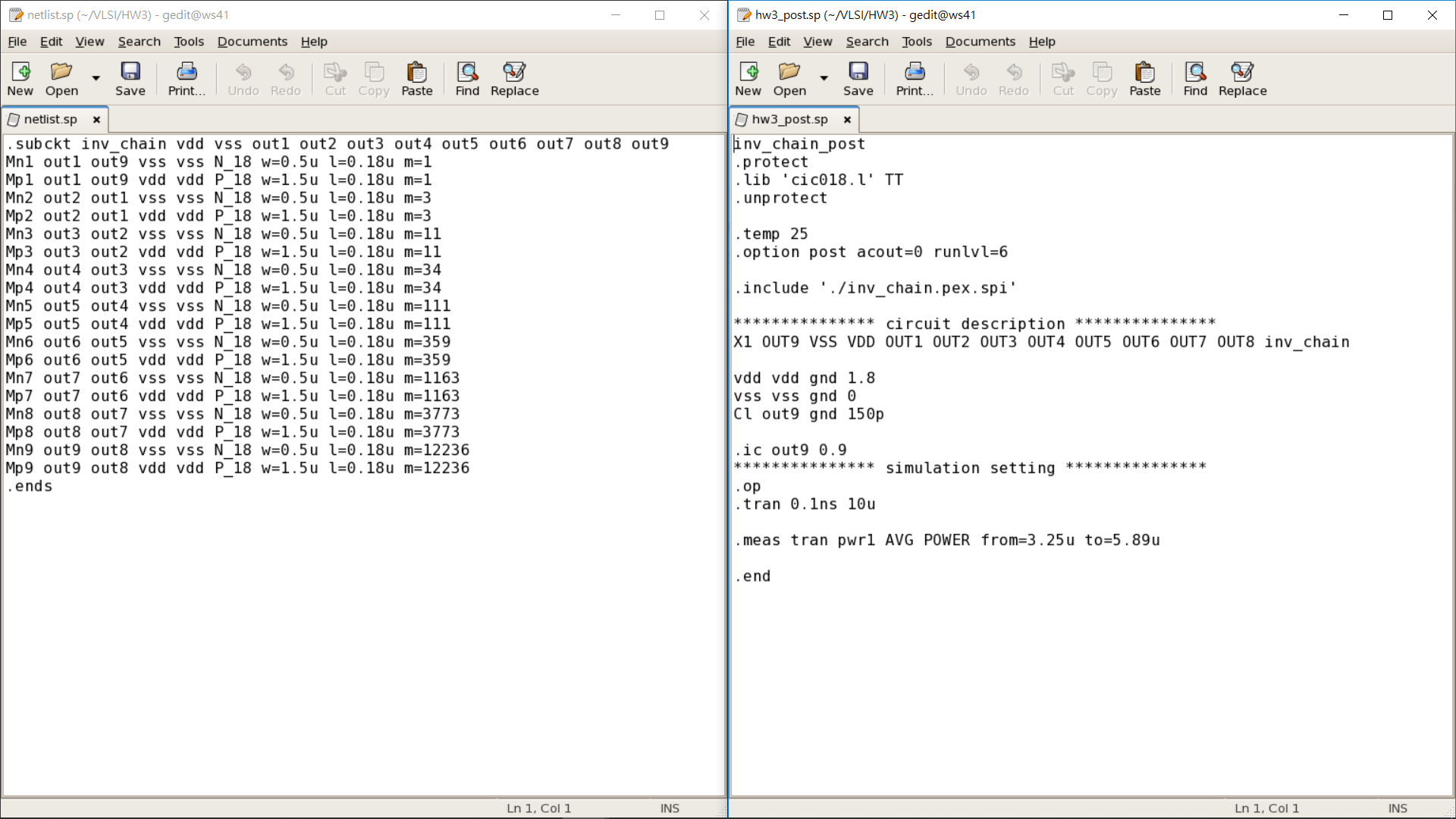
(f)



* + 實驗結果：
  + 分析：由上圖實驗顯示，其測得power結果，與(e)估算出Power= 相差，這是因為我們在(e)估算時只有算到dynamic power部分，然而，因此(e)估算的值必會小於(f)測出來的值，且(f)、(e)間的差值為此電路的。

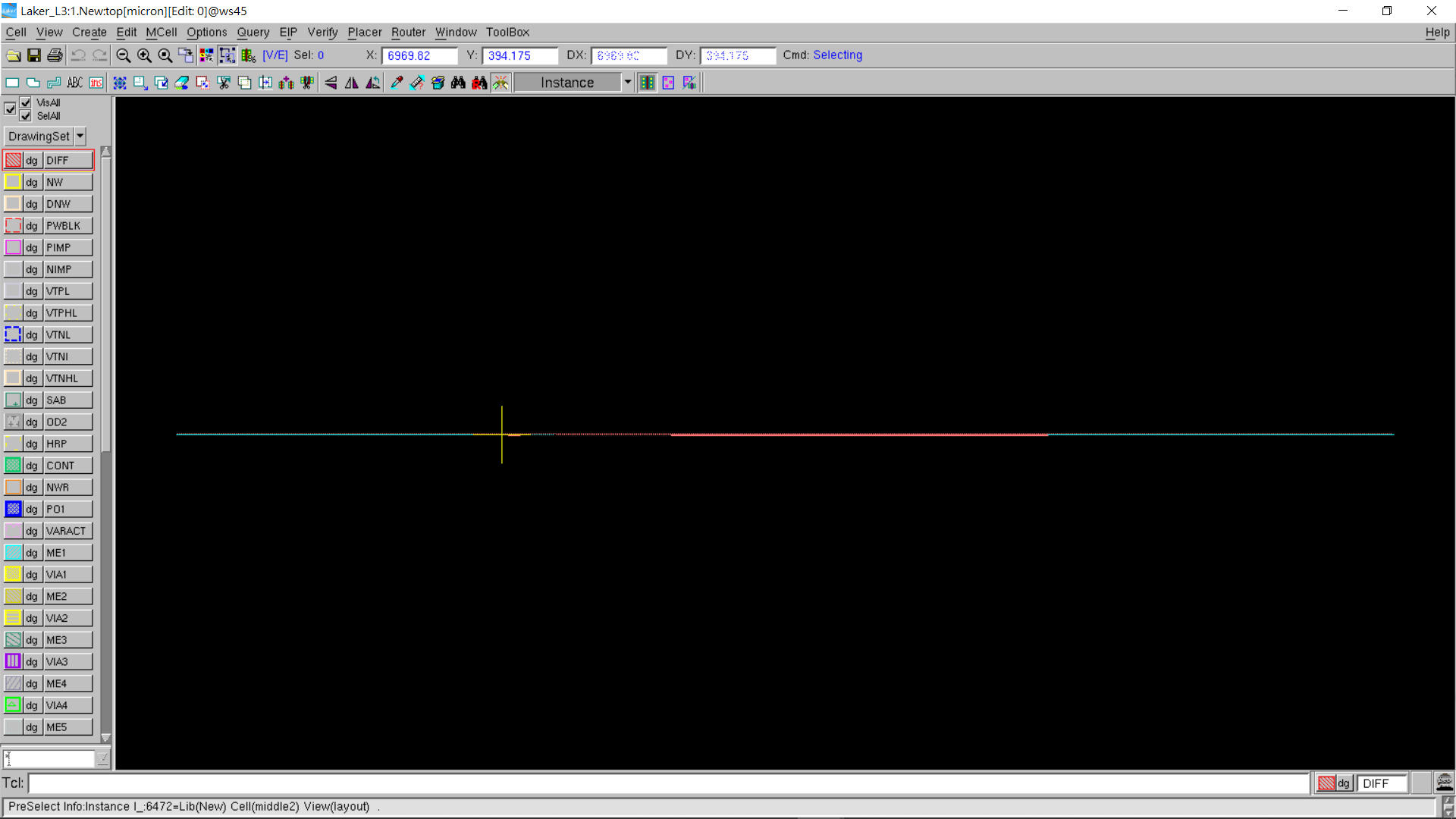
(g)

* + Version1
    - 設計：(前面使用的版本)

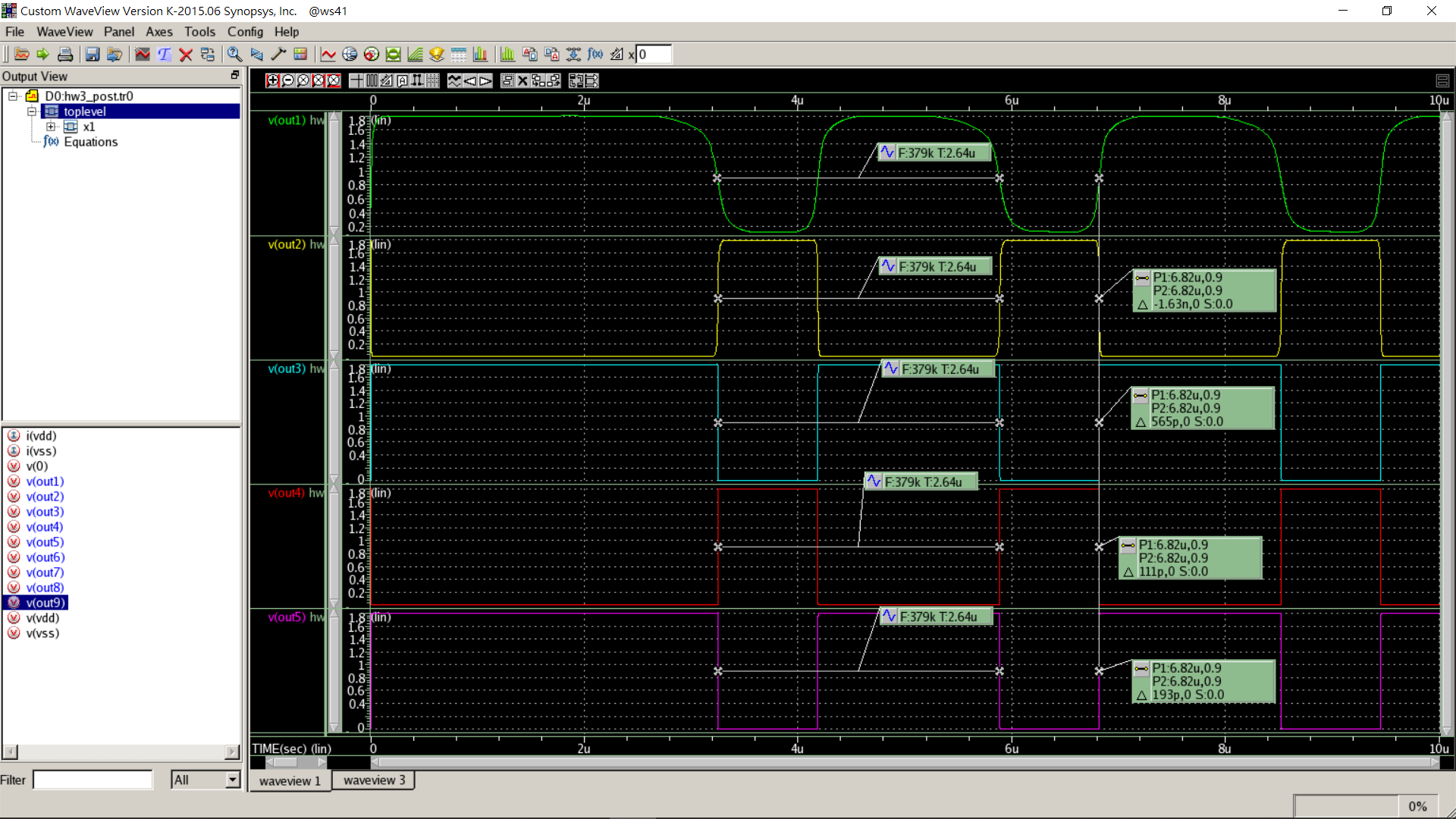


* + - layout作法：

(如下圖)先把1~8級串聯起來，最後第9級反轉至第二列與第1級&第8級串聯。

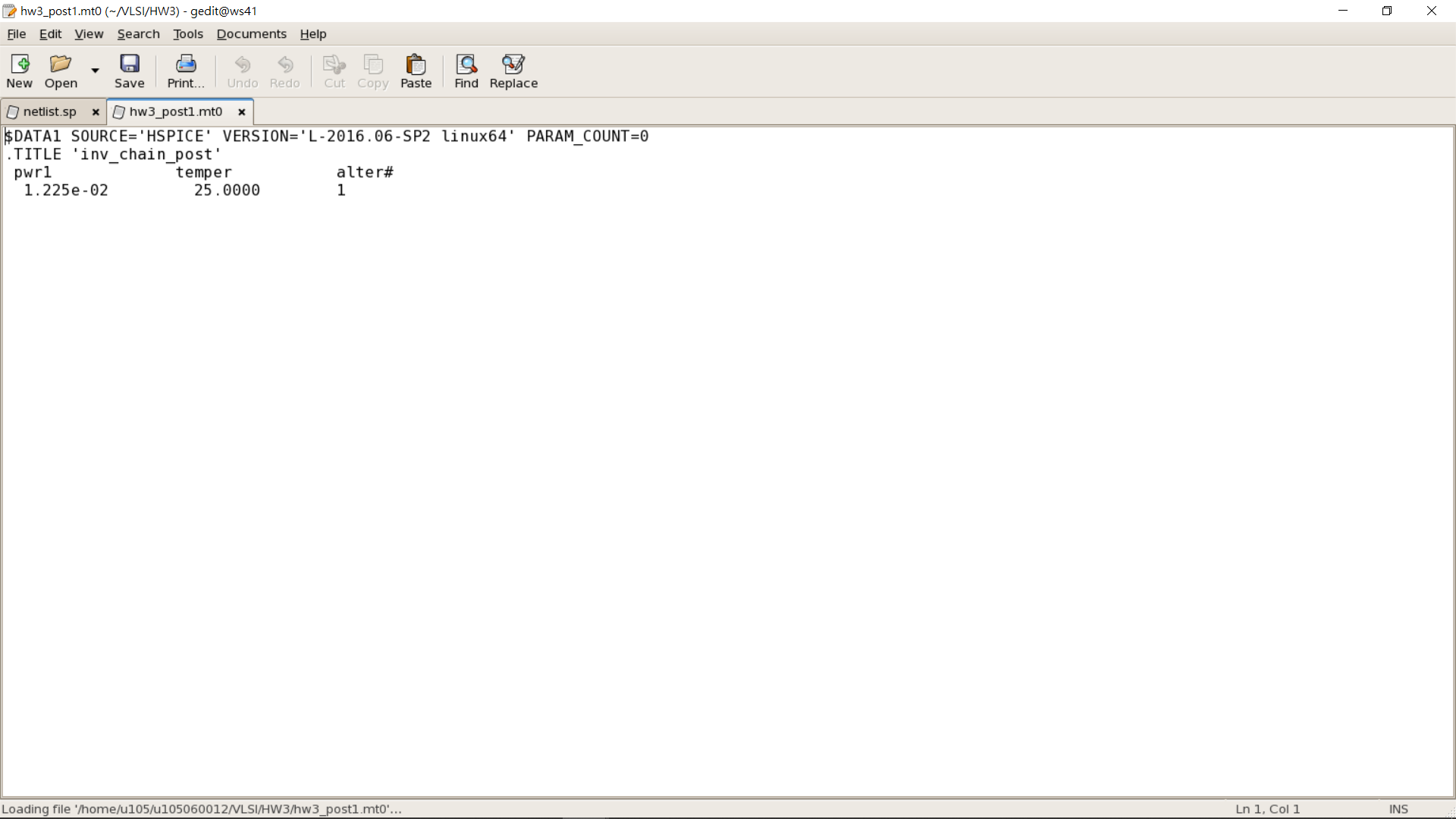


* + - 各node的波形圖





* + - 頻率：379kHz
    - Power consumption：12.23mW



* + - 分析：
      * Out9也就是第9級的output點的波形變形的嚴重，因為此設計接在第9級的metal太長，使得metal上的寄生電容以及電阻較大，進而影響Out9的波形和此電路的頻率。
      * Power consumption會變的這麼小的原因是因為週期因為第8級和第9級拉長，因此power反而比(f)測的值來的小。
  + Version2(最終版)
    - 各node的波形圖

