1. 由上圖可知(W/L)N = 0.5μ/0.18μ, (W/L)P = 1.5μ/0.18μ組成的 inverter 的 input capacitance Cin = 3.78fF (a)

I. 由上圖手算估算出 9 個 inverter 會有較小的 delay,以下用”9 個 inverter 相連”(理論值)與”7 個 inverter 相連”以及”11 個 inverter 相連”的 delay 進 行比較

Fall delay Rise delay 7 個 inverter 相連 602ps 593ps 9 個 inverter 相連 598ps 593ps 11 個 inverter 相連 628ps 622ps

由上表顯示,” 9 個 inverter 相連”的形式不管是在 Fall delay 還是 Rise delay 都是三者內最佳,符合手算的結果。 II. 以下為” 7 個 inverter 相連”、”9 個 inverter 相連”、”11 個 inverter 相

連”delay 圖

VLSI\_HW3\_105060012 張育菘

1

● 7 個 inverter 相連

● 9 個 inverter 相連(理論值)

● 11 個 inverter 相連

VLSI\_HW3\_105060012 張育菘

2

(b) I. 以下為各個 node 的 Fall delay 以及 Rise delay

∎ 各級 propagation delay for rising input 圖

VLSI\_HW3\_105060012 張育菘

3

VLSI\_HW3\_105060012 張育菘

∎ 各級 propagation delay for falling input 圖

For rising input For falling input Out1 42.4ps 45.3ps Out2 115ps 113ps Out3 181ps 184ps Out4 253ps 250ps Out5 318ps 322ps Out6 390ps 387ps Out7 455ps 459ps Out8 527ps 523ps Out9 598ps 593ps

4

(c)

N=9, 每一級的 delay(d)取 out9 Fall delay + out9 Rise delay

2 × 19 = d

f = 12Nd = 1

(598+593)×10−12 ≈ 839.63MHz

由估算得出 oscillation loop 的 frequency 應該在 839.63MHz 附近 (d)

∎ 各個 node 的 frequency 圖

∎ 實驗結果:顯示 oscillation loop 的 frequency 大約落在 811.33MHz,與

估算結果有者 3.4%的誤差(= (839.63− 811.33/839.63))。 ∎ 分析:因為 node out9,也就是接回原本 Input 輸入點本身會自帶一個 output loading(Cout9),接回去第一級與第一級的 input loading 並聯 → Capacitance 增加 → RC time constant 增加 → 平均各級的 delay 增 加 → 頻率(f = 1/(2Nd))下降,所以估算的頻率會比實驗值來的大。

VLSI\_HW3\_105060012 張育菘

5

(e) 以上是在 out9=0.9V 下個 node 的電容值,Ctotal沒有含括Cvdd,因為此電容不會 充放電,會一直保持在充飽的狀態。 →Ctotal = Cout1 + Cout2 + Cout3 + Cout4 + Cout5 + Cout6 + Cout7 + Cout8 + Cout9

P = Ctotal × Vdd2 × f = (263.987 × 10−12) × 1.82 × (811.33× 106) = 693.9mW 由上述估算出 Power≈ 693.9mW (f)

∎ 實驗結果:Power = 783.5mW ∎ 分析:由上圖實驗顯示,其測得 power 結果783.5mW,與(e)估算出 Power=693.9mW 相差89.6mW,這是因為我們在(e)估算時只有算到 dynamic power 部分,然而power = dynamic power + static power, 因此(e)估算的值必會小於(f)測出來的值,且(f)、(e)間的差值為此電路 的static power。 (g)

∎ Version1

◆ 設計:(前面使用的版本)

VLSI\_HW3\_105060012 張育菘

6

VLSI\_HW3\_105060012 張育菘

◆ layout 作法:

(如下圖)先把 1~8 級串聯起來,最後第 9 級反轉至第二列與第 1 級&第 8 級串聯。

◆ 各 node 的波形圖

7

◆ 頻率:379kHz ◆ Power consumption:12.23mW

◆ 分析:

● Out9 也就是第 9 級的 output 點的波形變形的嚴重,因為此設 計接在第 9 級的 metal 太長,使得 metal 上的寄生電容以及 電阻較大,進而影響 Out9 的波形和此電路的頻率。

● Power consumption 會變的這麼小的原因是因為週期因為第 8 級和第 9 級拉長,因此 power 反而比(f)測的值來的小。 ∎ Version2(最終版)

◆ 各 node 的波形圖

VLSI\_HW3\_105060012 張育菘

8

◆

VLSI\_HW3\_105060012 張育菘

9