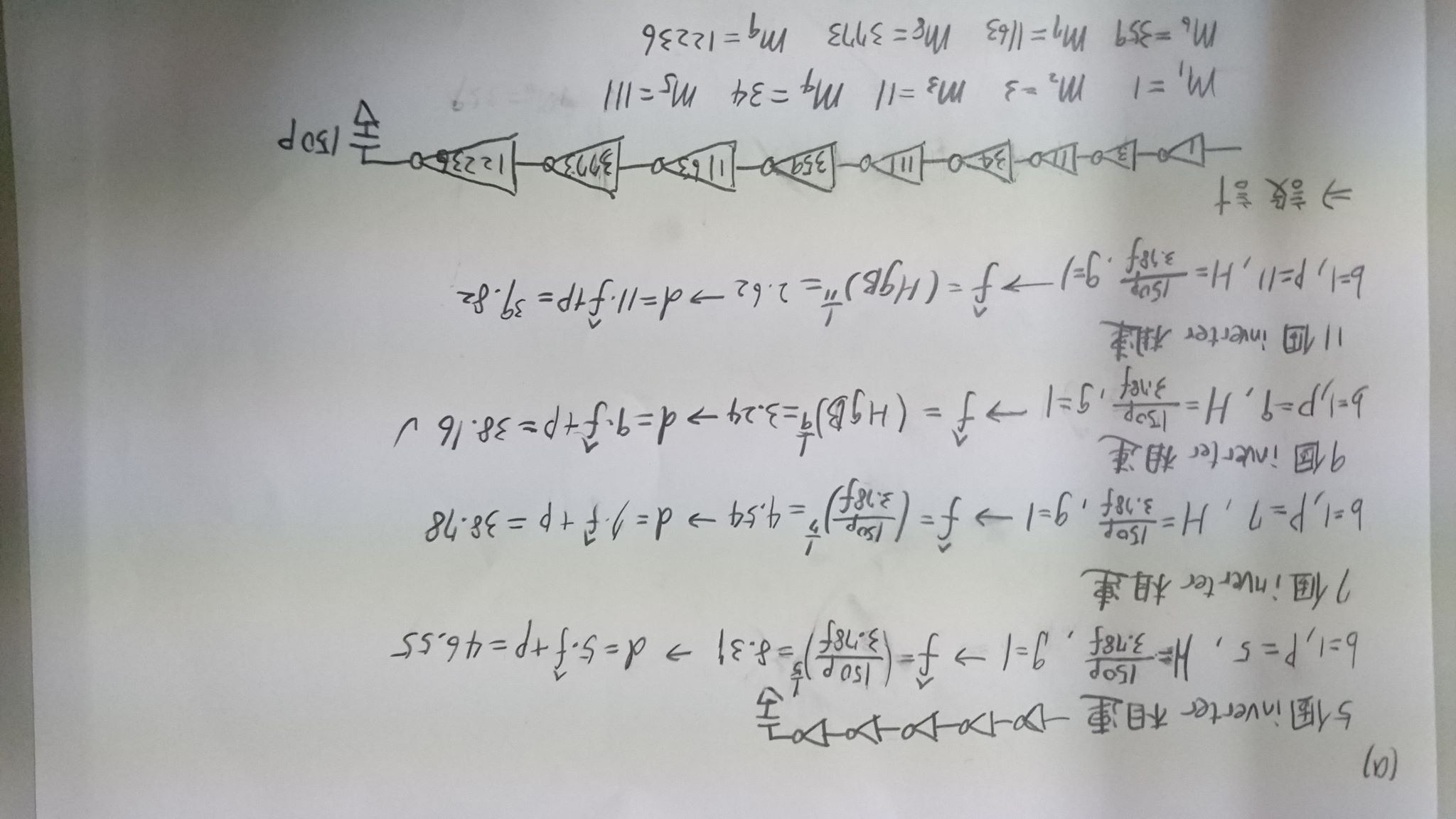


由上圖可知, 組成的inverter的input capacitance

(a)



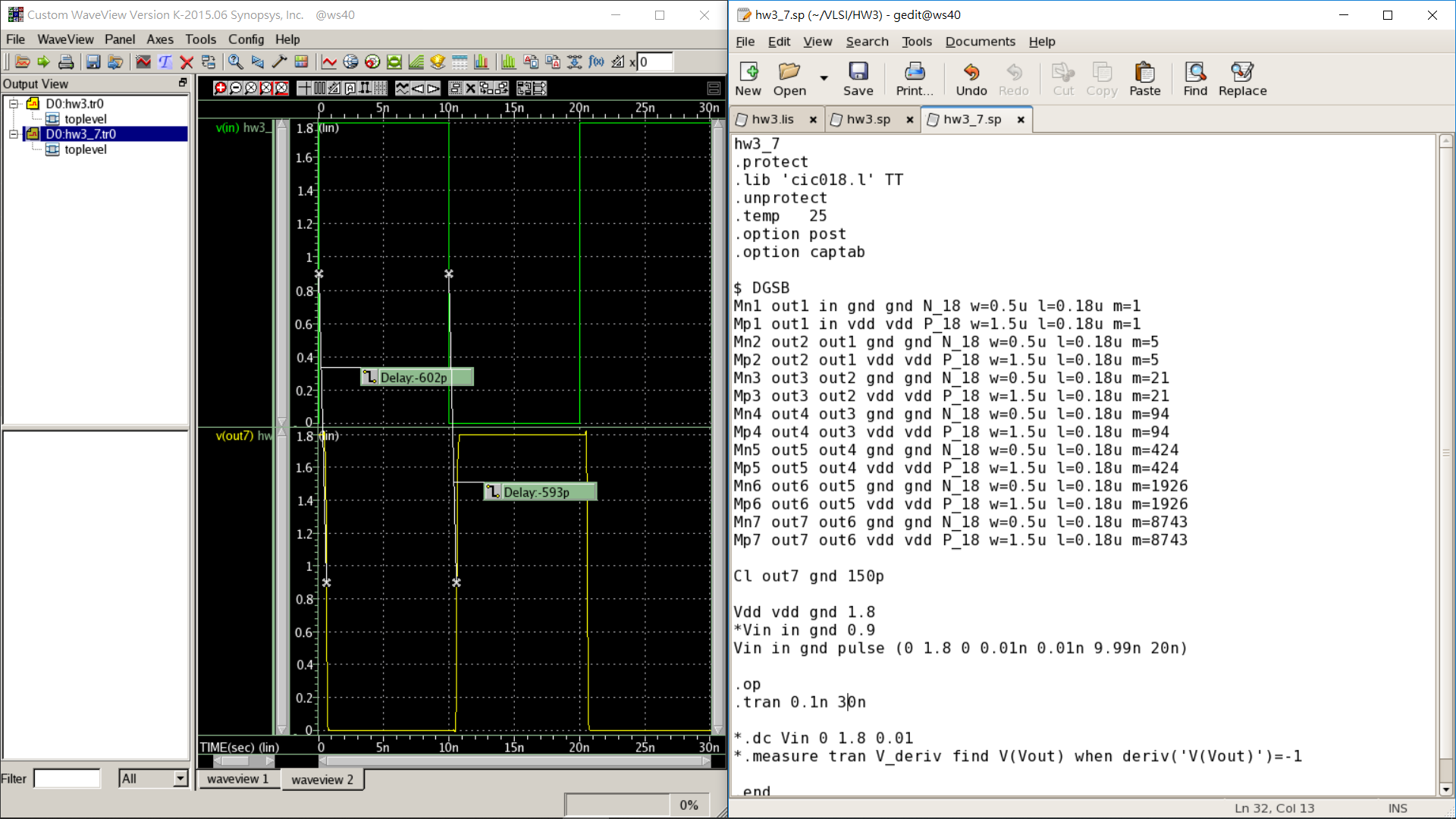
1. 由上圖手算估算出9個inverter會有較小的delay，以下用”9個inverter相連”(理論值)與”7個inverter相連”以及”11個inverter相連”的delay進行比較

|  |  |  |
| --- | --- | --- |
|  | Fall delay | Rise delay |
| 7個inverter相連 | 602ps | 593ps |
| 9個inverter相連 | 598ps | 593ps |
| 11個inverter相連 | 628ps | 622ps |

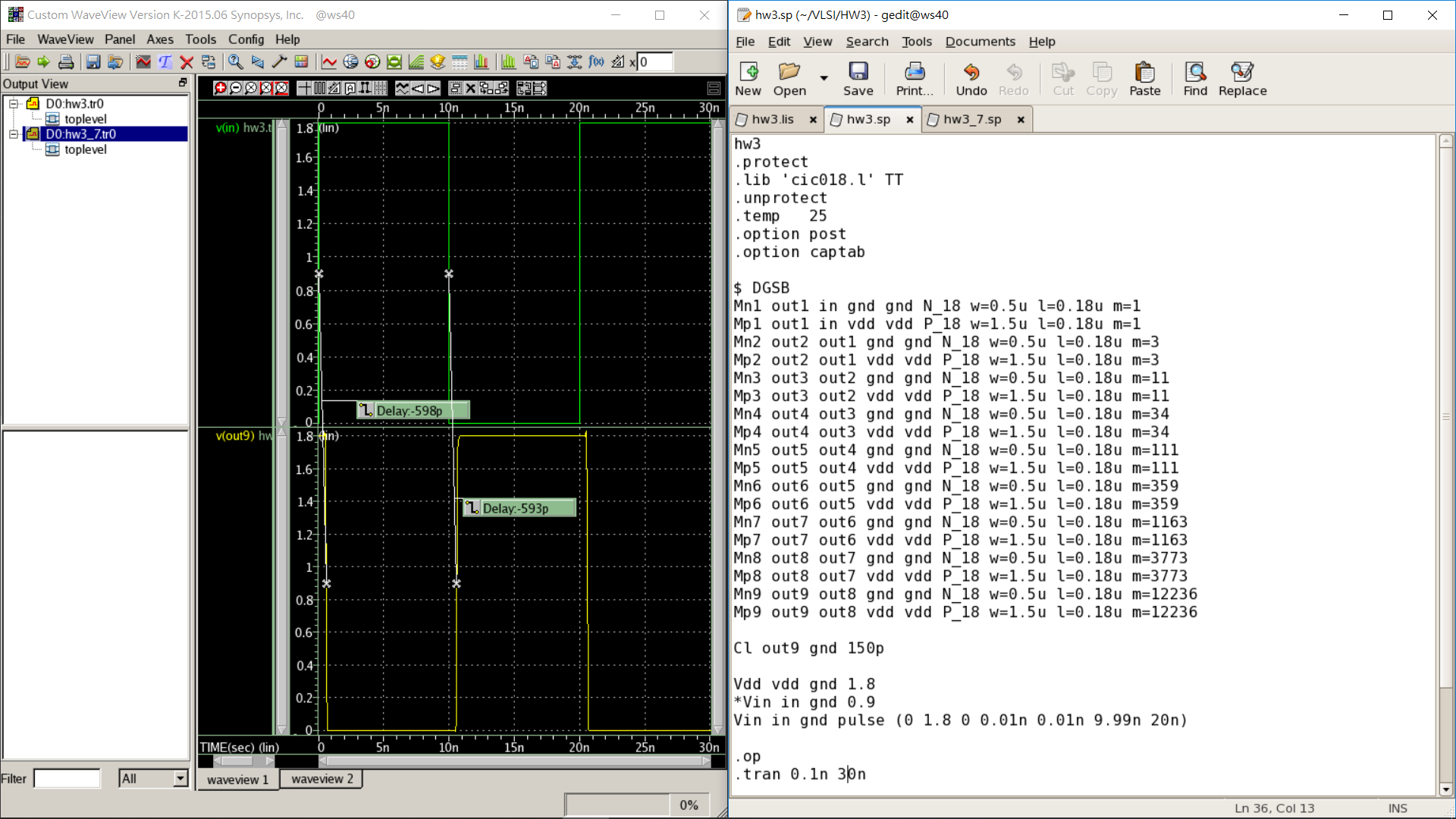
由上表顯示，” 9個inverter相連”的形式不管是在Fall delay還是Rise delay都是三者內最佳，符合手算的結果。

1. 以下為” 7個inverter相連”、”9個inverter相連”、”11個inverter相連”delay圖

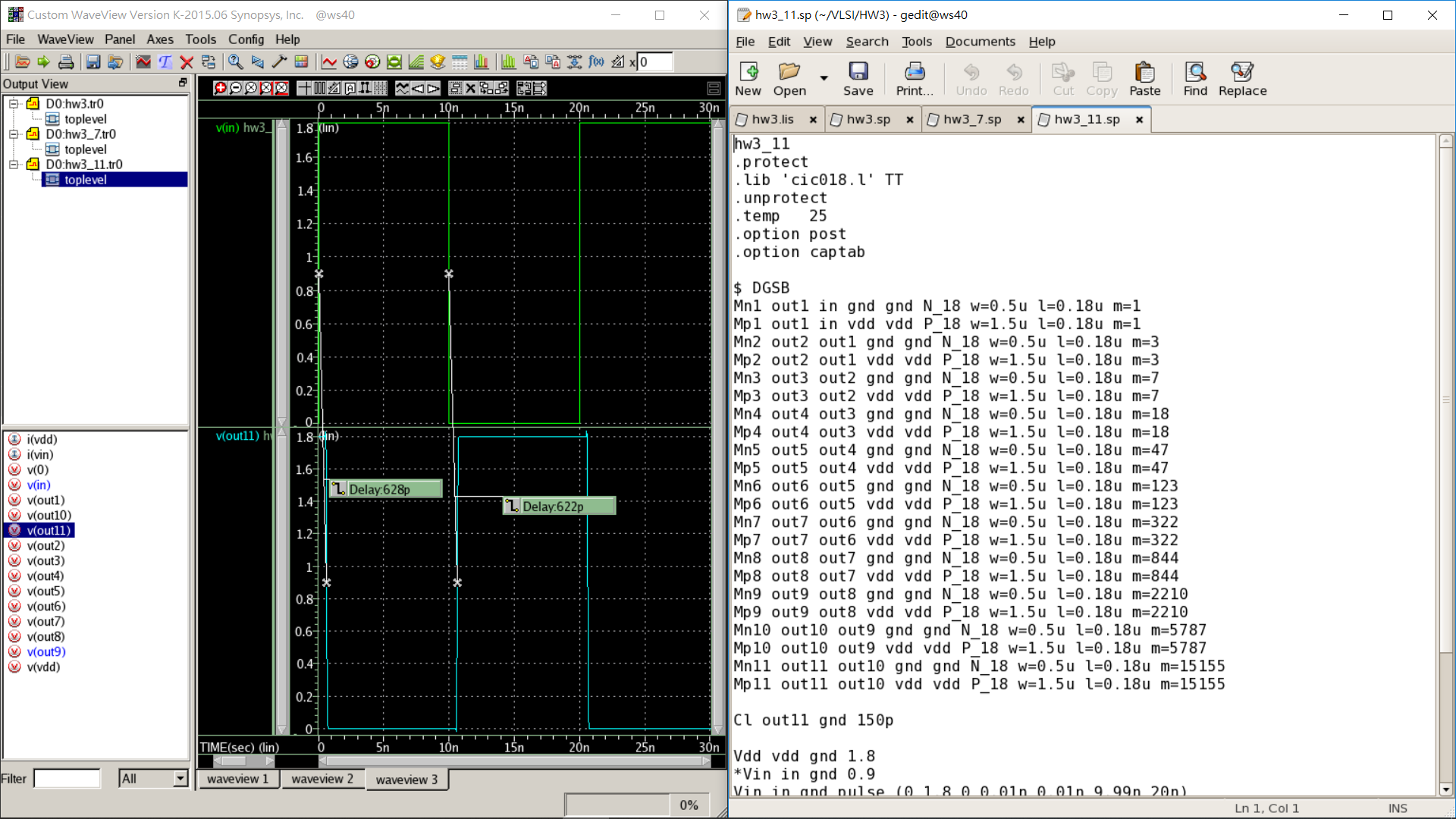
* 7個inverter相連



1. 9個inverter相連(理論值)

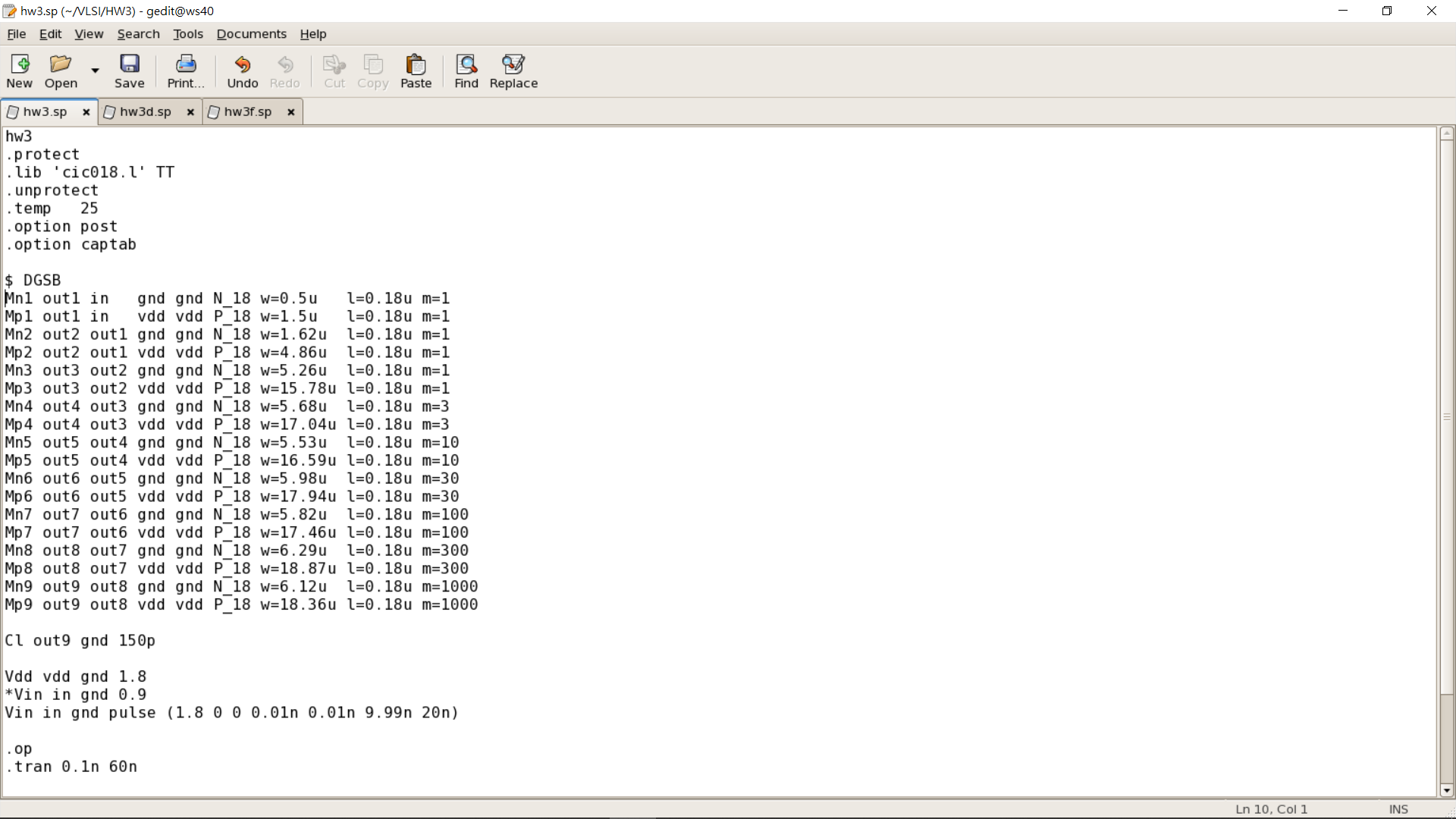


1. 11個inverter相連

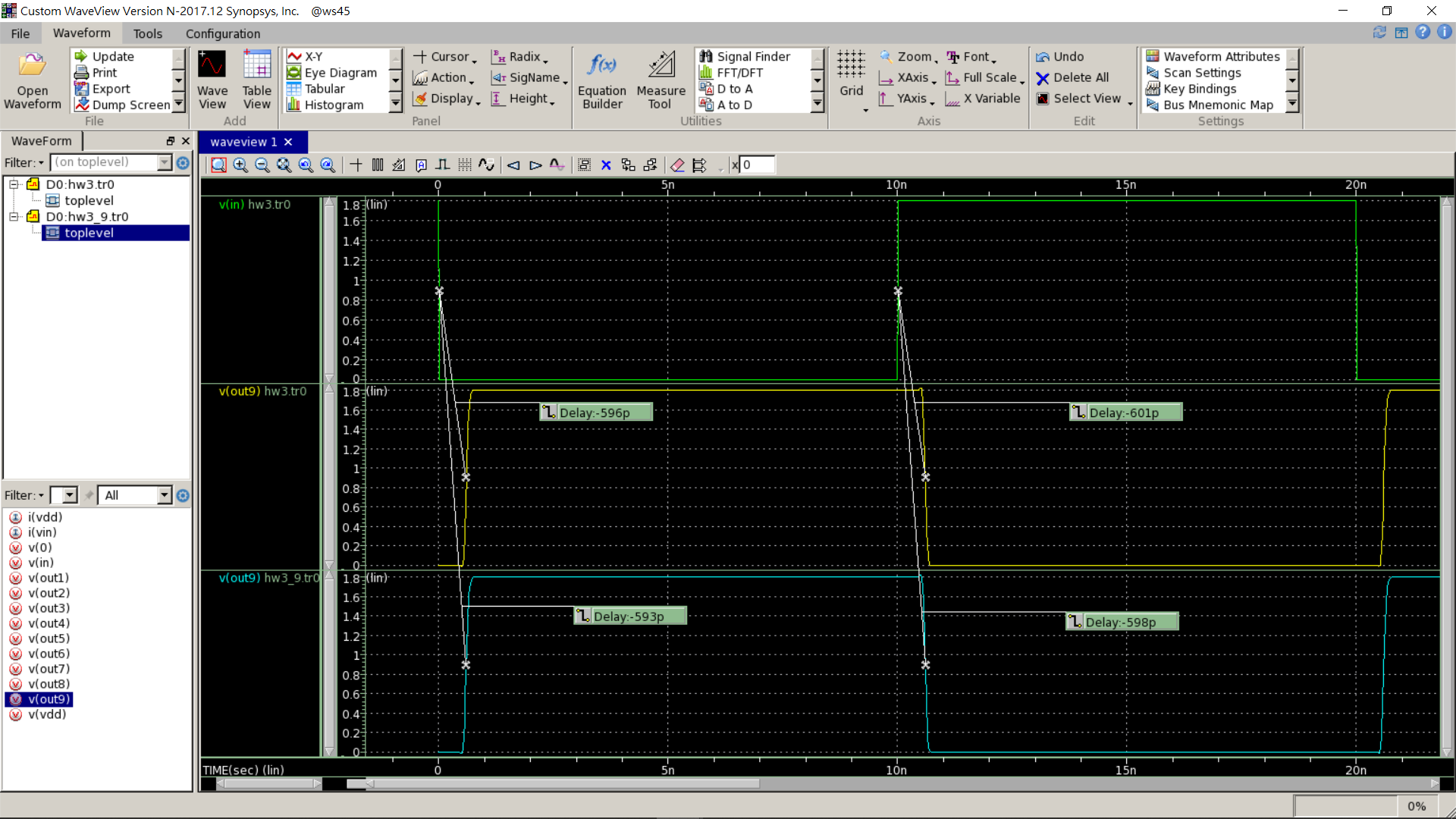


(b)

1. 為了增加之後layout的可行性，以下便會用W等比例的增加，以減少MOS並聯數(減少m值)的方法，實現上述的目的
   * 改變後的size



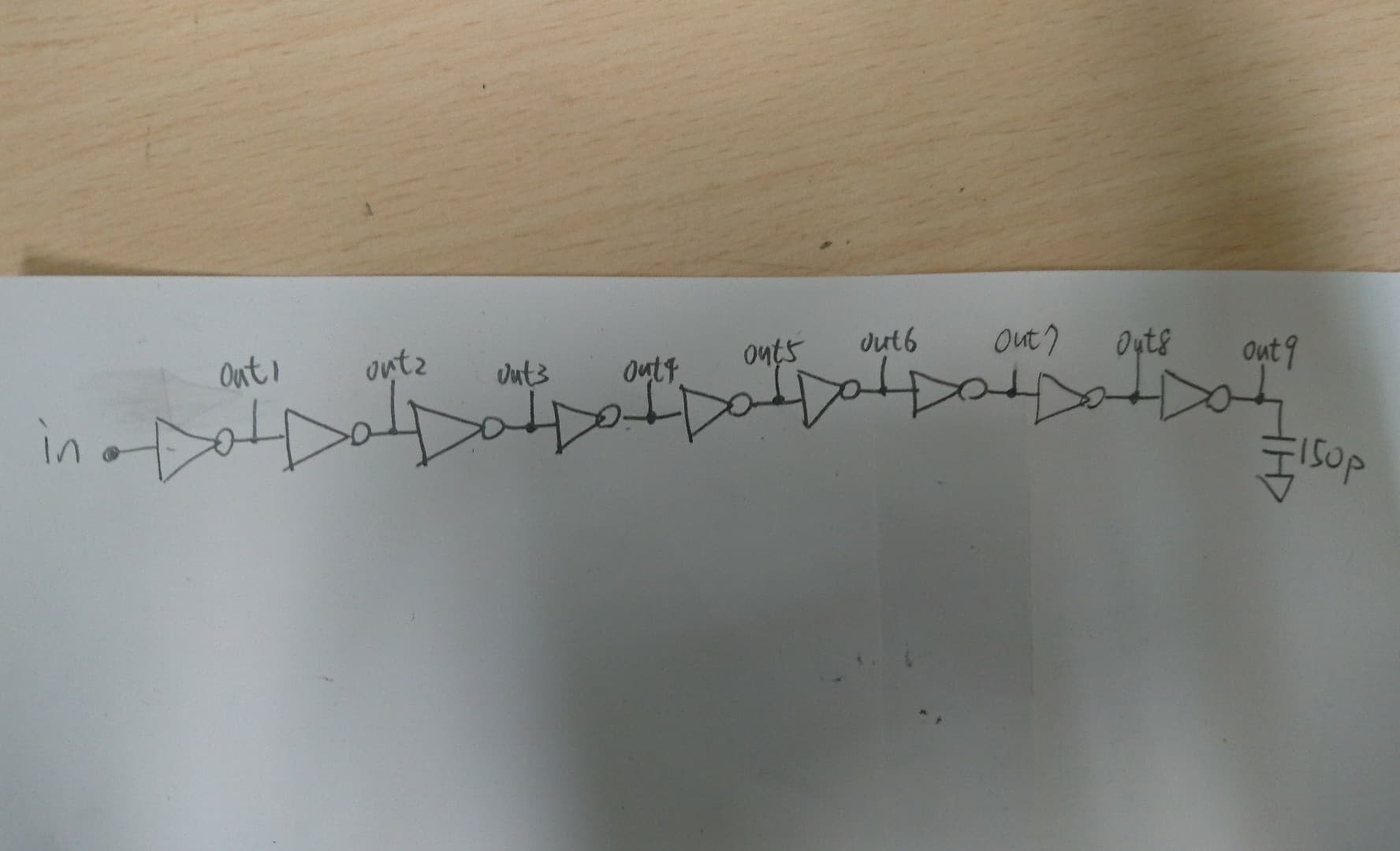
* + Hw3\_9(第二個波形)(改變前), Hw3(第一個波形)(改變後)



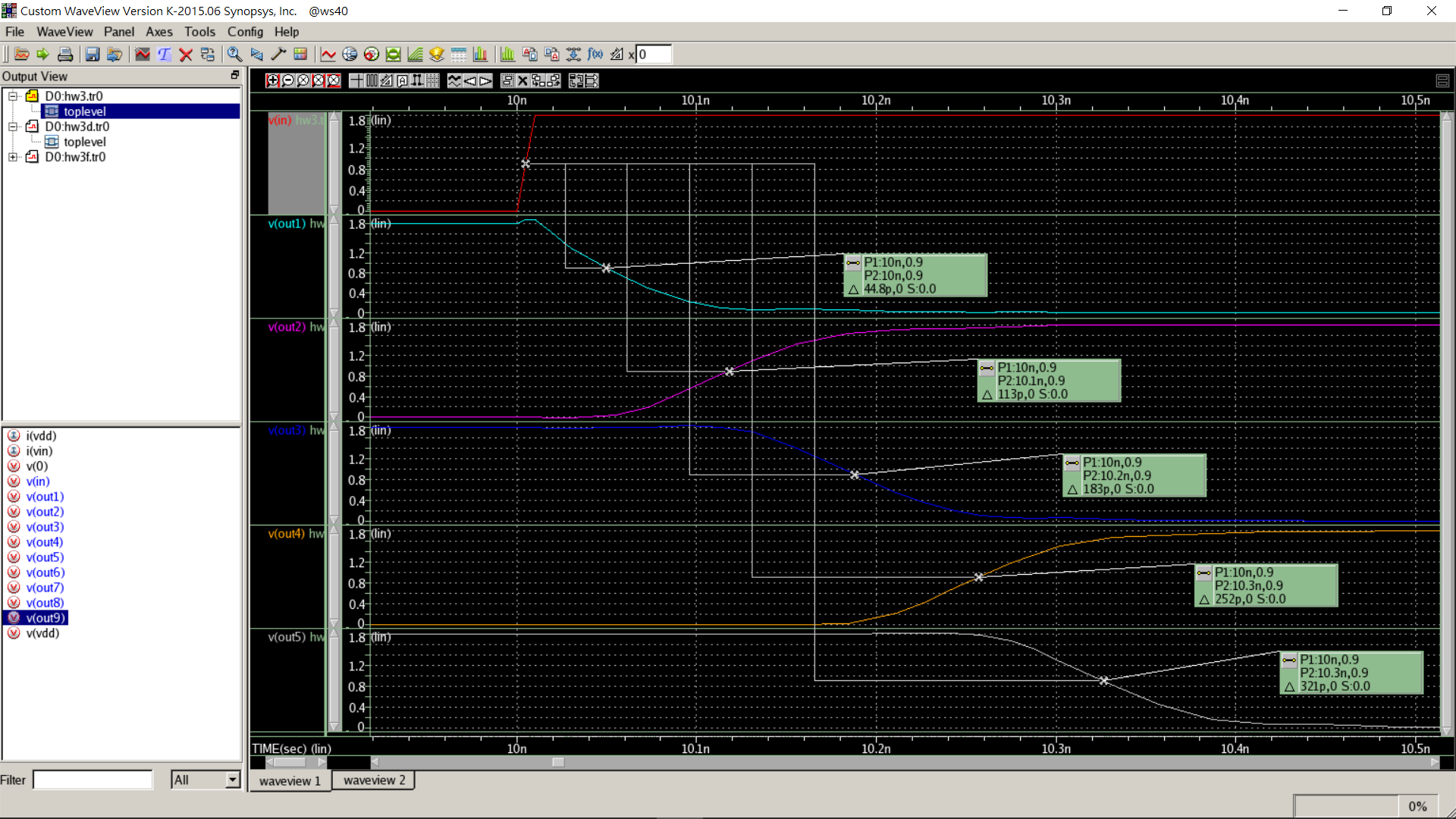
|  |  |  |
| --- | --- | --- |
|  | Fall delay | Rise delay |
| Hw3\_9(改變前) | 598ps | 593ps |
| Hw3(改變後) | 601ps | 596ps |

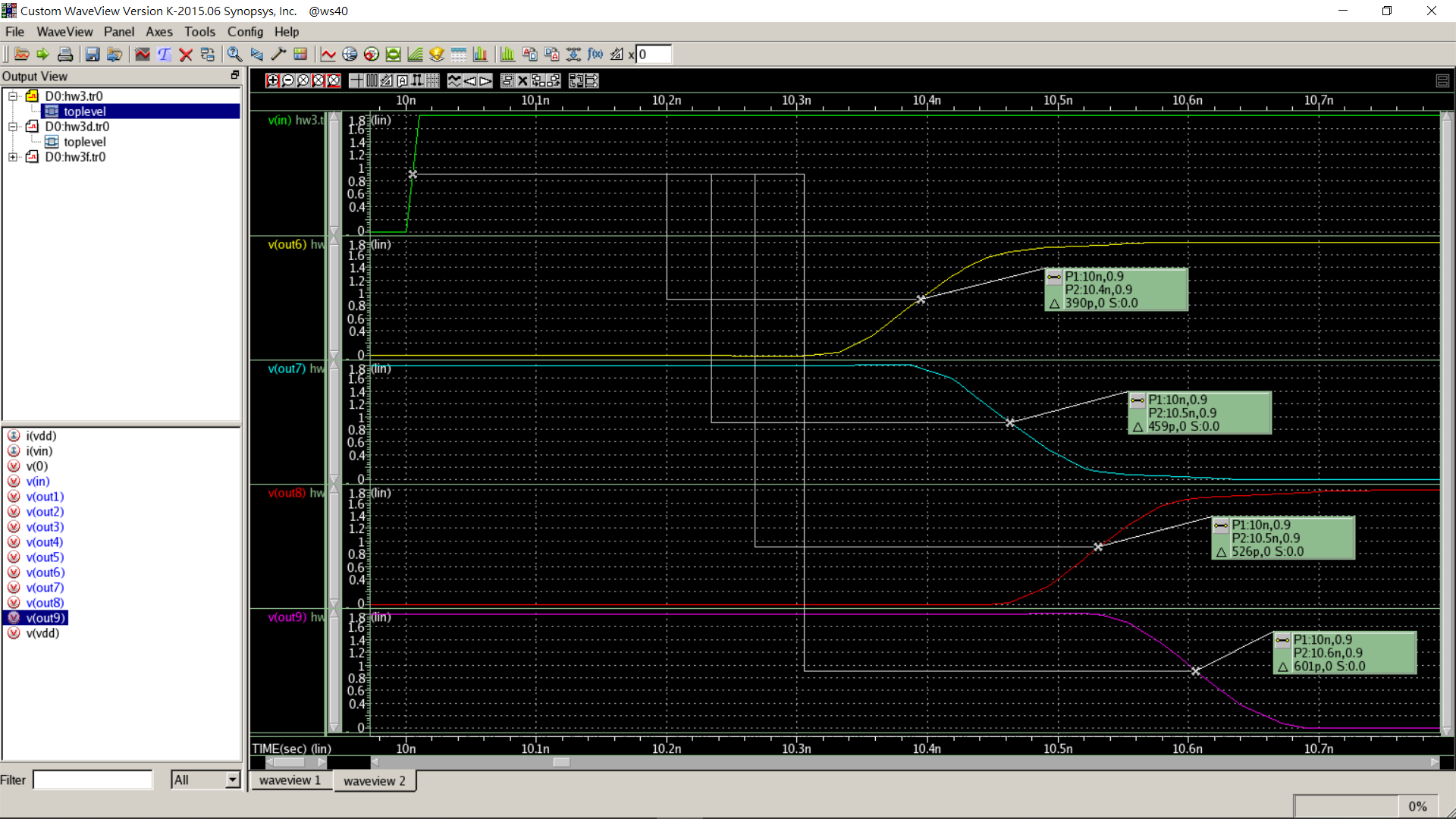
改變後的delay與(a)的” 7個inverter相連”、”11個inverter相連”相比，仍擁有相對最小的delay。

1. 以下為各個node的Fall delay以及Rise delay



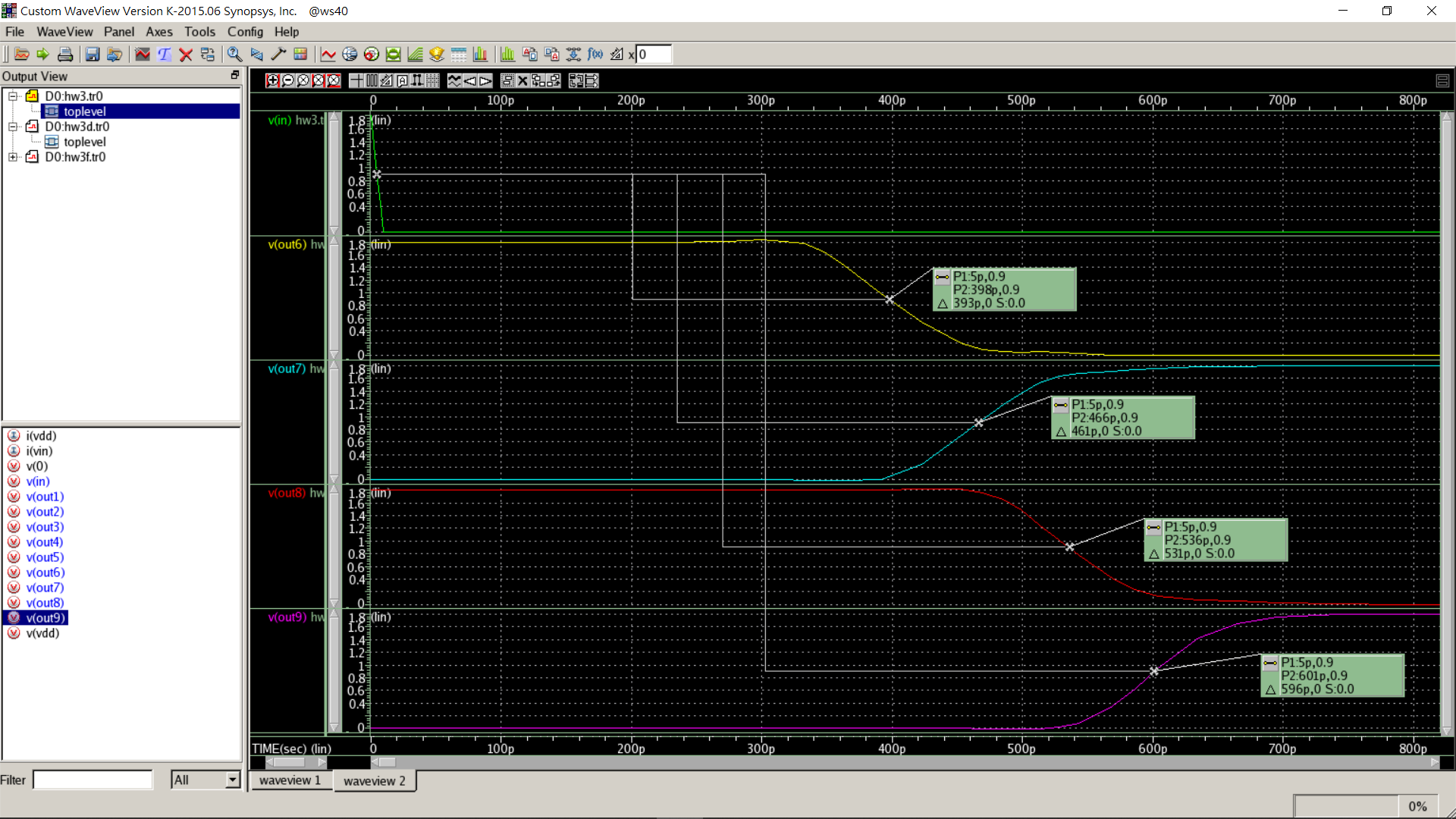
* + 各級propagation delay for rising input圖





* + 各級propagation delay for falling input圖





|  |  |  |
| --- | --- | --- |
|  | For rising input | For falling input |
| Out1 | 44.8ps | 45.9ps |
| Out2 | 113ps | 117ps |
| Out3 | 183ps | 184ps |
| Out4 | 252ps | 254ps |
| Out5 | 321ps | 323ps |
| Out6 | 390ps | 393ps |
| Out7 | 459ps | 461ps |
| Out8 | 526ps | 531ps |
| Out9 | 601ps | 596ps |

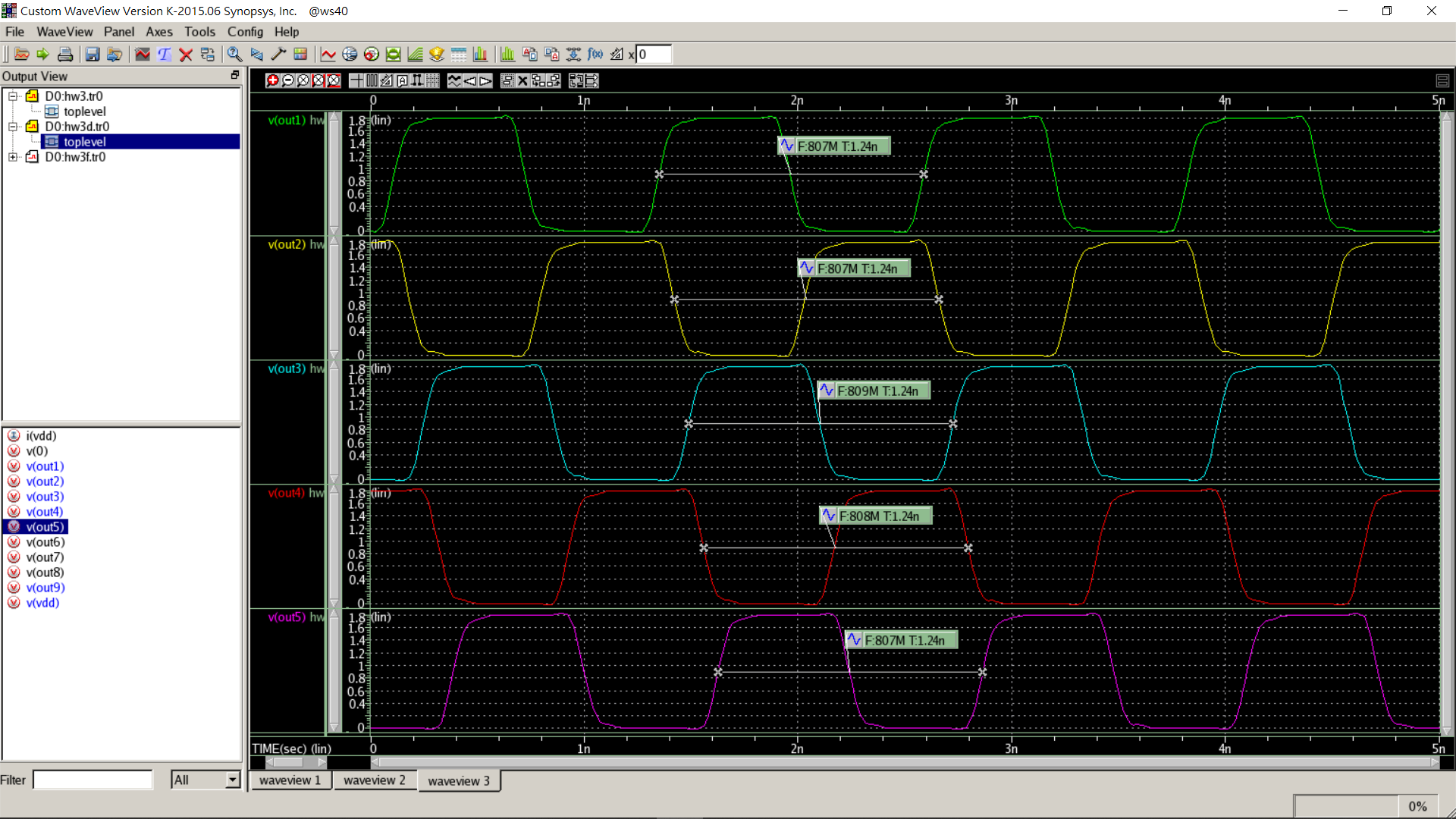
(c)

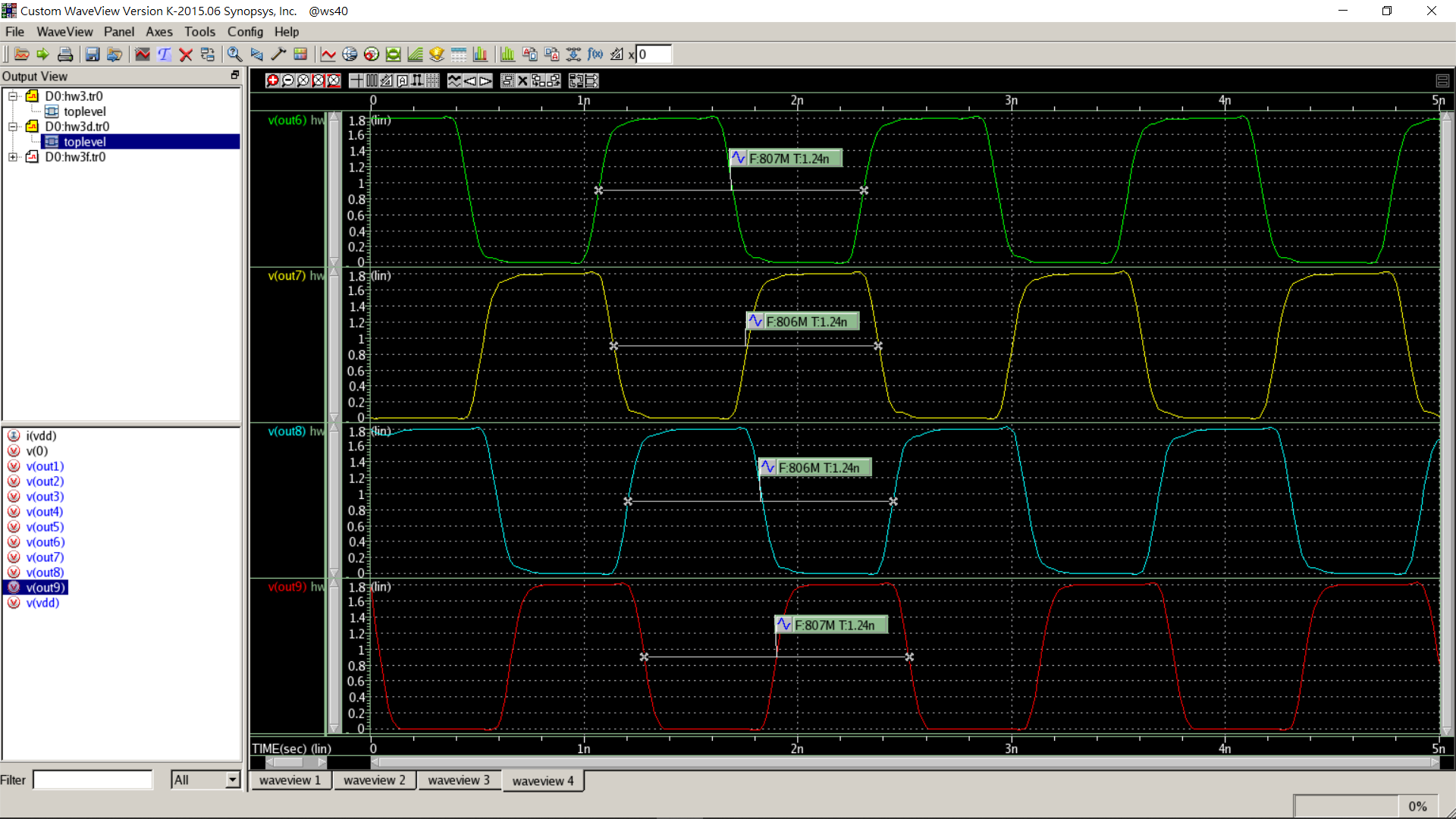
N=9,

由估算得出oscillation loop的frequency應該在835MHz附近

(d)

* + 各個node的frequency圖

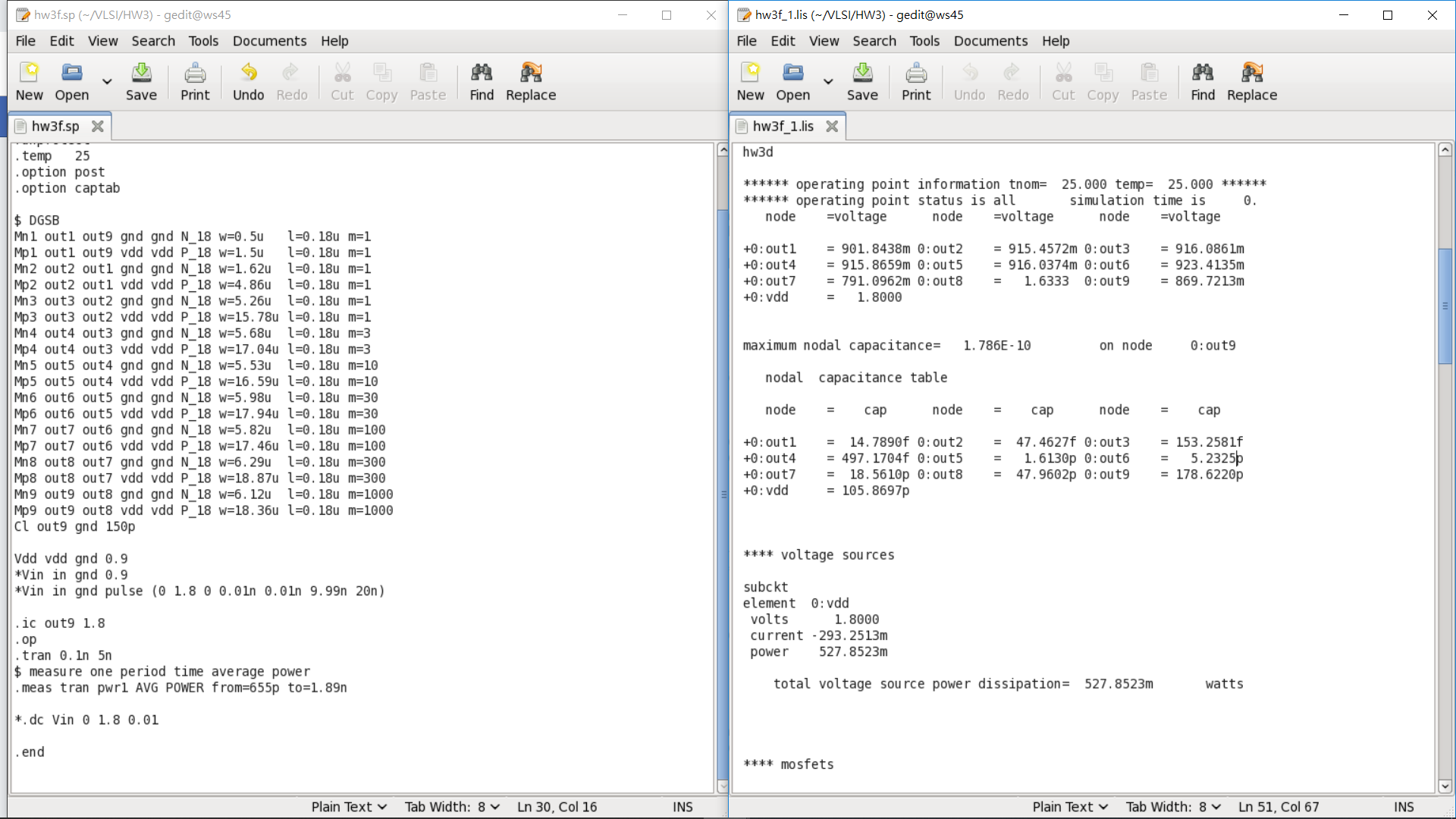




* + 實驗結果：顯示oscillation loop的frequency大約落在807MHz，與估算結果有者3.4%的誤差()。
  + 分析：因為node out9，也就是接回原本Input輸入點本身會自帶一個output loading()，接回去第一級與第一級的input loading並聯

🡪 Capacitance增加 🡪 RC time constant增加 🡪 平均各級的delay增加 🡪 頻率()下降，所以估算的頻率會比實驗值來的大。

(e)

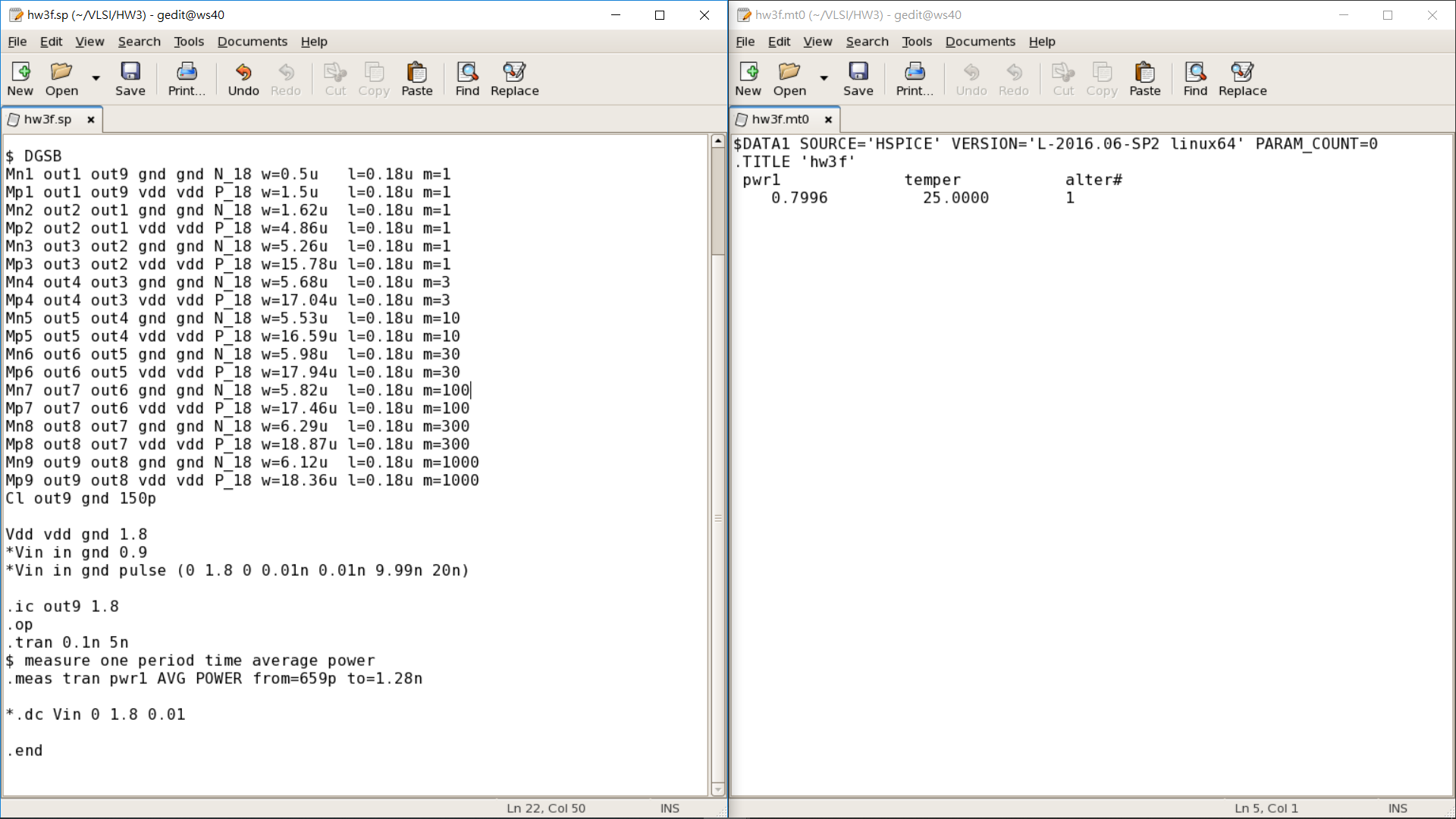


以上是在out9=0.9V下個node的電容值，沒有含括，因為此電容不會充放電，會一直保持在充飽的狀態。

🡪

由上述估算出Power

(f)



* + 實驗結果：
  + 分析：由上圖實驗顯示，其測得power結果，與(e)估算出Power= 相差，這是因為我們在(e)估算時只有算到dynamic power部分，然而，因此(e)估算的值必會小於(f)測出來的值，且(f)、(e)間的差值為此電路的。

(g)